
Bauelemente:

- Diode**
- JFET**
- MOSFET**

Kleinsignalmodelle

*These slides are still in
German and will be translated soon...*

Etwas Physik

- Feld E zeigt von positiven Ladungen zu negativen Ladungen (Elektronen fließen entgegen den Feldlinien!)
 $E = -\text{grad } \Psi = -dV(x) / dx$
 $\Psi = -\int E(x') dx'$
- Maxwell-Gleichung: $\int E(x) dA = Q / \epsilon\epsilon_0$ 'das Integral über die austretenden Felder entspricht der eingeschlossenen Ladung'
- Gauss'scher Satz: $\text{div } E = \rho / \epsilon\epsilon_0$ = Maxwellgleichung in differentieller Form
- Poissongleichung: $\partial^2 \Psi / \partial x^2 = \rho / \epsilon\epsilon_0$ = Gauss'scher Satz!
- Laplacegleichung: $\partial^2 \Psi / \partial x^2 = 0$ im leeren Raum. Spezialfall der Poissongleichung
- Stromdichte: $j(x) = -\sigma E(x)$ ($[j] = A/m^2$, $[E] = V/m$, $[\sigma] = A/(Vm) = S/m$)
- Leitfähigkeit: $\sigma = q n \mu$ ($n = \text{Ladungsträgerdichte}$, $q = \text{Ladung}$, $\mu = \text{Mobilität}$)
($[q] = C$, $[n] = m^{-3}$, $[\mu] = m^2/Vs$)
- Widerstand $\rho[\Omega m] = E/j = 1/\sigma$ ($R = \rho l/d$)

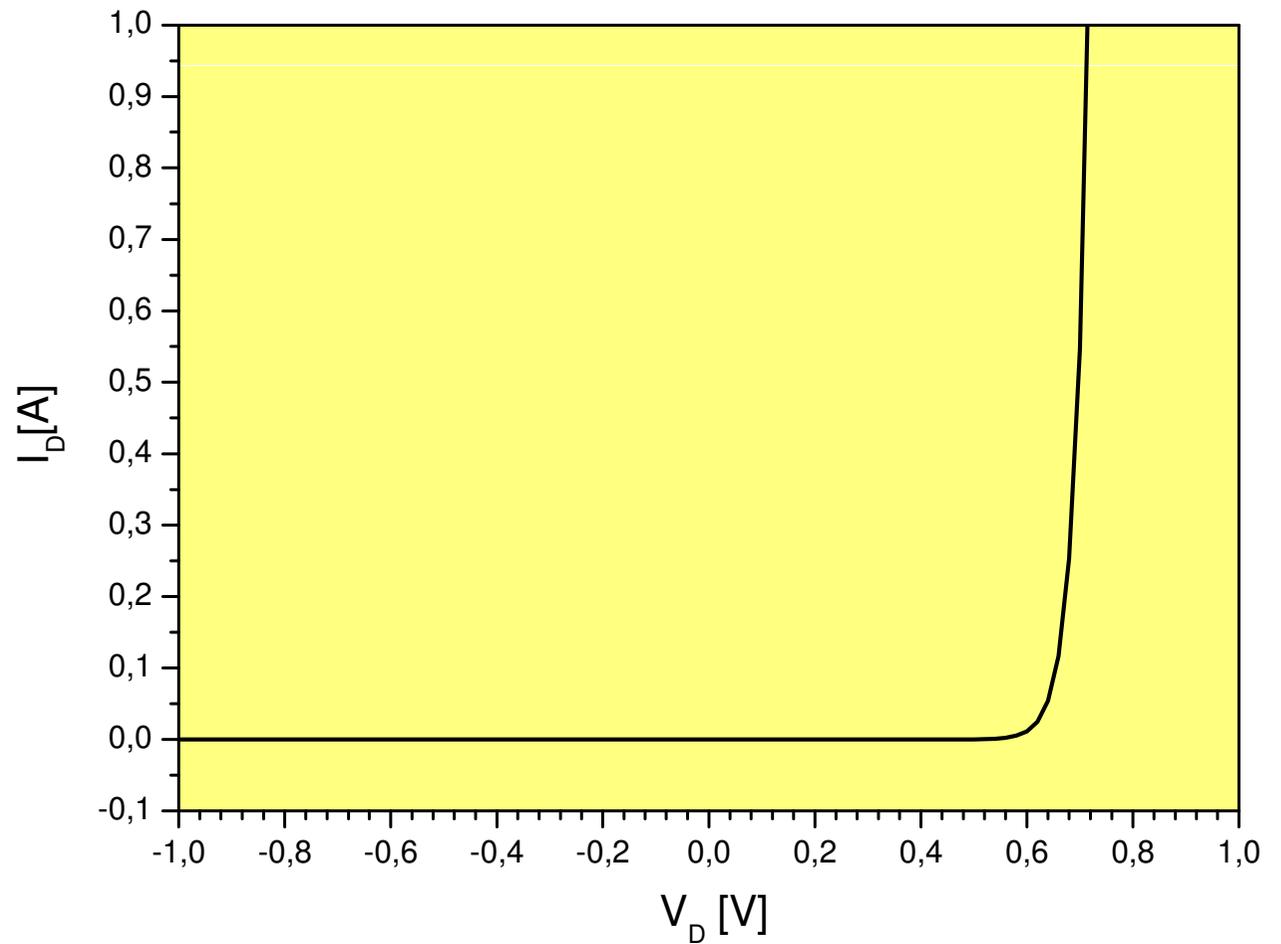
Ein paar Konstanten (f. Silizium)

▪ ρ	7.87	gcm^{-3}	Dichte
▪ E_g	1.12	eV	Bandlücke bei 300K
▪ N_{atome}	5×10^{22}	cm^{-3}	Atomdichte
▪ N_i	1.45×10^{10}	cm^{-3}	Eigenleitungsdichte bei 300K
▪ μ_e	1400	cm^2/Vs	Elektronenbeweglichkeit (Mobilität) bei nicht zu hohen Feldern
▪ μ_h	480	cm^2/Vs	Löcherbeweglichkeit ($v = \mu E$)
▪ q	1.602×10^{-19}	C	Elementarladung
▪ k	1.381×10^{-23}	J/K	Boltzmann-Konstante
▪ $4kT$	1.657×10^{-20}	J	Rauschleistungsdichte bei 300K
▪ U_T	$= kT/q = 25.9$	mV	Temperaturspannung bei 300K (manchmal auch U_{Th})
▪ ϵ_0	8.854×10^{-12}	F/m	Suszeptibilität des Vakuums. (Merke: $C = \epsilon_0 A/d$, $1\text{m} \times 1\text{m} \times 1\text{m}$: $\sim 10\text{pF}$)
▪ ϵ_{Si}	11.9		Dielektrizitätskonstante Silizium
▪ ϵ_{SiO_2}	3.90		Dielektrizitätskonstante Silizium-Dioxid
▪ E_{max}	$\sim 3 \times 10^7$	V/m	Durchbruchfeldstärke

Bänder / Dotierung

- Silizium-Kristall (Diamant-Gitter 2 Face-centered-cubic um $\frac{1}{4}$ versetzt...) ⇒ [Applet](#)
 - Entstehung der Bänder, Valenz- und Leitungsband ⇒ [Applets](#)
 - Fermiverteilung ⇒ [Applets](#)
 - Eigenleitung n_i , Löcherleitung ⇒ [Applet](#)
- $$f(E) = \frac{1}{1 + e^{(E-E_F)/kT}}$$
- N-Dotierung (z.B. Phosphor, Arsen, 10^{14-20}cm^{-3}), Lage der Energieniveaus der Donatoren ⇒ [Applet](#)
 - P-Dotierung (z.B. Bor), Energieniveaus ⇒ [Applet](#)
 - Massenwirkungsgesetz: $n \times p = n_i^2$
 - Fermi-Niveaus bei dotierten Halbleitern:
 - n-Dotierung ⇒ Verschiebung nach oben zur Leitungsbandkante hin
 - p-Dotierung ⇒ Verschiebung nach unten zur Valenzbandkante hin
 - Die Art der Dotierung wird mit **p** oder **n** markiert, reines ('intrinsisches') Silizium mit **i**.
 - Die Stärke der Dotierung wird mit hochgestellten + oder – markiert: n^- , p^{++}

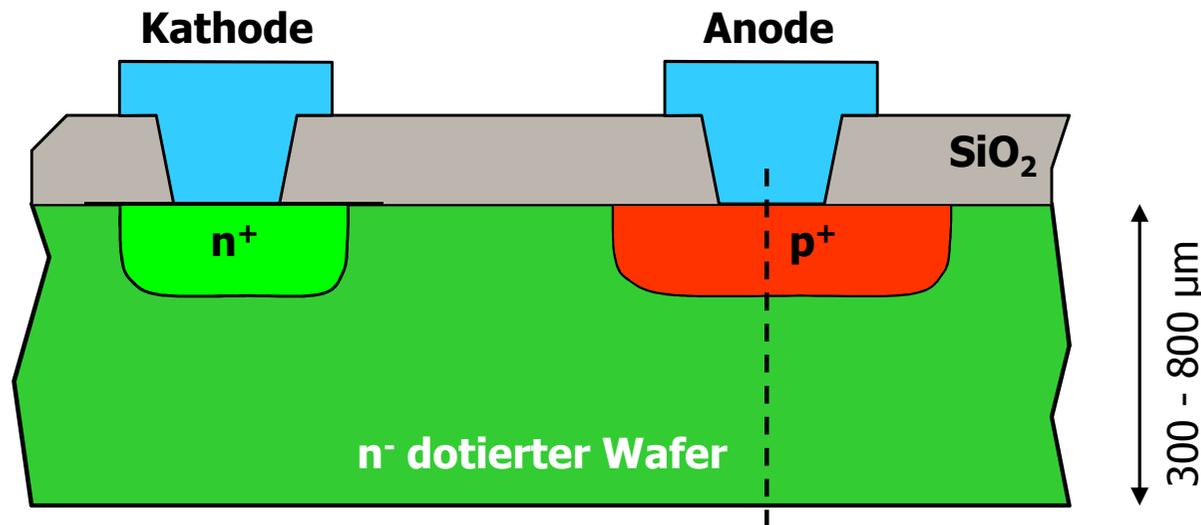
Die Diode (p-n-Übergang)



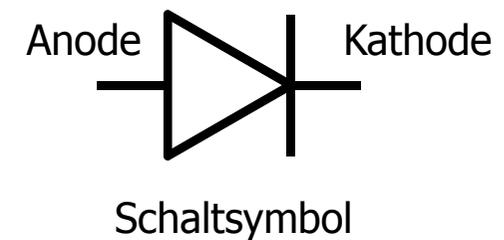
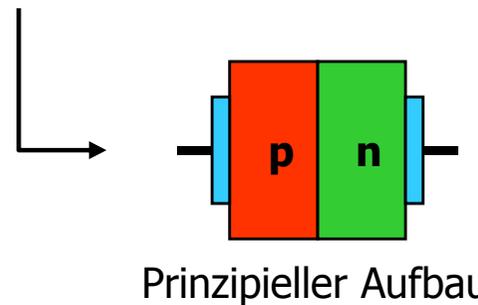
pn-Diode durch Implantation

- In eine (z.B.) n- dotierte Si-Scheibe ('Wafer') werden an der Oberfläche stark dotierte Gebiete erzeugt
- JEDER pn-Übergang bildet eine Diode.
- Sie ist meist 'unerwünscht' – ein 'parasitäres' Element (insbesondere Drain, Source und Bulk des MOS)

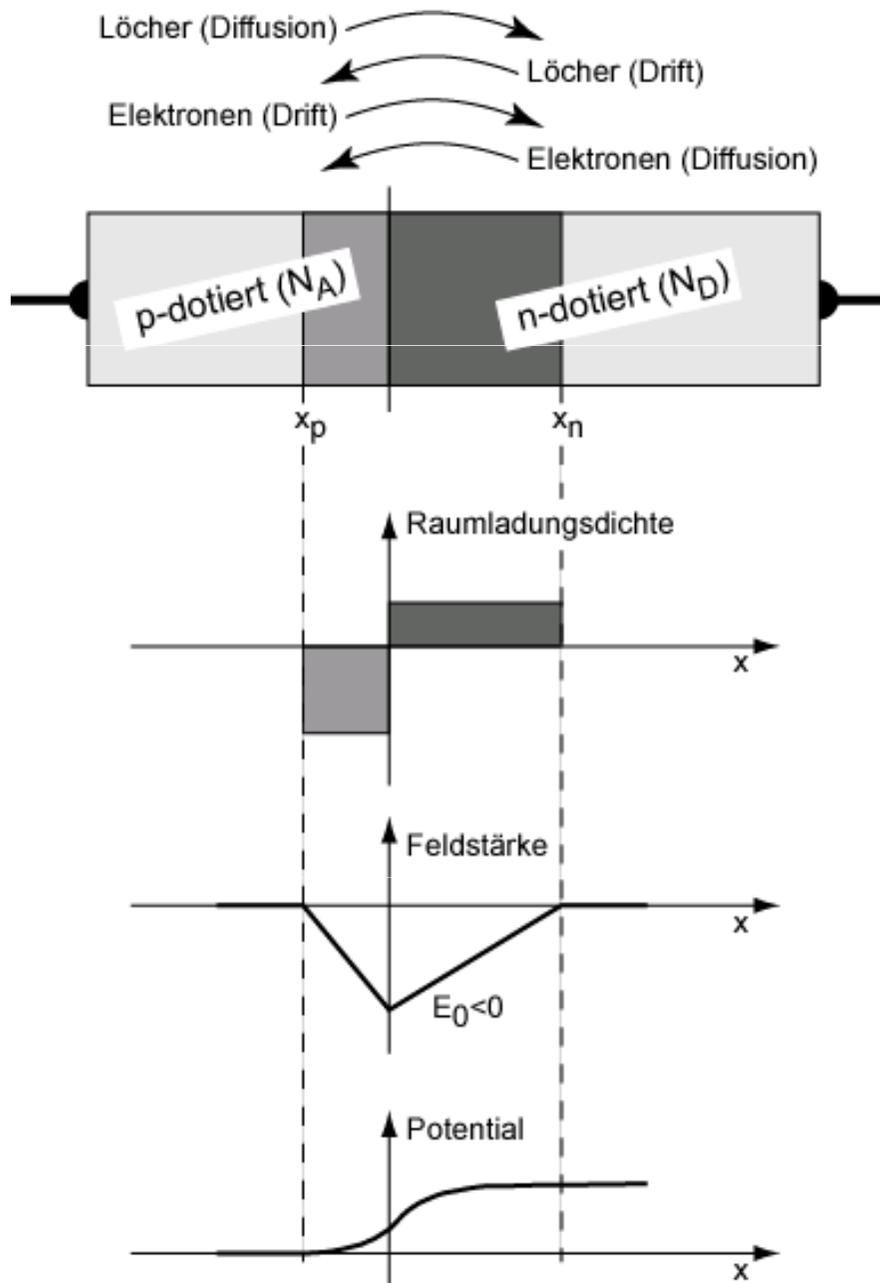
Aluminium Kontakte



Querschnitt eines pn-Übergangs auf einem Chip



Ausbildung der Verarmungszone

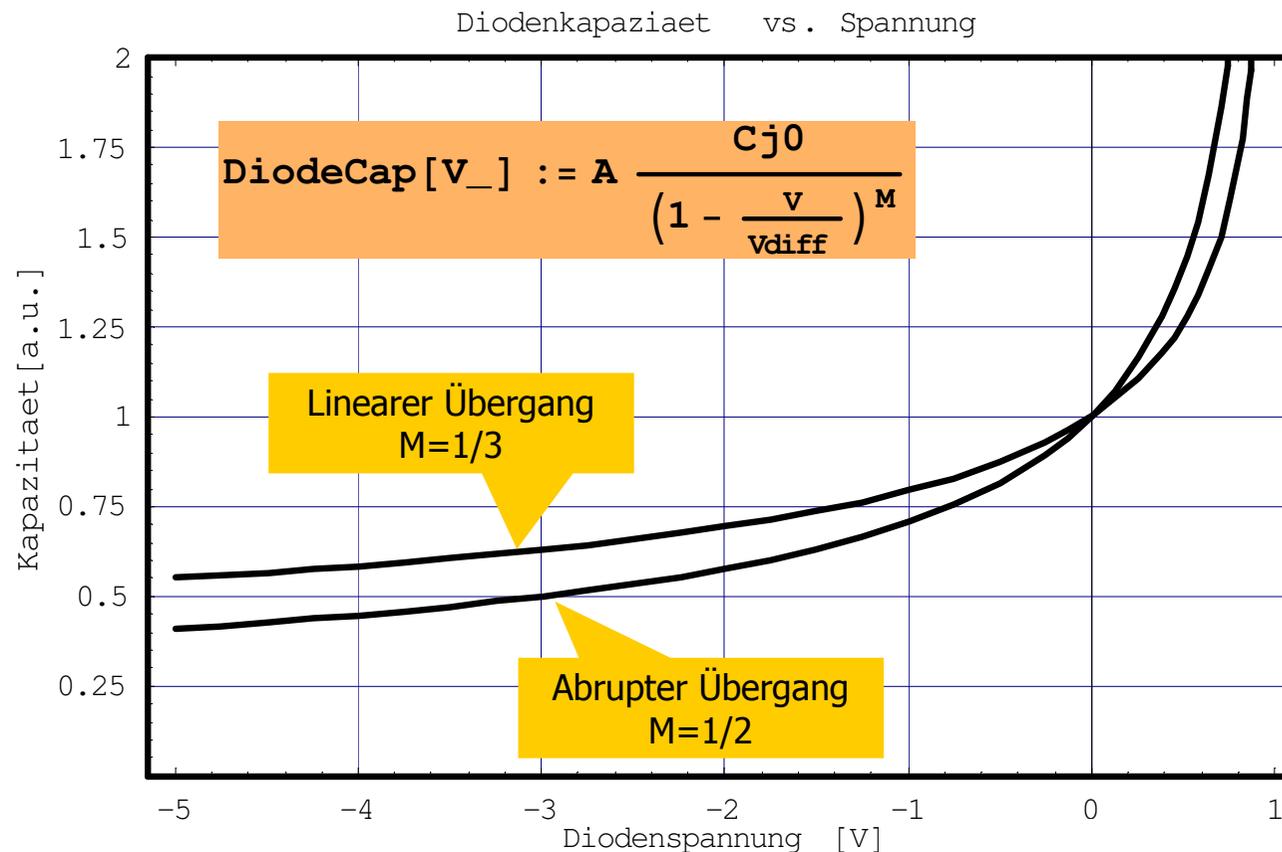


- Wir betrachten einen (idealisierten) 'abrupten' Übergang zwischen n- und p-Bereich
- Aufgrund des Konzentrationsgefälles diffundieren Elektronen aus dem n- in den p-Bereich und Löcher aus dem p- in den n-Bereich. Es entstehen Verarmungszonen ohne bewegliche Ladungsträger.
- Die verbleibenden ortsfesten Atomrümpfe verursachen geladene Raumladungszonen: Positive Raumladung im n-Bereich, negative im p-Bereich
- Die Raumladungszonen verursachen ein elektrisches Feld
- Das Feld muss von einem Potentialunterschied begleitet werden. Das 'eingebaute' Diodenpotential (Built – in – Potential V_{BI}). Es hängt nur von den Dotierungen ab.
- Im Feld driften Elektronen in den n-Bereich und Löcher in den p-Bereich zurück
- Die Dicke der Raumladungszone ergibt sich aus dem Gleichgewicht zwischen Feld- und Diffusionsstrom
- In der Realität nimmt die Raumladungszone am Rand stetig nach Null ab, die Übergangszone ist aber dünn, so daß die Annahme einer kastenförmigen Verteilung gut ist

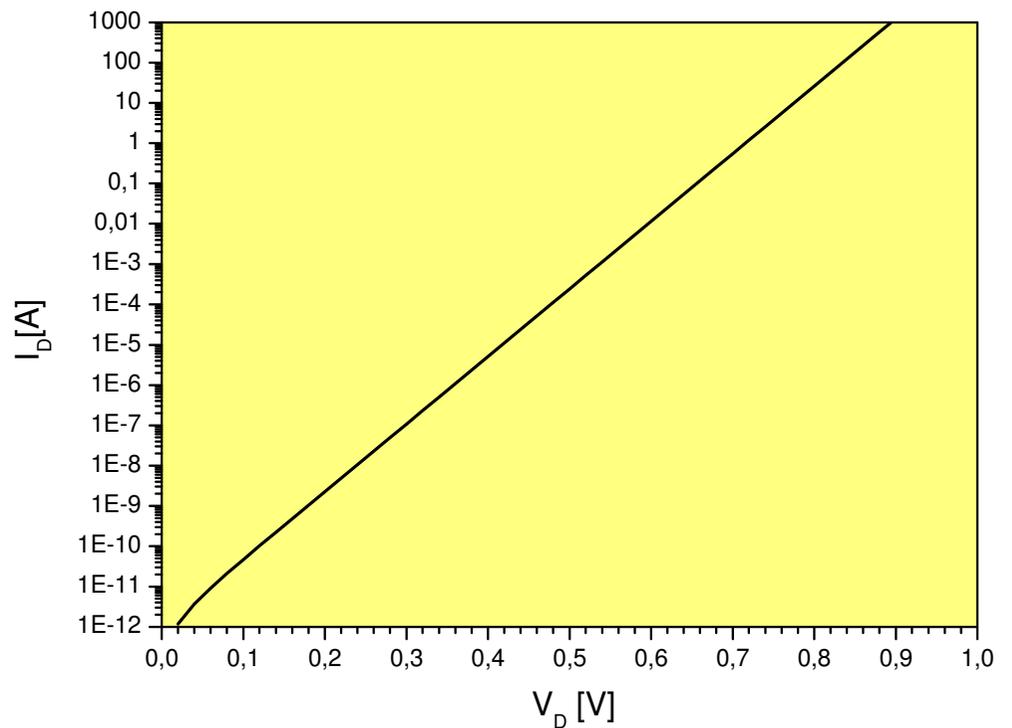
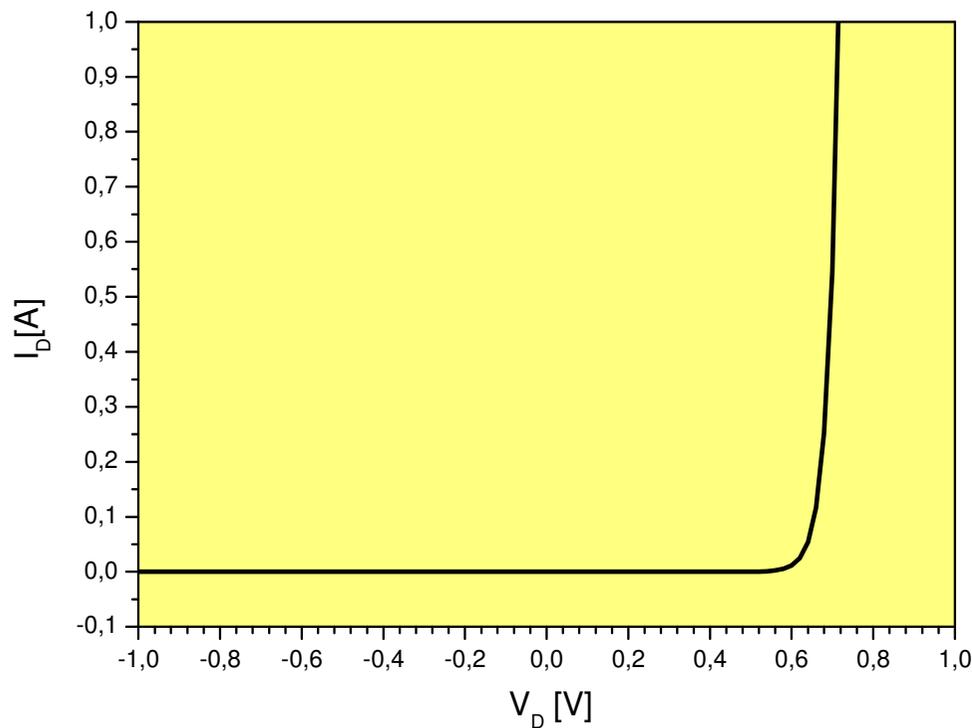
Der p-n-Übergang

- Aneinanderfügen von p- und n- Bereich
- Berechnung der Diffusionsspannung
- Berechnung Dicke Sperrschicht
- Näherung N_D sehr groß (Beachte Massenwirkungsgesetz: $\ln p + \ln n = \text{const.}!$)
- Berechnung der Kapazität der Sperrschicht, Koeffizient m
- Kennlinie der Diode

- ⇒ [Applet](#)
- ⇒ Tafel (2 x)
- ⇒ Tafel
- ⇒ [Applet](#)
- ⇒ Tafel
- ⇒ Tafel, [Applet](#)



Diodenstrom Linear und Logarithmisch



$$I_D = I_S (e^{U_D/U_{TH}} - 1)$$

- Merke:
Die 'Diodenspannung' von 0.6V gibt es nicht!
Man spricht davon, weil sich diese Spannung bei ,typischen' Dioden bei ,typischen' Strömen einstellt!
- U_{TH} = Temperaturspannung = $kT/q \sim 25\text{mV}$

Zusammenfassung

- Die Diode **leitet**, wenn eine **positive Spannung am p-Bereich** anliegt
- Der Vorwärtsstrom ist $I_D = I_S(e^{V_D/U_{TH}} - 1)$. (V_D ist angelegte Spannung, $U_{TH} = kT/q \sim 26\text{mV}$ bei 300K)
Der Strom **verzehnfacht** sich etwa alle **60mV**
- Das E-Feld ist **am Übergang am höchsten**. Es ist um so stärker, je stärker die Dotierungen sind.
- Die Sperrschicht wächst in den **schwach dotierten** Bereich.
Diese ist um so dicker, je schwächer die Dotierung ist. Entsprechend ist die Kapazität kleiner
- Bei einer abrupten Grenzschicht:
 - Die Sperrschicht **wächst** wie die **Wurzel** aus der Spannung (mit Offset durch die Diffusionsspannung)
 - Die Kapazität **sinkt** mit der Wurzel aus der angelegten Spannung
- Bei einem (hypothetischen) linearen Übergang zwischen n- und p-Dotierung ist der Exponent 0.33
- In realen Dioden wird der Exponent durch Messungen bestimmt.
- Die berechnete Kapazität ist differentiell, d.h. sie gilt nur für eine feste Spannung an der Diode.
Es gilt NICHT: $Q = \frac{1}{2} C U^2$!

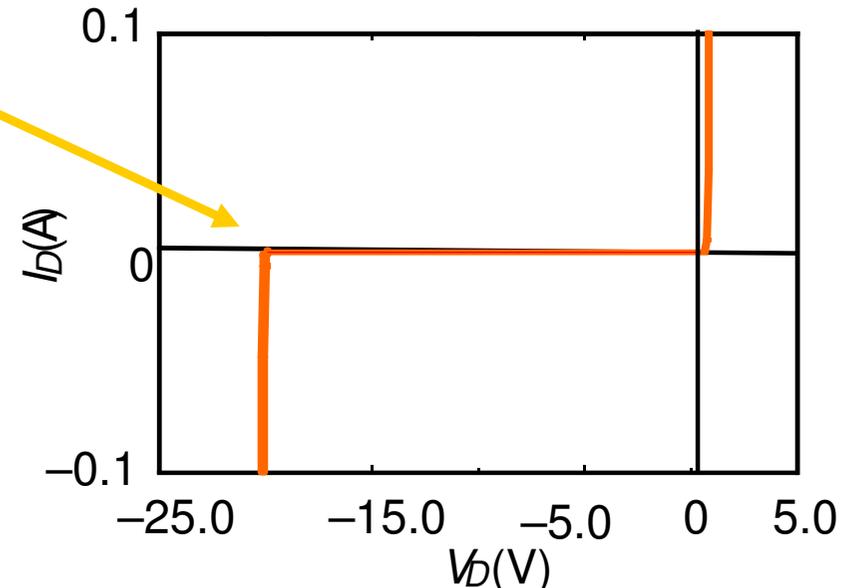
Vermischtes

- **Durchbruchverhalten** in Sperr-Richtung:

- Bei stark dotierten Übergängen mit dünner Verarmungszone durch Tunneleffekt (Feldionisation)
⇒ Zener - Dioden
- Bei schwach dotierten Übergängen durch Lawineneffekt
⇒ Avalanche – Dioden

- **Schottky – Dioden** (Metall-Halbleiter-Übergang)

- Je nach der Austrittsarbeit des verwendeten Metalls sind sie gleichrichtend ('rectifying') oder immer durchlässig ('ohm'sch').
- Zur Kontaktierung des Halbleiters werden daher oft stark dotierte Bereiche unter das Metall implantiert

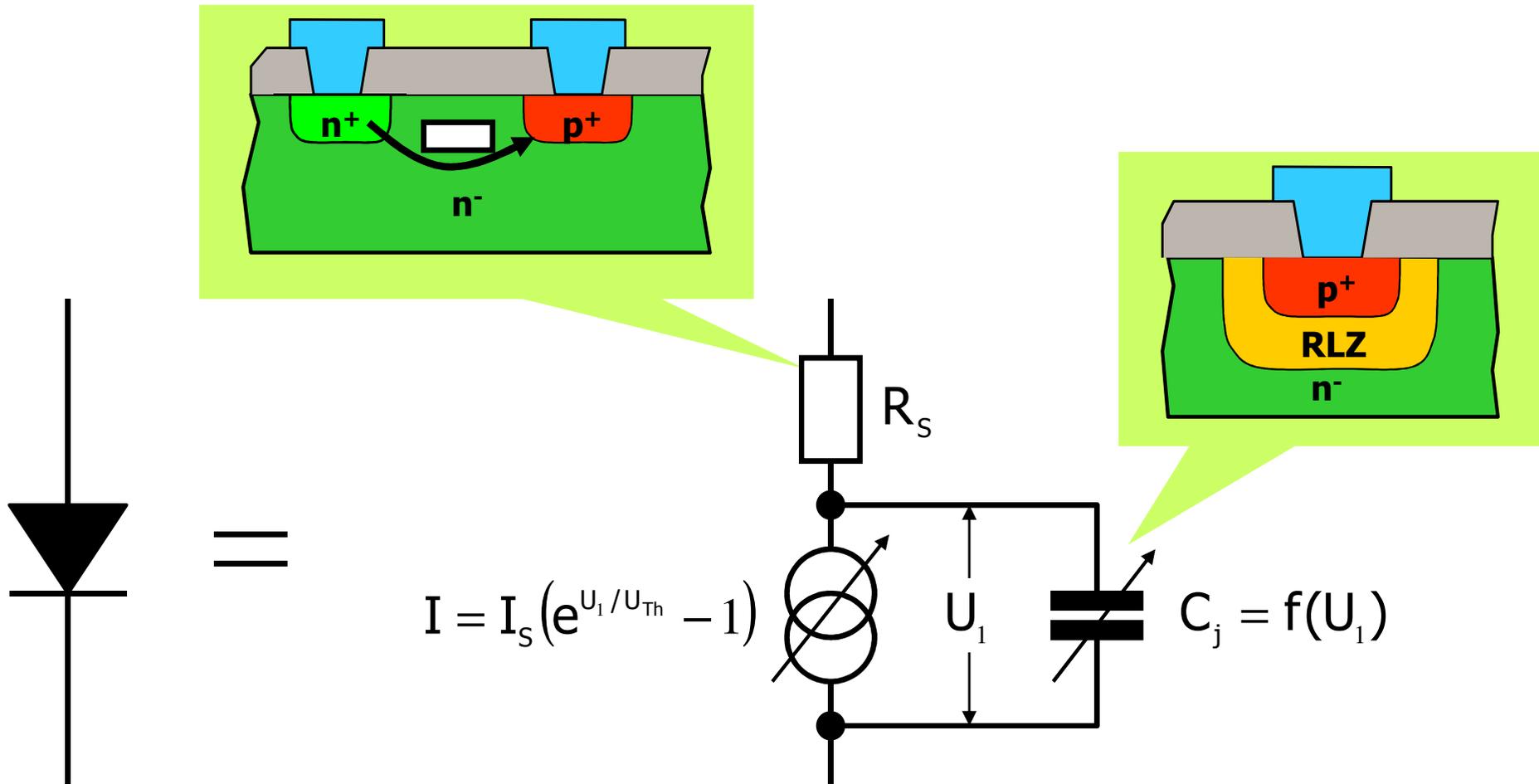


- **Ladungsspeicherung** bei Stromfluß in Vorwärtsrichtung

- Limitiert die Geschwindigkeit, mit der eine leitende Diode abgeschaltet werden kann. Führt effektiv zu eine 'Kapazität' ('charge storage capacitance'). Kann durch geeignete Baumaßnahmen reduziert werden (dünne Sperrschicht, geringe Lebensdauer der Minoritätsträger).
- SPICE Parameter ist die 'transit time ' TT

- Die Diode kann als **Sensor** für Licht und Teilchen benutzt werden. Diese generieren e-Loch Paare in der Verarmungszone. Sie werden durch das dort vorhandene elektrische Feld abgesaugt.

Modell der Diode



Die wichtigsten SPICE Parameter der Diode

Parameter	Symbol	SPICE Name	Einheit	Default
Sättigungsstrom (Saturation current)	I_s	IS	A	1e-14
Serienwiderstand (Series resistance)	R_s	RS	Ohm	0
Sperrschichtkapazität bei $V_D=0V$ (Zero bias junction cap.)	C_{j0}	CJ0	F	0
Exponent in Kapazitätsformel (Grading Koeffizient)	m	M	-	0.5
Diffusionsspannung (Junction Potential)	Φ_0	VJ	V	1
Emissionskoeffizient (Emission Coefficient)	n	N	-	1
Transitzeit (Transit time)	τ_T	TT	s	0

- Die Werte gelten für eine Diode mit Einheitsgröße. Sie werden mit der Fläche der Diode **A** skaliert
- Oft gibt es zwei unterschiedliche Parametersätze für AREA und SIDEWALL
- Die Transitzeit gibt an, wie lange es dauert, bis die Ladungsträger die Sperrschicht durchlaufen haben. Die Speicherung von Ladungsträgern in der Sperrschicht führt zu einer Kapazität
- Der Emissionskoeffizient ist von 1 verschieden, wenn die Annahme schwacher Emission von Minoritätsträgern in die Sperrschicht nicht mehr gilt

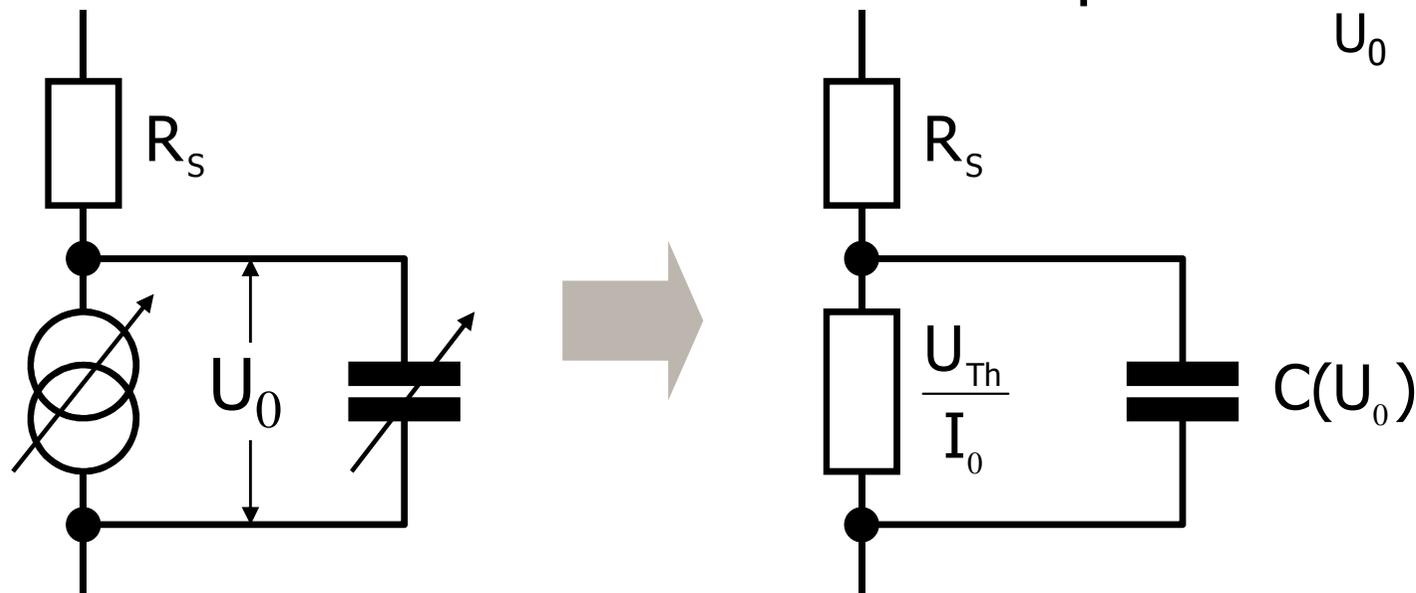
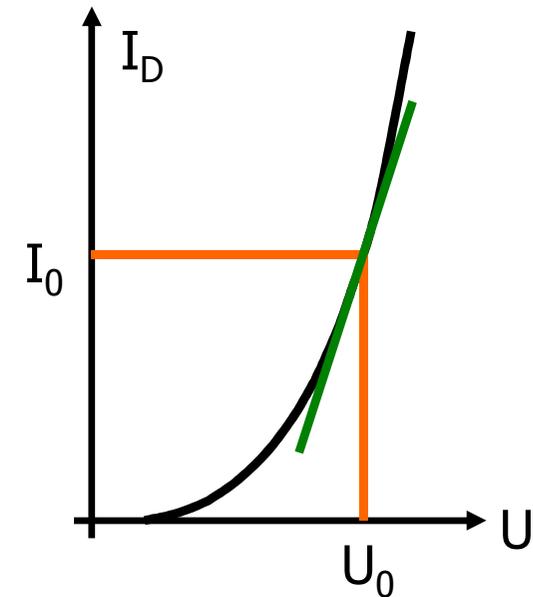
einfaches Kleinsignalmodell

- Die Steigung der exponentiellen Kennlinie am Arbeitspunkt wird ermittelt.

$$I \approx I_S \cdot e^{U/U_{Th}}$$

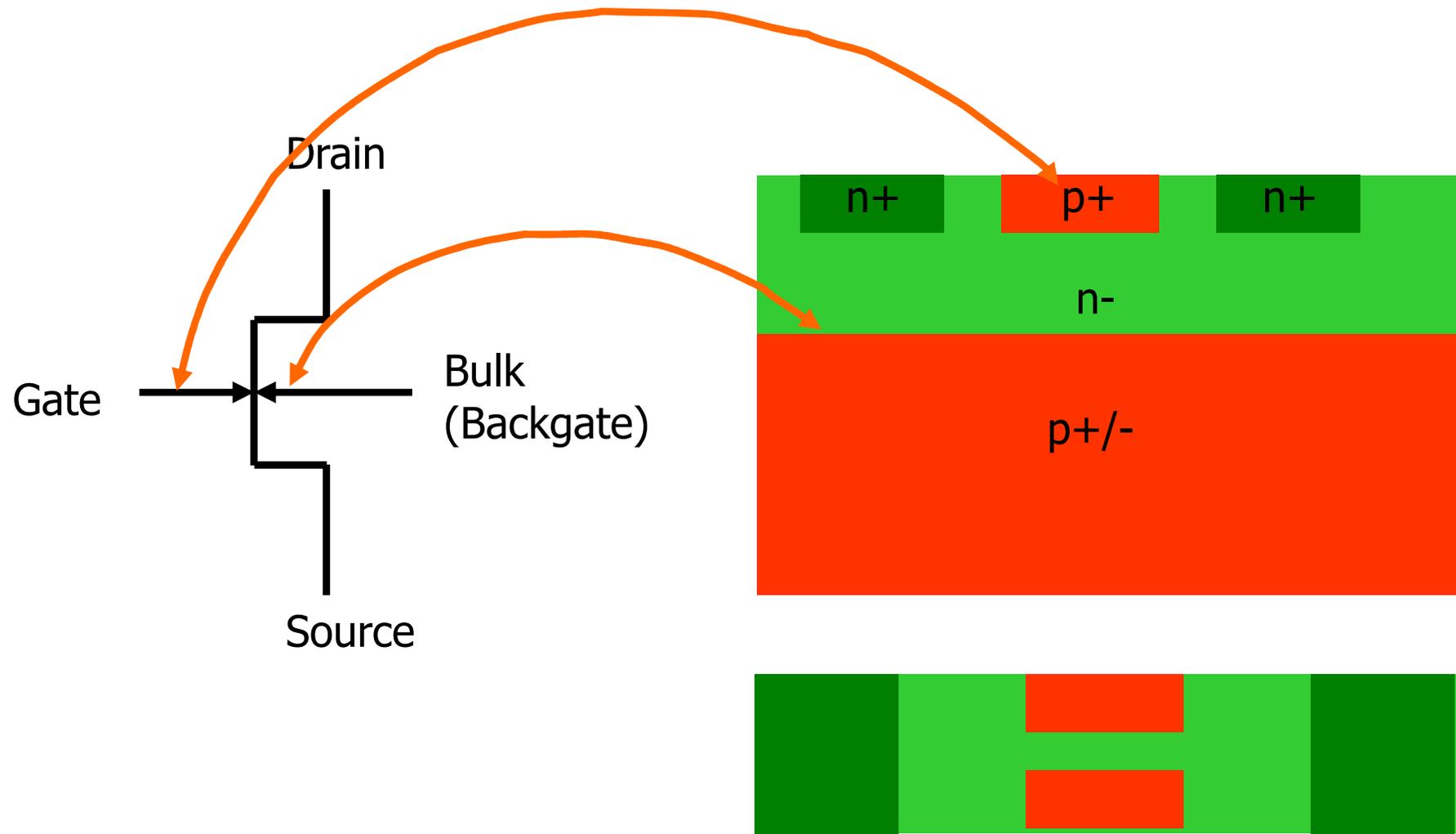
$$\frac{\partial I}{\partial U} \approx \frac{1}{U_{Th}} \cdot I_S \cdot e^{U/U_{Th}} = \frac{I}{U_{Th}}$$

$$\Rightarrow R_{eq}(U_0) = \frac{U_{Th}}{I_0}$$



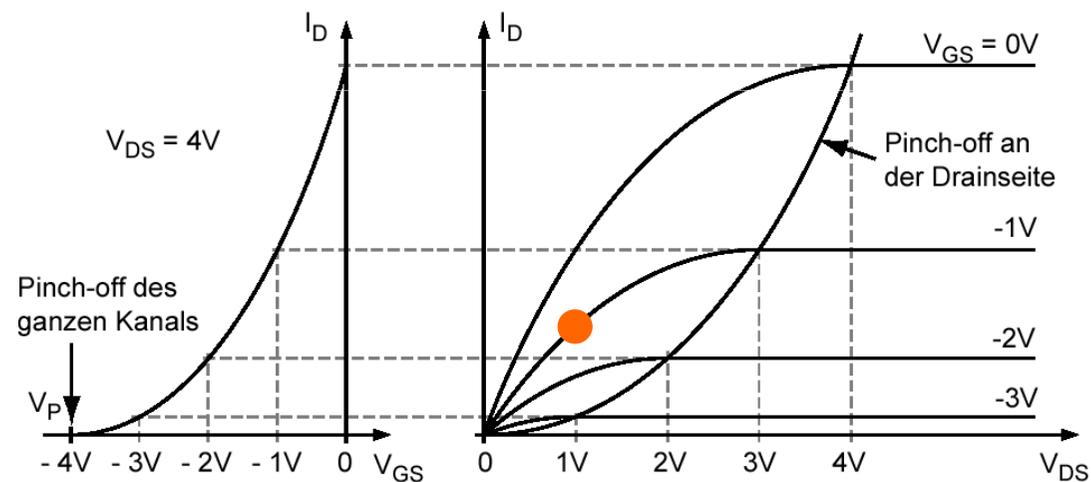
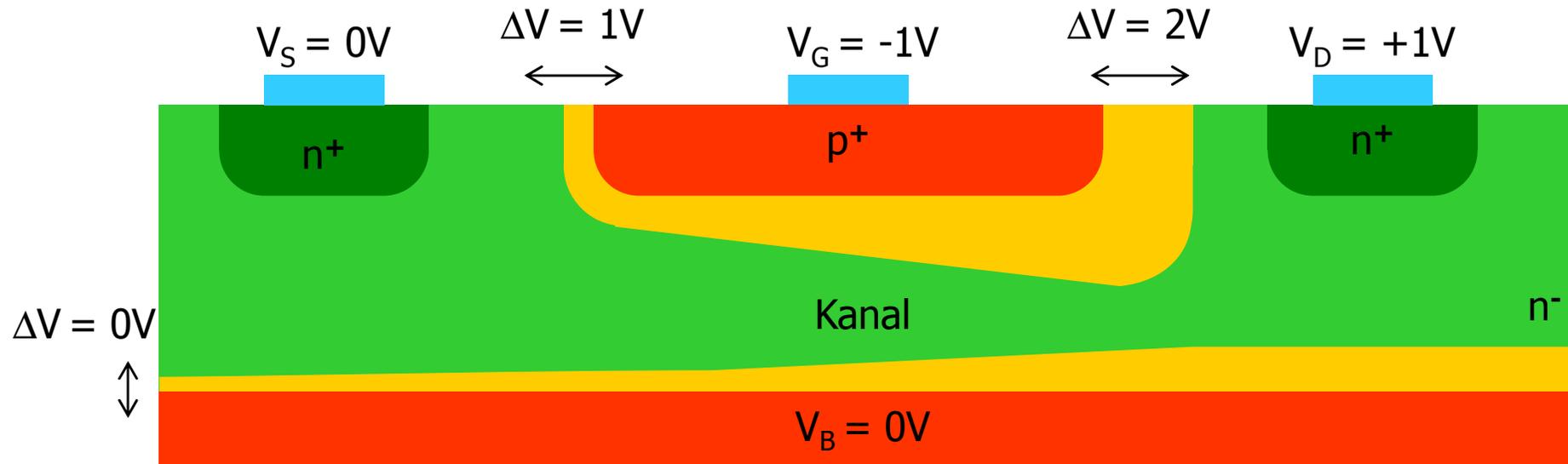
Der JFET

- s. Tafel u. Skript, [Applet](#)
- Beispiel für Schaltsymbol (Drain und Source können meist vertauscht werden):



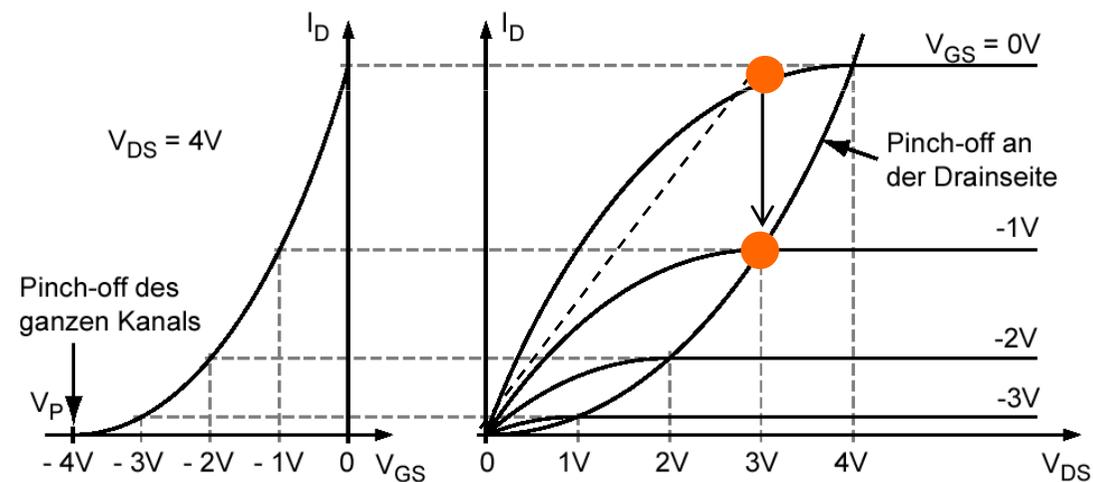
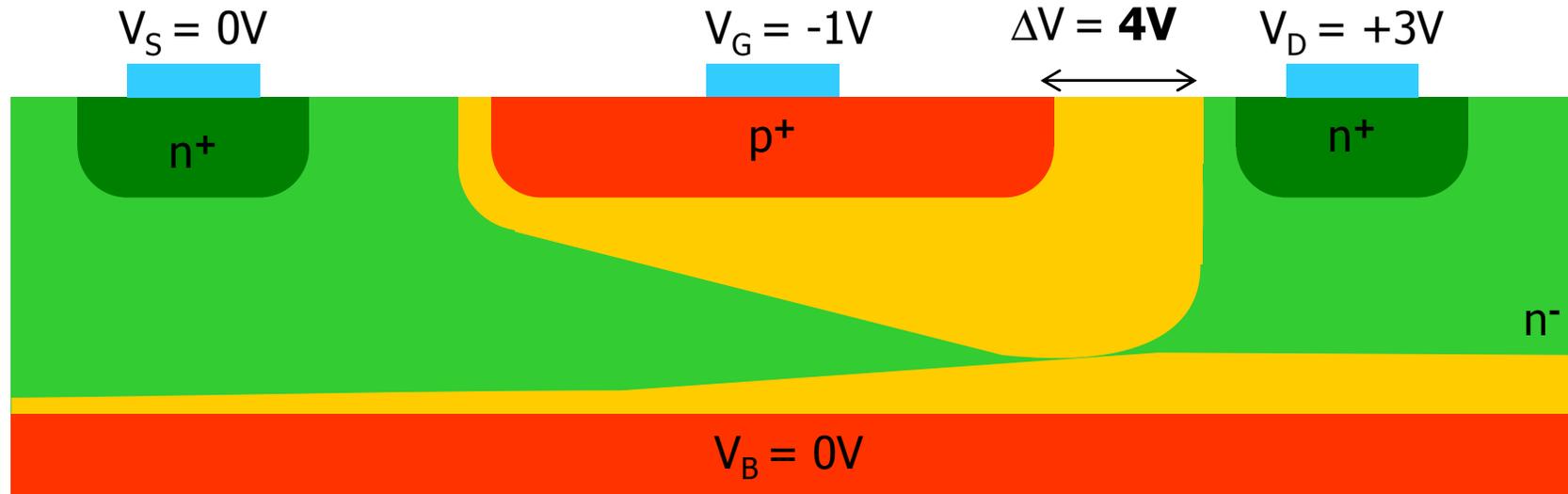
JFET: Kanal, linearer Bereich

- Der Querschnitt des leitenden Kanals wird von beiden Seiten durch Verarmungszonen (Dioden!) reduziert.
- (Bei der Herleitung (s. Skript) wird der Boden (die Kanal-Substrat-Diode) vernachlässigt.)
- Im linearen Bereich ist der Kanal überall 'offen'



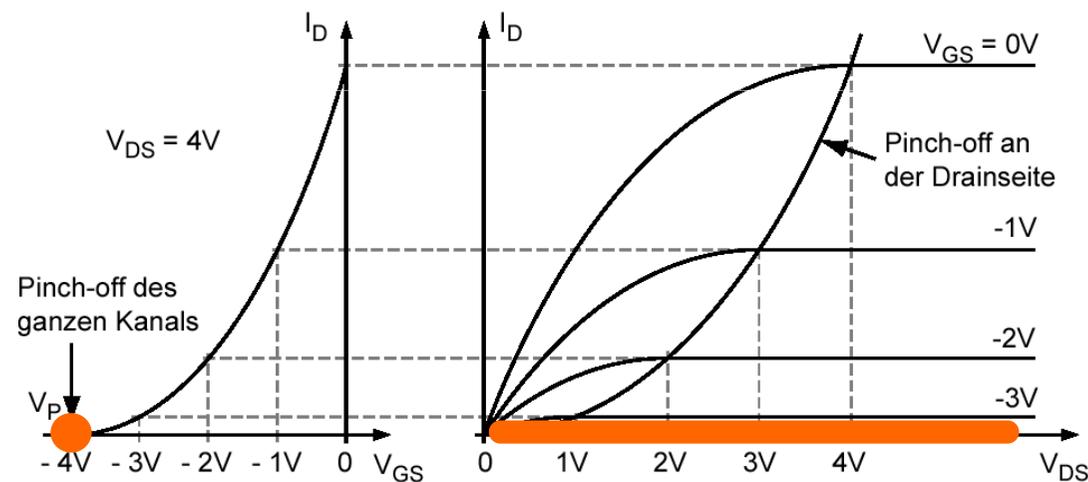
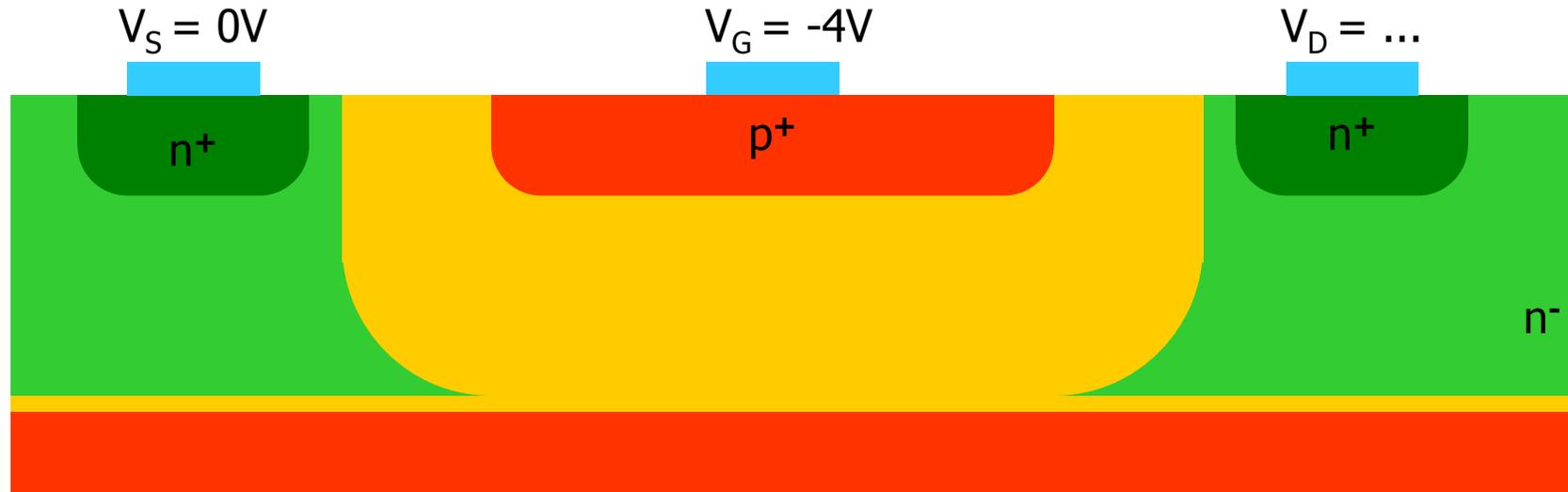
JFET: Sättigung

- Bei genügend hoher Drain-Gate-Spannung füllt die Sperrschicht an der Drain-Seite den gesamten Kanal aus
- Das Potential im Kanal hängt nicht mehr von der Drainspannung ab.
Eine weitere Erhöhung der Drainspannung führt daher nicht zu einem höheren Strom.



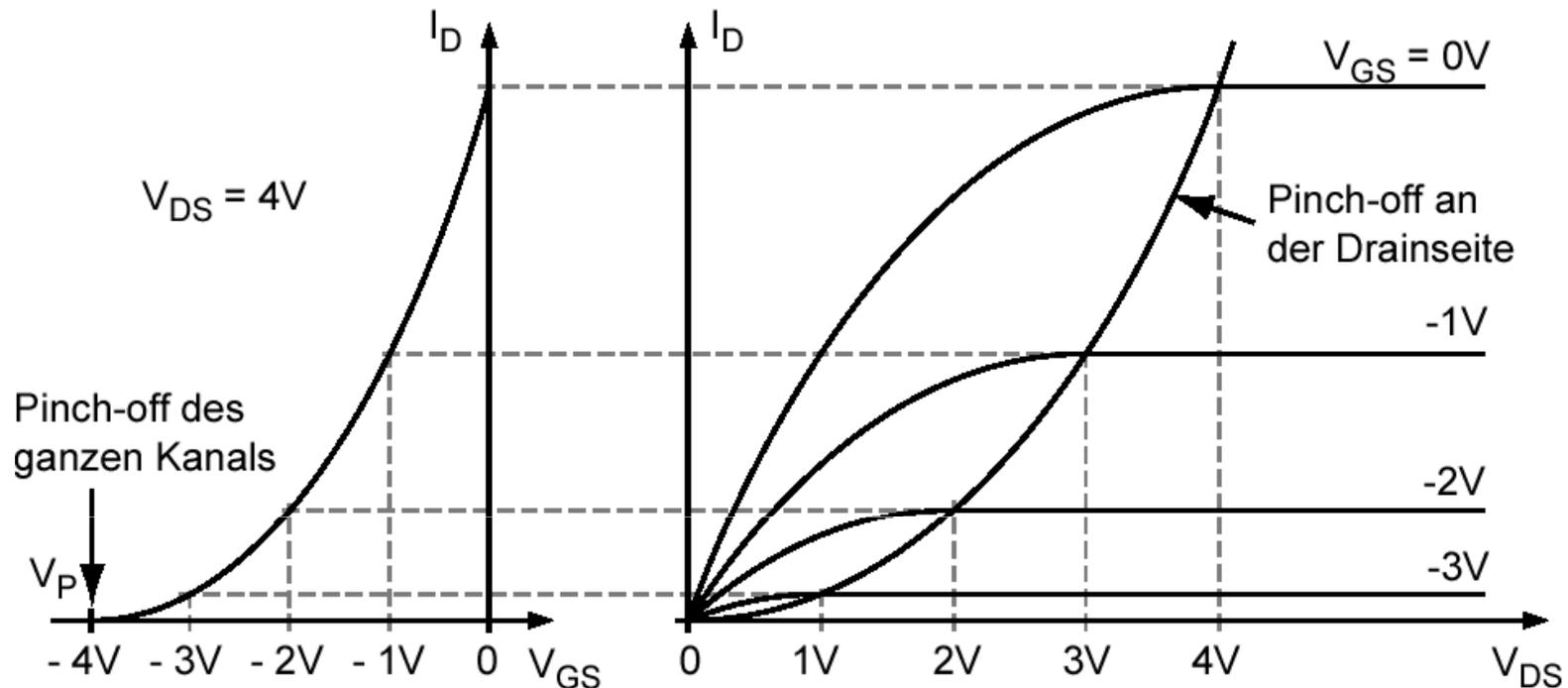
JFET: vollständiger pinch-off

- Bei genügend negativer **Gate**-Spannung ist die Sperrschicht im gesamten Kanal so dick, daß sich überhaupt kein Kanal ausbilden kann.
- Es fließt kein Strom, unabhängig von der Drain-Spannung.



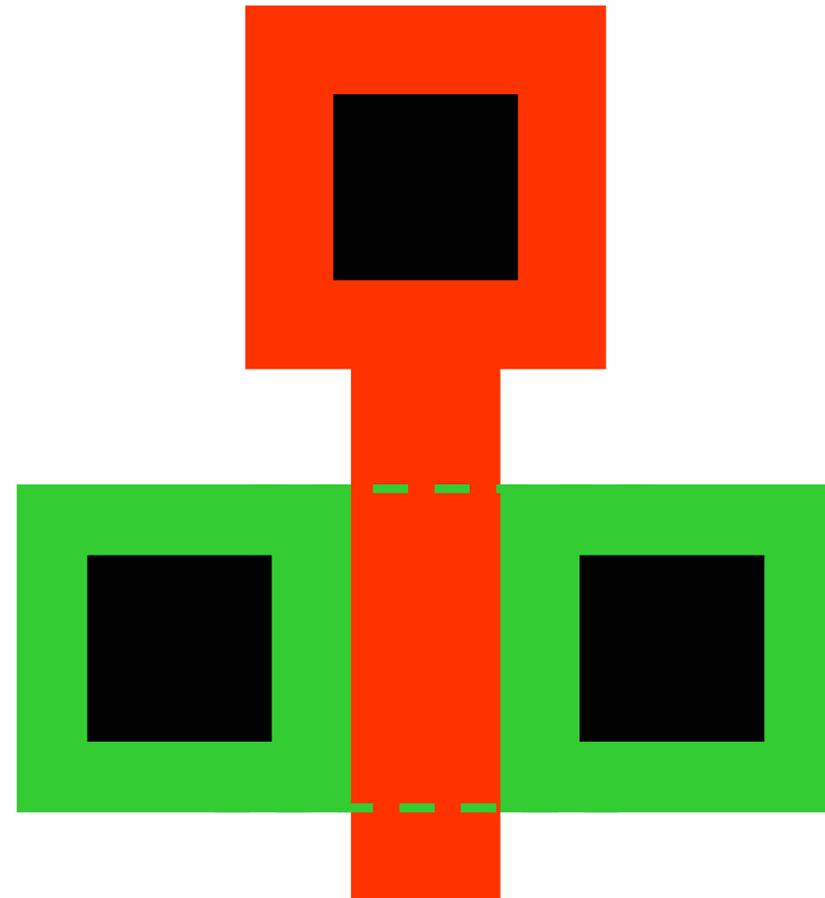
JFET: Kennlinie

$$I_D = \frac{W}{L} I_0 \left[\frac{V_D}{V_p} + \frac{2}{3} \left(\frac{V_G'}{V_p} \right)^{3/2} - \frac{2}{3} \left(\frac{V_D + V_G'}{V_p} \right)^{3/2} \right] \quad V_G' := V_{bi} - V_G$$



- Bei höheren Drainspannungen wird der Kanal in Wirklichkeit langsam etwas kürzer, L wird also kleiner und der Drainstrom steigt leicht an: Kanallängenmodulation wie später beim MOSFET

Der MOS Transistor



MOS Struktur: Akkumulation – Verarmung – Inversion

- Wir betrachten eine isolierte Gate-Elektrode auf Silizium (hier p-Silizium!).
- Sehr vereinfachend:

Gate **sehr negativ**:

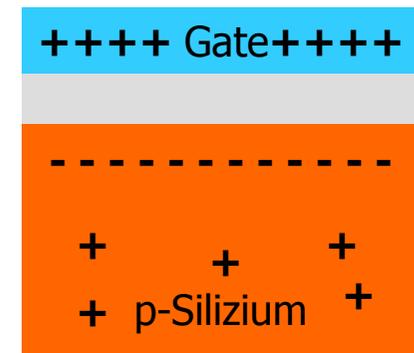
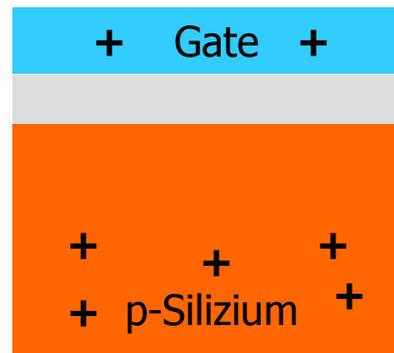
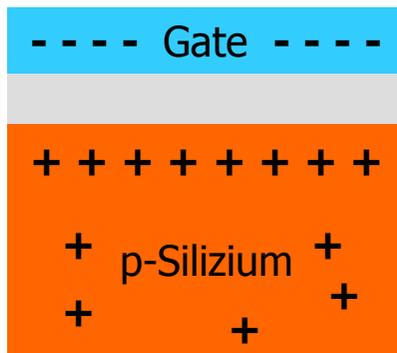
- reichlich vorhandene Löcher werden unter d. Gate gezogen
- ‚**Akkumulation**‘
- ‚Kondensatorplatte‘ direkt unter dem Oxid
- Kapazität ist maximal

Gate **positiver**:

- Löcher werden weggedrückt
- ‚**Verarmung**‘
- ‚Kondensatorplatte‘ weiter im Bulk
- Kapazität sinkt

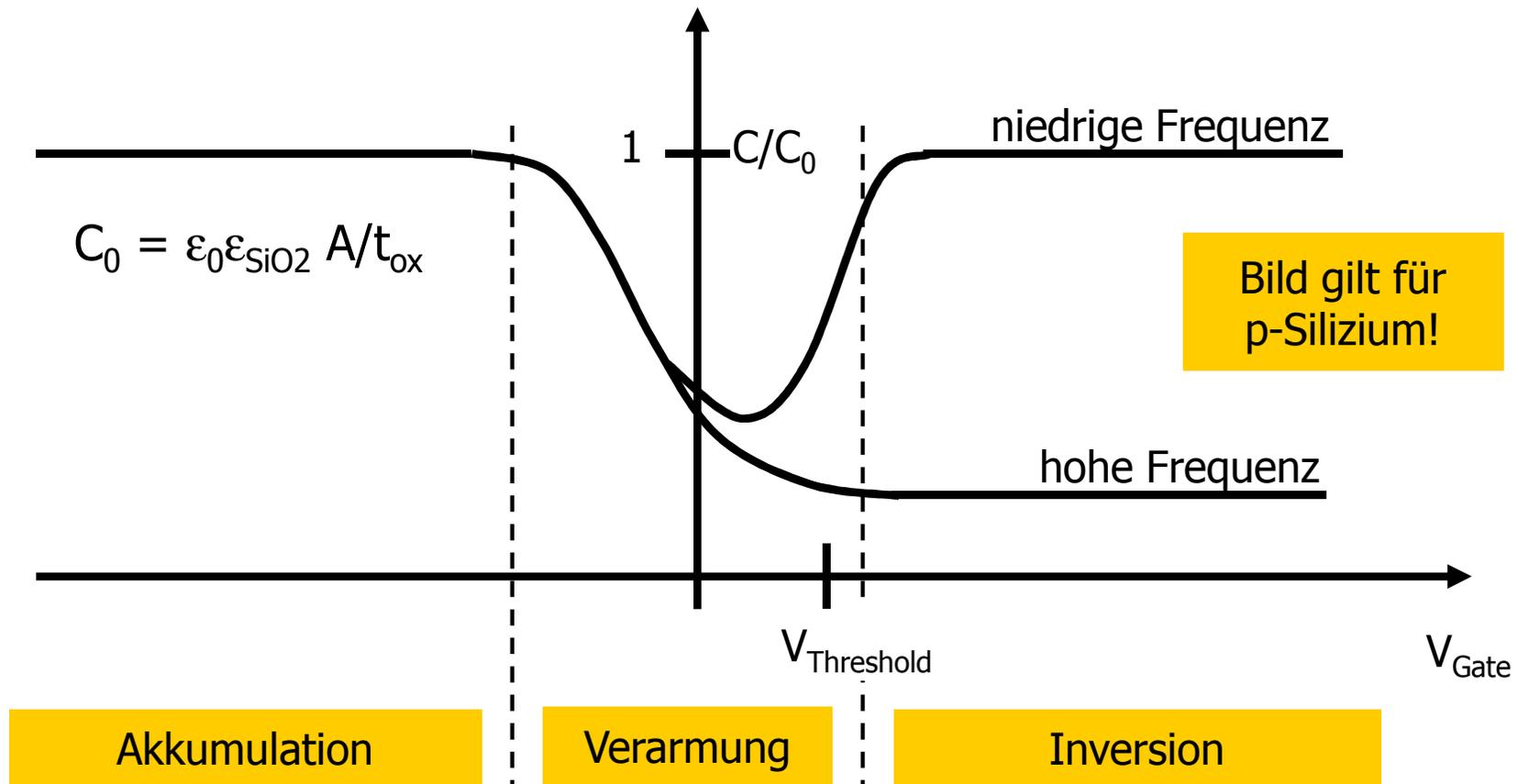
Gate **sehr positiv**:

- Elektronen (Minoritätsträger) werden angesaugt
- ‚**Inversion**‘
- ‚Kondensatorplatte‘ wieder direkt unter Oxid
- Kapazität wieder maximal



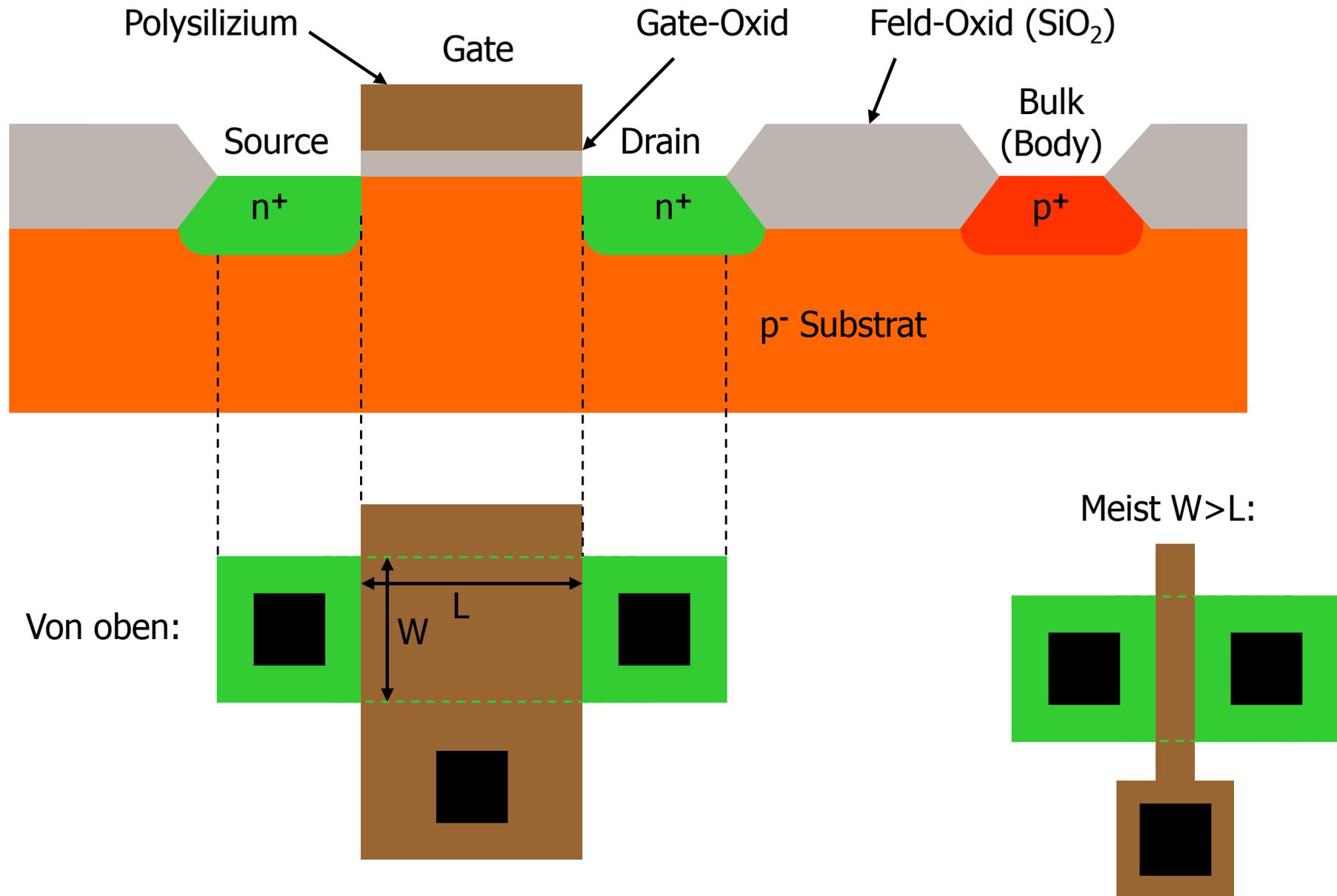
- Siehe Skript und [Applet](http://smile.unibw-hamburg.de/Bauelemente/FET/Mos_struktur.htm) http://smile.unibw-hamburg.de/Bauelemente/FET/Mos_struktur.htm

MOS Struktur: Akkumulation – Verarmung - Inversion

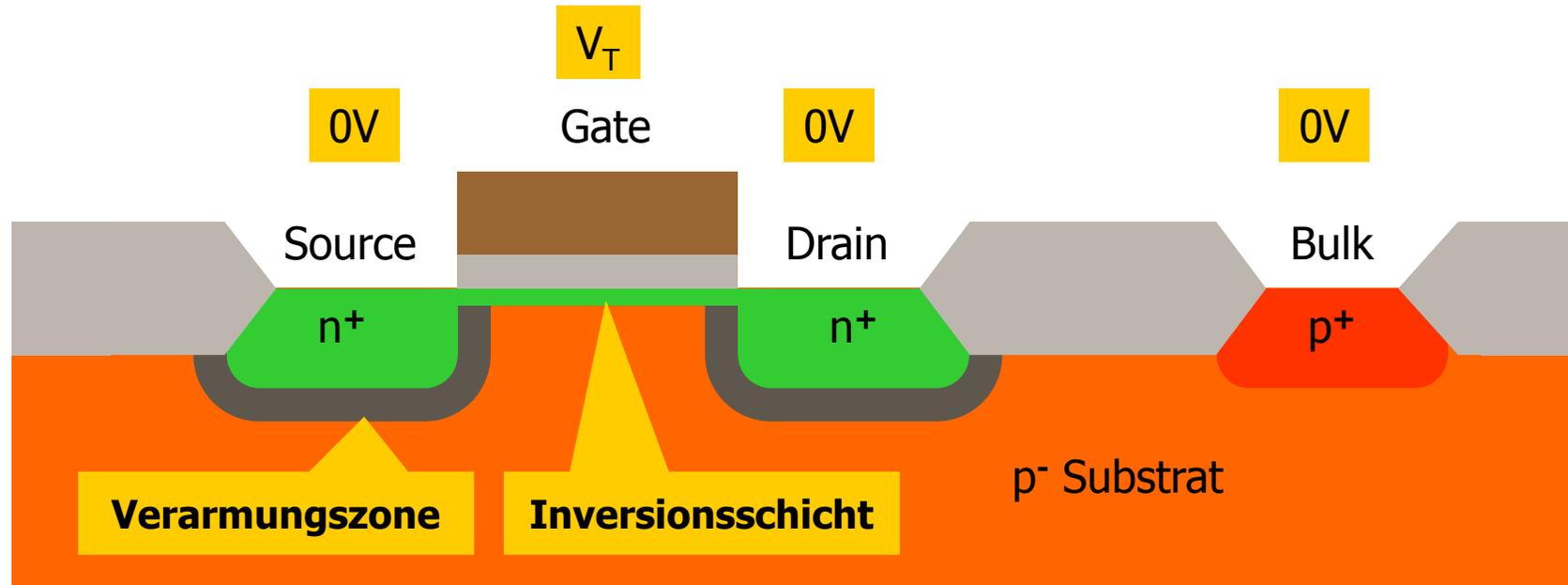


- MOS Struktur im Bänderdiagramm: smile.unibw-hamburg.de/Bauelemente/FET/Baender_MOS_struktur.htm
- Bei hohen Messfrequenzen können in Inversion die Elektronen nicht schnell genug angesaugt werden. Die Kapazität bleibt dann klein.
- Man definiert die Schwellenspannung (für 'starke' Inversion) oft als die Spannung, bei der die Elektronendichte in der Inversionsschicht so groß ist wie die Löcherdichte im Bulk.

Aufbau eines NMOS Transistors

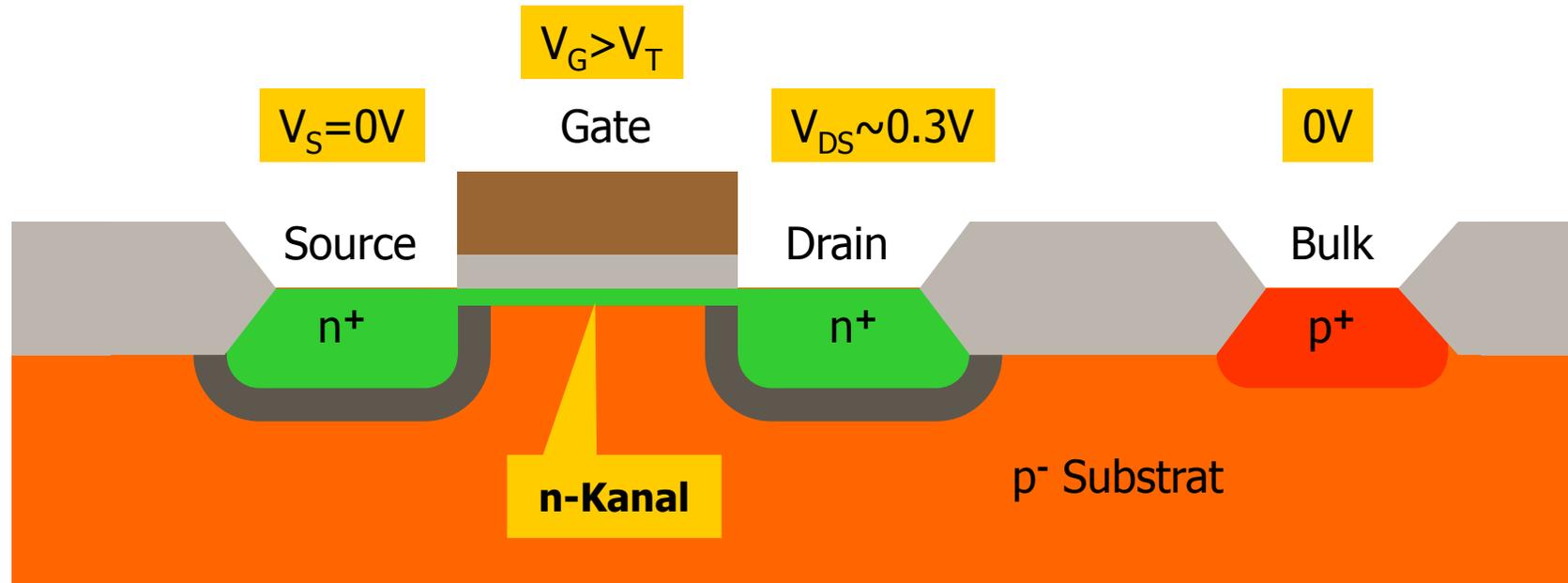


Ausbildung des Kanals



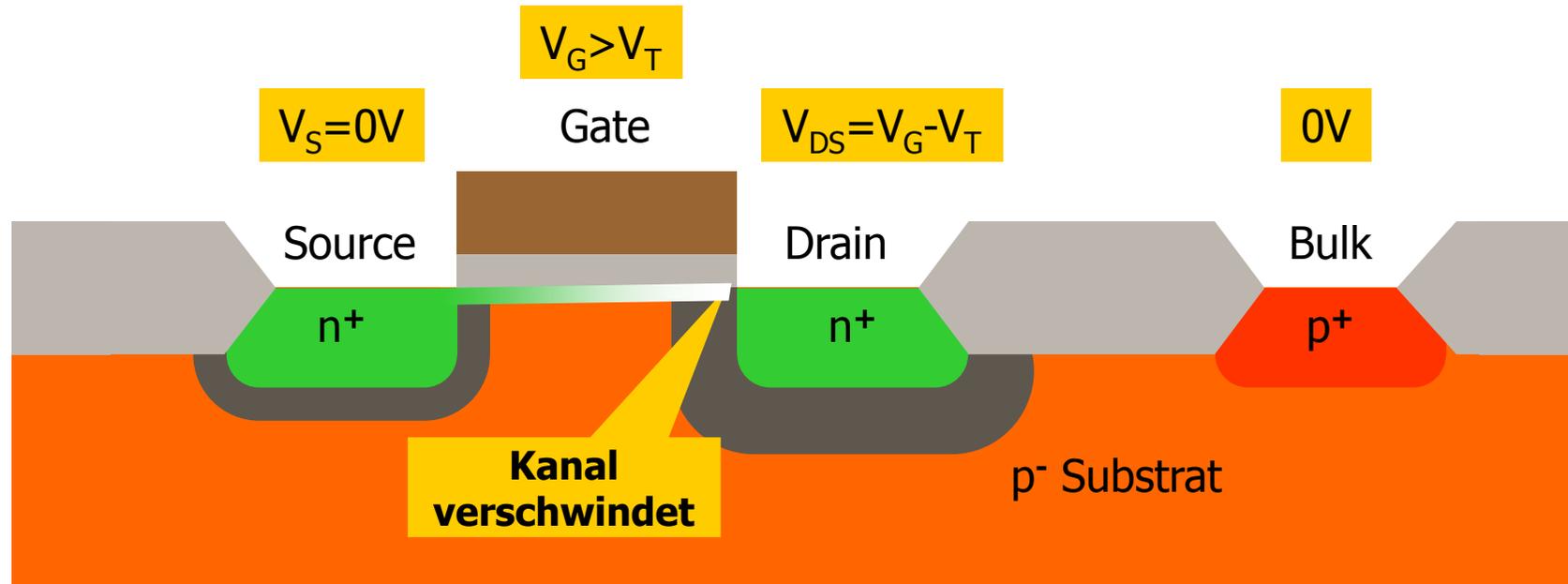
- An den Drain- und Source-Dioden bilden sich **Verarmungszonen** aus
- Bei genügend positivem Gate bildet sich unter dem Gate eine (n-leitende) **Inversionsschicht** aus, durch die Strom von Drain nach Source fließen kann.
- Die **Gate-Source-Spannung** V_{GS} , ab der starke Inversion vorliegt, ist die **Schwellenspannung** V_T
- Sie liegt bei 'Deep-Submicron' - Technologien ($L_{min} < 0.5\mu m$) bei ca. $V_T \sim 0.5V$

Linearer Bereich



- Je positiver die Gate-Spannung ist, desto höher ist die Elektronendichte im Kanal. Der Kanal wird nicht 'dicker,, sondern nur stärker mit Ladungsträgern angereichert
- Bei keinen Drain-Source-Spannungen V_{DS} bleibt der **Kanal** enthalten
- Dies ist der Fall solange $V_{DS} < V_{GS} - V_T$
- Der Transistor verhält sich wie ein Widerstand, der bei $V_{GS} < V_T$ unendlich wird: $I_D = a \times V_{DS}$
- Man spricht vom **Linearen Bereich**

Sättigung



- Bei sehr positiver Drain-Spannung verschwindet der Kanal an der Drain-Seite.
- Man spricht von '**pinch-off**' (Abschnüren)
- Diese **Sättigung** tritt ein, wenn $V_{DS} = V_{DSat} = V_{GS} - V_T$, also wenn $V_{GD} = V_T$
- **Der Strom steigt mit steigendem $V_{DS} > V_{GS} - V_T$ (fast) nicht weiter an**
- Genauer: Da mit steigendem V_{DS} die Länge des Kanals abnimmt, steigt der Strom weiter leicht an.
Man spricht von **Kanallängenmodulation**

Strom-Spannungs-Formeln in starker Inversion

- Formeln in 'starker Inversion', d.h. $V_{GS} \gg V_T$

- Linearer Bereich:**

$$I_D = K_N \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{für} \quad V_{DS} < V_{GS} - V_T$$

- Sättigung:**

$$I_D = \frac{K_N}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{für} \quad V_{DS} > V_{GS} - V_T$$

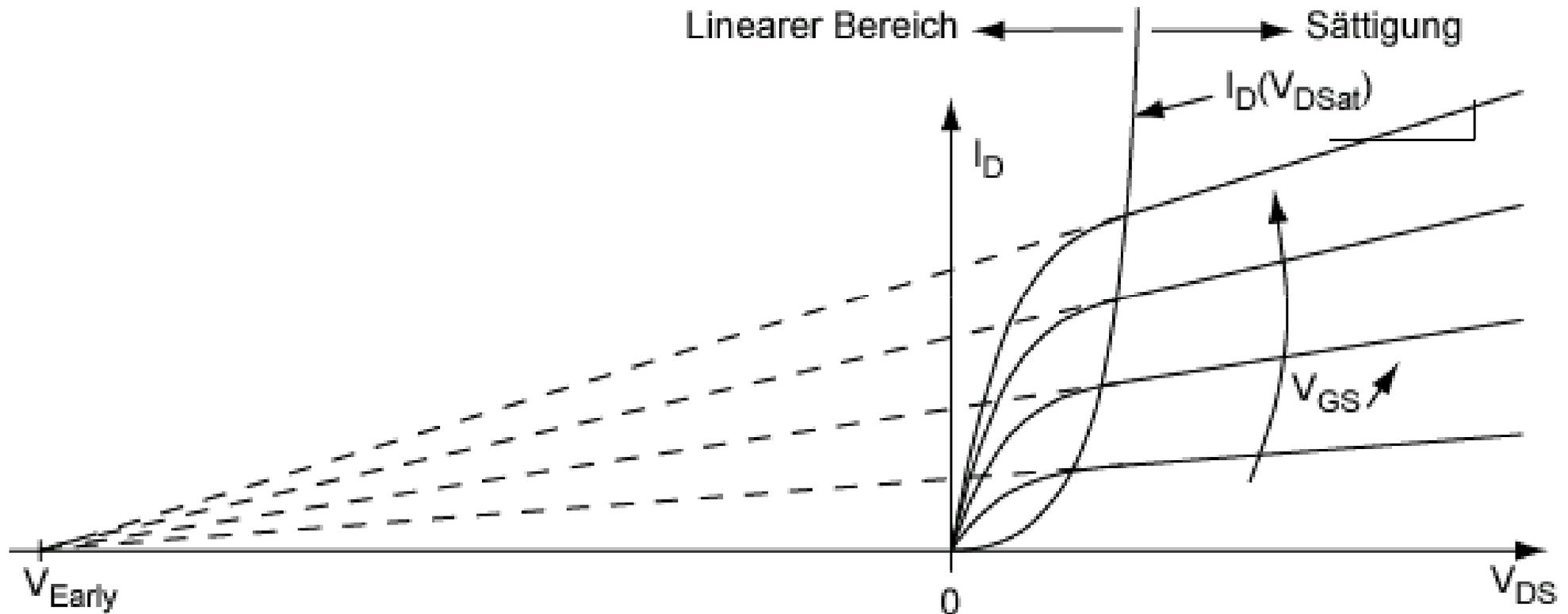
- Mit dem Transkonduktanzparameter

$$K_N = \mu_N C_{OX} = \mu_N \frac{\epsilon_0 \epsilon_{OX}}{t_{OX}} \quad (\text{Oft auch } \beta = K \times W/L)$$

- Bei Gatespannungen unterhalb der Schwellenspannung fließt auch noch ein kleiner Strom. Man ist dann in **schwacher Inversion = 'weak Inversion' = Subthreshold-Bereich**. Dort ist der Drainstrom klein und hängt exponentiell von V_{GS} ab

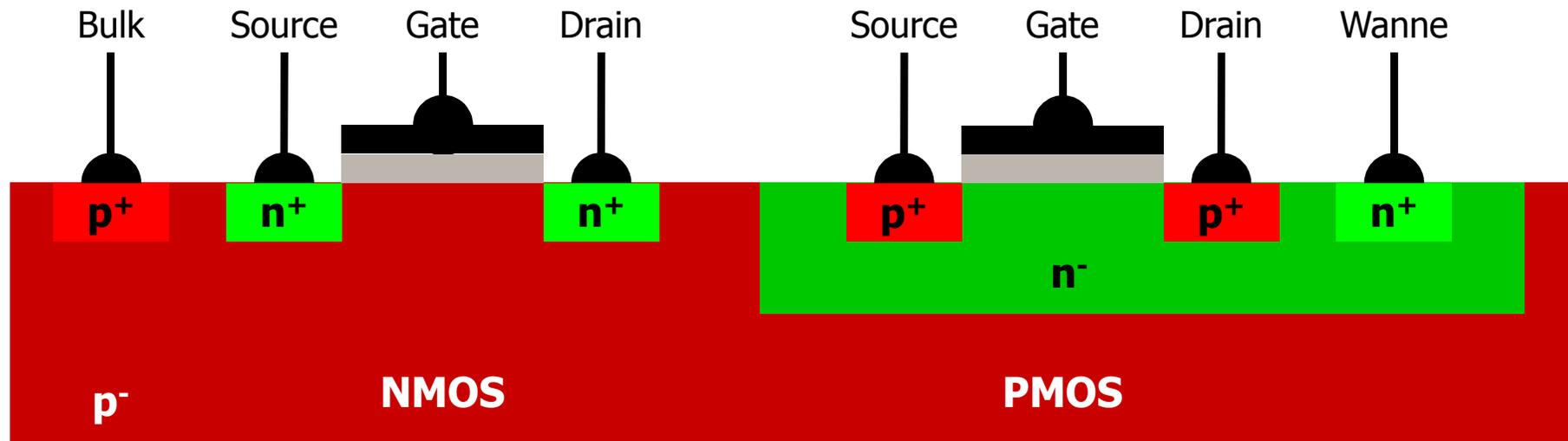
Ausgangswiderstand (Early-Effekt)

- Bei steigender Drainspannung wird die Pinch-Off-Region größer
⇒ der Kanal wird effektiv kürzer ⇒ W/L steigt ⇒ I_D steigt
- Man spricht von **Kanallängen-Modulation** oder **Early-Effekt**
- Einfache Parametrisierung durch Faktor $(1 + \lambda V_{DS})$
- Schnittpunkt mit der x-Achse bei $V_{Early} = 1/\lambda$
- **Je länger der Transistor, desto kleiner der Early-Effekt: $V_{Early} \sim L$ oder $\lambda \sim 1/L$**

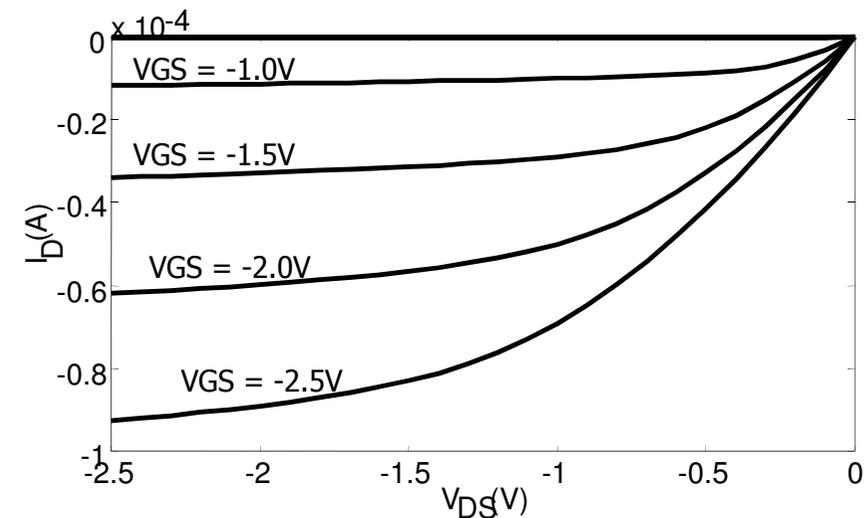


PMOS

- Der **PMOS muss in einem n-Substrat sitzen**.
- Wenn der Wafer (für den NMOS) p-dotiert ist, wird eine n-dotierte **n-Wanne** (engl. 'well') eingebaut



- Die Kennlinien sind genauso wie beim NMOS mit
 - negativen Polaritäten
 - **kleinerem K_p** (kleinere Mobilität der Löcher)

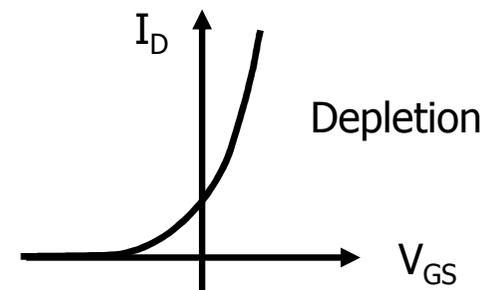
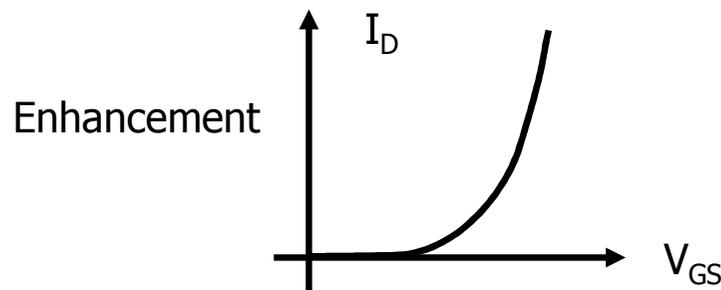


Schwellenspannung

- Die Schwellenspannung (Eintritt starker Inversion) hängt von vielen Faktoren ab:
 - Unterschied in den **Austrittsarbeiten** zwischen Gate und Substrat-Material
 - **Oxid-Dicke**
 - festen **Oberflächenladungen** an der $\text{SiO}_2 - \text{Si}$ - Grenzfläche
 - Stärke der **Dotierung** im Kanal
- Sie kann durch die Technologie eingestellt werden.
- Negative Schwellen (für einen NMOS) und $V_T=0$ '**Zero-VT-Device**' sind möglich
Man spricht von

Enhancement Devices = 'normally off',
wenn der Kanal bei $V_{GS}=0\text{V}$ noch nicht existiert und (beim NMOS)
durch eine positive Gatespannung erst gebildet werden muß.

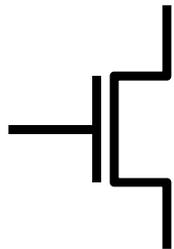
Depletion Devices = 'normally on', wenn der Kanal bei $V_{GS}=0\text{V}$ schon existiert und (beim NMOS)
durch eine negative Spannung erst verdrängt wird.



Schaltsymbole

- Es gibt sehr viele verschiedene Varianten von Schaltsymbolen:
 - NMOS/PMOS
 - positive oder negative Schwellenspannung: 'normally off' = **Enhancement MOS**
'normally on' = **Depletion MOS**
 - Darstellung des Substrat-Kontakts
 - Darstellung der Substrat-Dioden
- Beispiele:

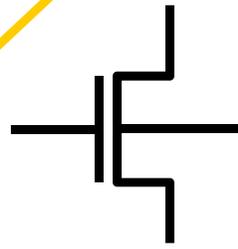
Die Source ist beim NMOS der negativere Anschluß.
(Normalerweise sind die Transistoren symmetrisch!)



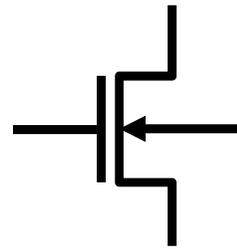
NMOS



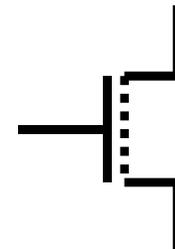
Source Diode markiert



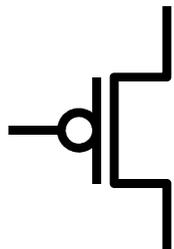
Mit Substrat Anschluß



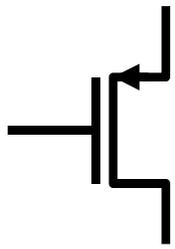
Drain-Source-Dioden



Explizite Darstellung, daß Kanal erst gebildet werden muß (positive Schwelle, 'normally Off', Enhancement-Typ)



PMOS



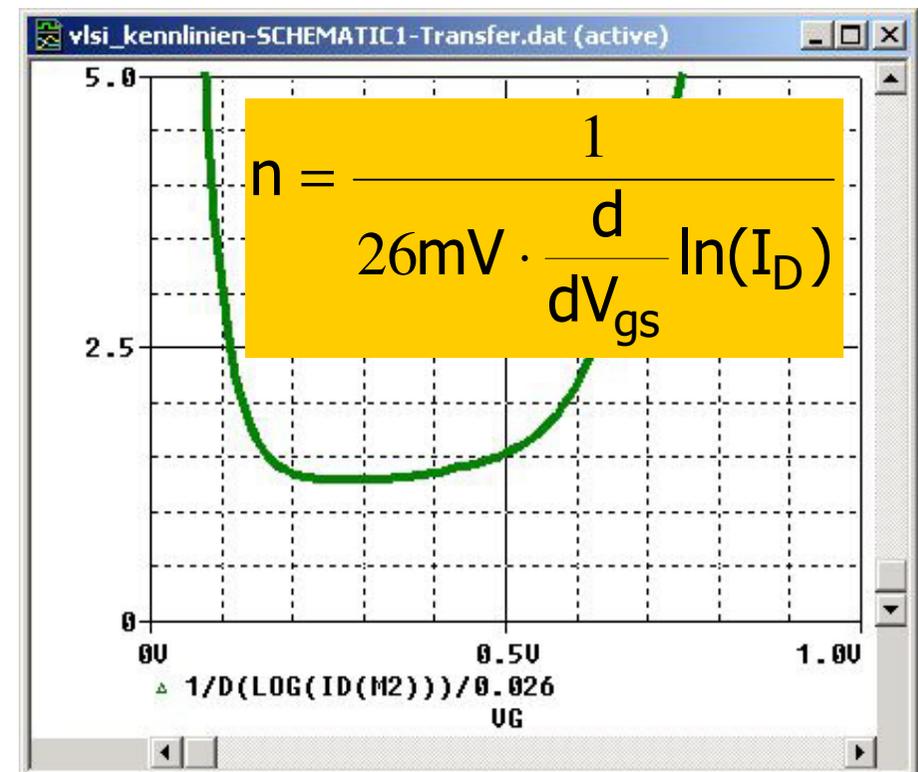
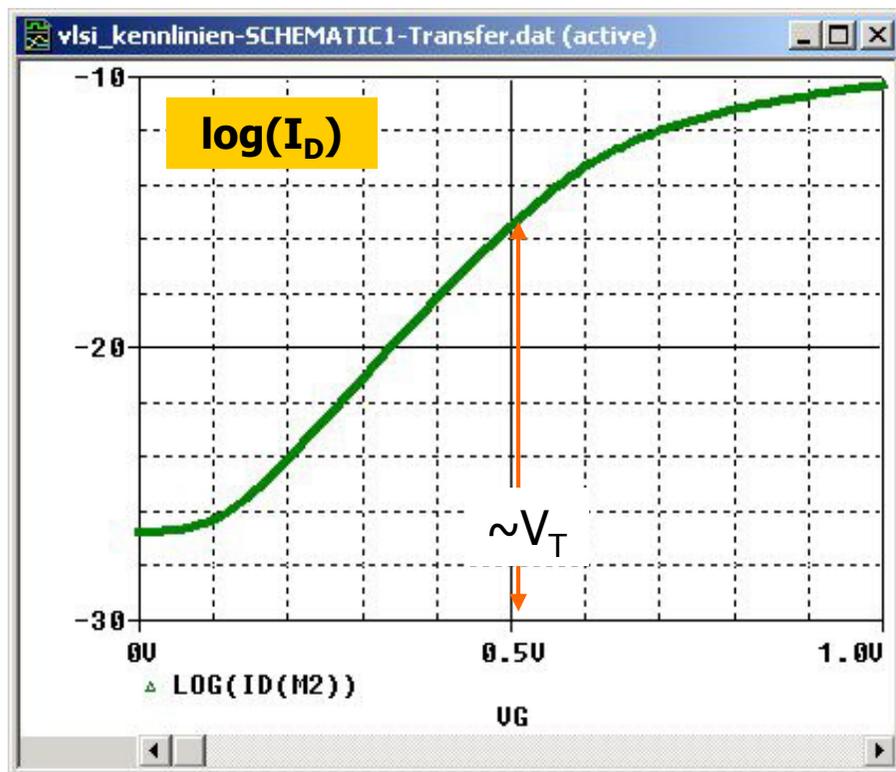
Source Diode markiert

etc...

Wenn nichts explizit markiert ist, ist der Bulk meist an Masse (NMOS) bzw. die positive Versorgung (PMOS) angeschlossen

Schwache Inversion (Sub-Threshold-Bereich)

- Unterhalb der Schwellenspannung fließt noch ein kleiner Strom
- Der Kanal ist hier in **schwacher Inversion (weak inversion, w.i.)**
- Der Strom steigt exponentiell mit V_{GS} : $I_D \sim I_S e^{(V_{GS}/nU_T)}$ mit $n \geq 1$ 'Subthreshold slope factor'
- Typische Steigungen: Je 60...100mV mehr Gatespannung erhöhen I_D um eine Dekade (10x)
- Schwache Inversion etwa, wenn $I_D < 2nK(W/L)U_T^2 \sim 200nA$ (das g_m ist dann in w.i. und s.i. gleich)
- Bei sehr vielen Transistoren mit niedriger Schwellenspannung bewirkt das einen DC-Strom, der einen relativ großen Beitrag zur statischen Verlustleistung macht! Zunehmendes Problem bei modernen Chips mit sehr vielen Transistoren!

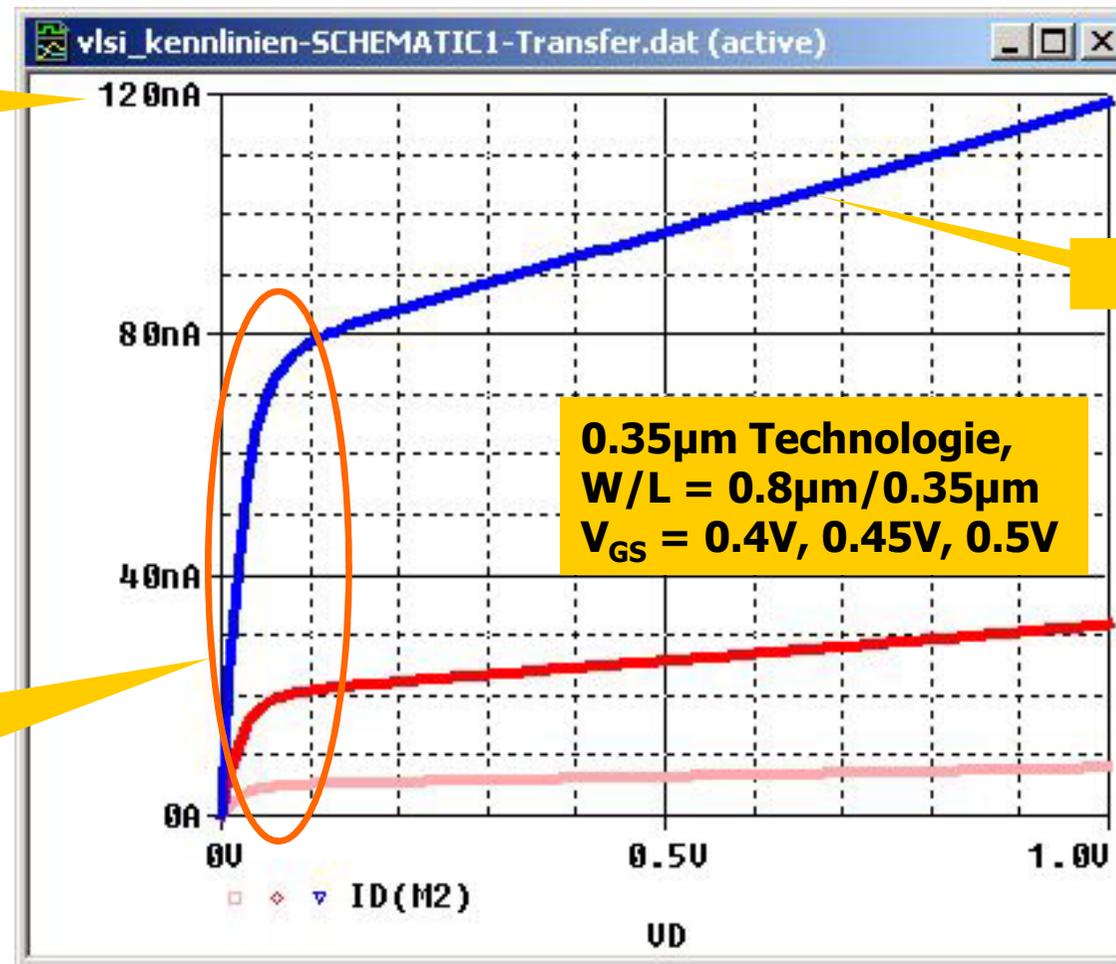


Sub-Threshold $I_D(V_{DS})$ – Sättigung und Early Effekt

- Sehr frühe Sättigung
- Early Effekt wie bisher

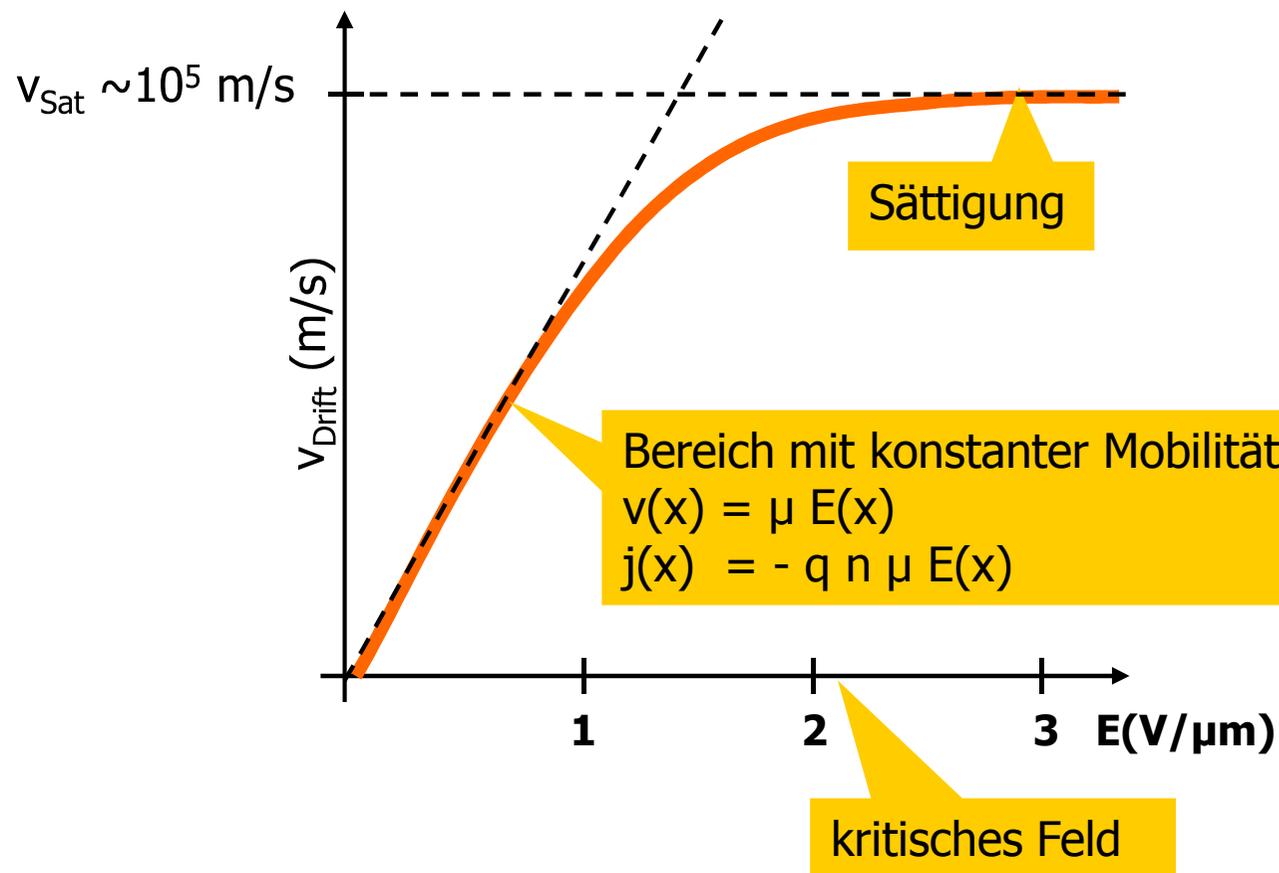
$$I_D = I_0 e^{\frac{qV_{GS}}{nkT}} \left(1 - e^{-\frac{qV_{DS}}{kT}} \right) (1 + \lambda \cdot V_{DS})$$

$$I_0 \propto \frac{W}{L}$$



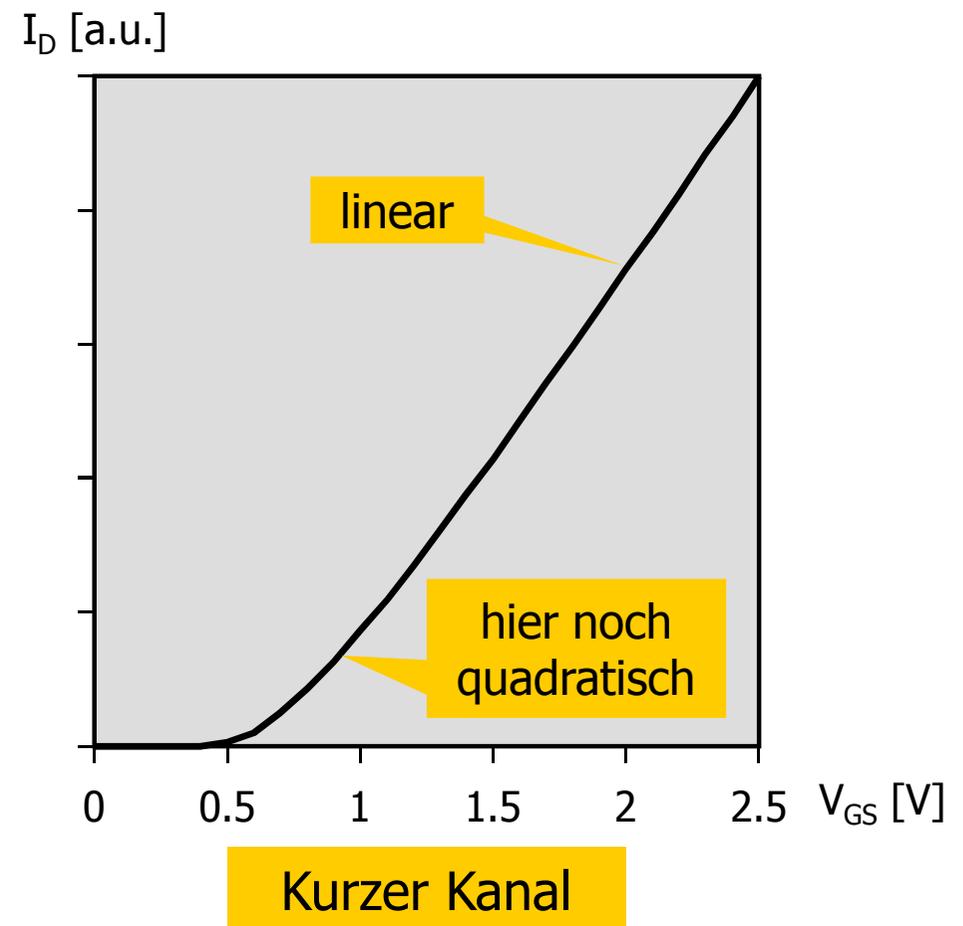
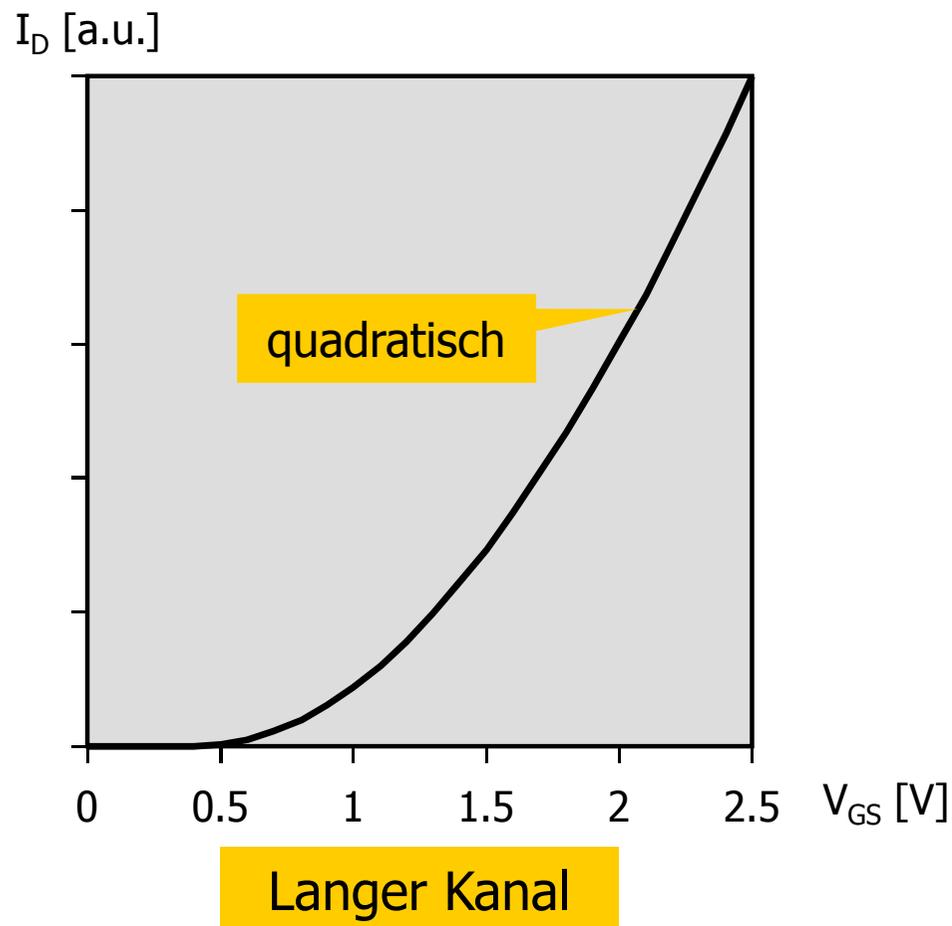
Kurzkanaleffekt: velocity saturation = mobility degradation

- Bei hohen Drainspannungen oder kleinem L ($< 0.3\mu\text{m}$) wird das longitudinale Feld im Kanal sehr groß.
- Nach $v = \mu E$ müsste die Driftgeschwindigkeit der Ladungsträger stetig zunehmen.
- Oberhalb des ‚kritischen Feldes‘ **sättigt die Geschwindigkeit** jedoch. Man nennt das ‚**velocity saturation**‘
- Alternativ kann man (wegen $\mu = v/E$) sagen: Die Mobilität nimmt ab: ‚mobility degradation‘.
- Konsequenz: der Drainstrom steigt nicht so stark an wie erwartet



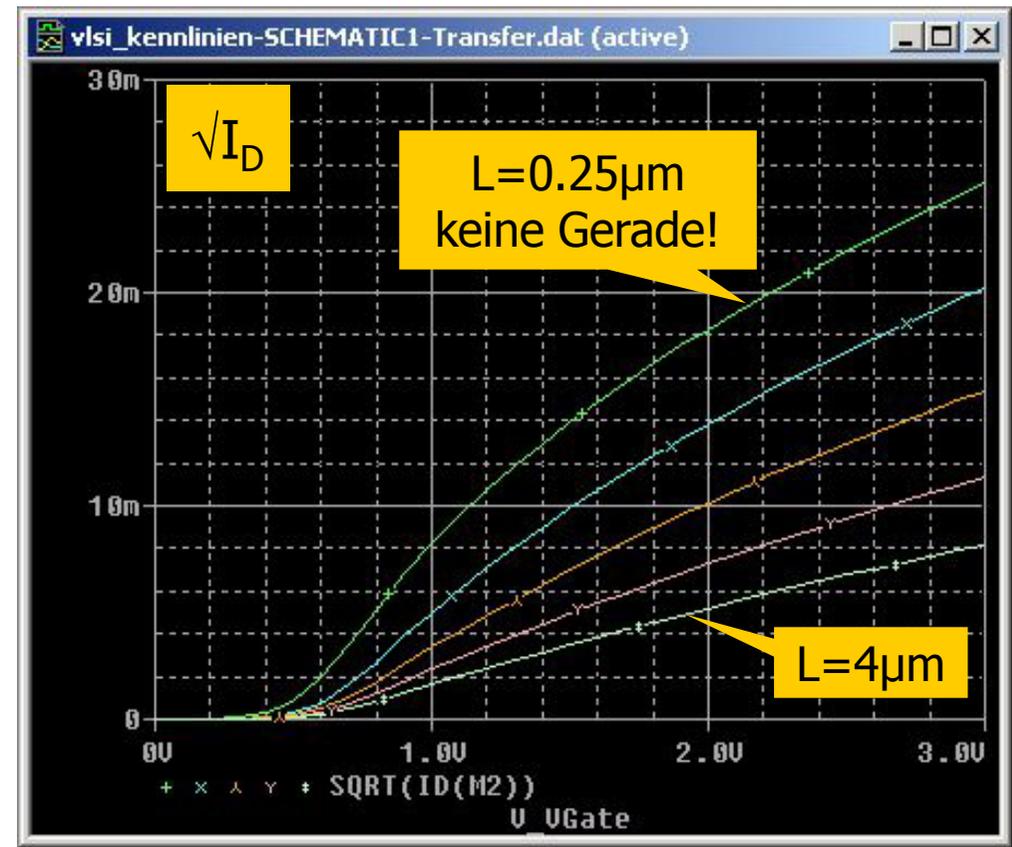
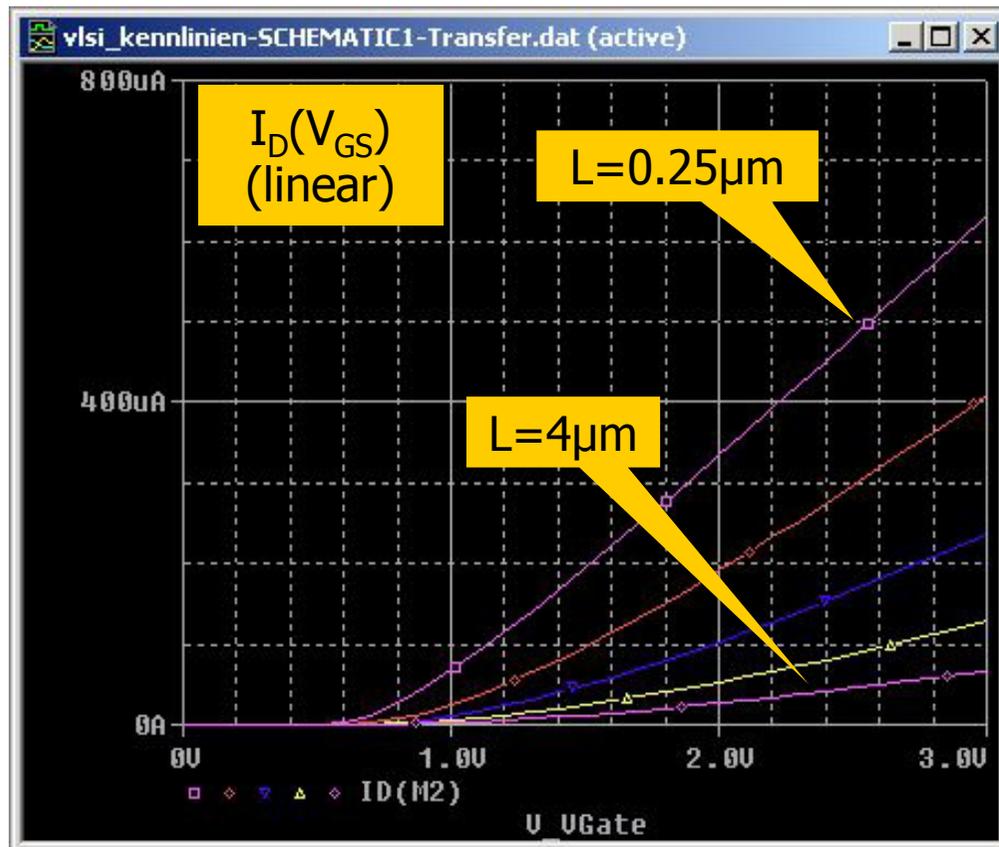
velocity saturation

- Konsequenz: Die Kennlinie $I_D(V_{GS})$ steigt dadurch nicht mehr quadratisch, sondern **nur linear** an.
- Die Transkonduktanz g_m wird dann unabhängig vom Strom. Das ist sehr ungünstig!
- Modellierung manchmal über einen Faktor $[1+\theta V_{DS}]^{-1}$ im Ausdruck für I_D
- Auch das vertikale Feld (das von V_{GS} abhängt) reduziert die Beweglichkeit, weil die Ladungsträger stärker an die Grenzfläche gezogen werden. Dies führt zu weiteren Termen im Ausdruck für I_D

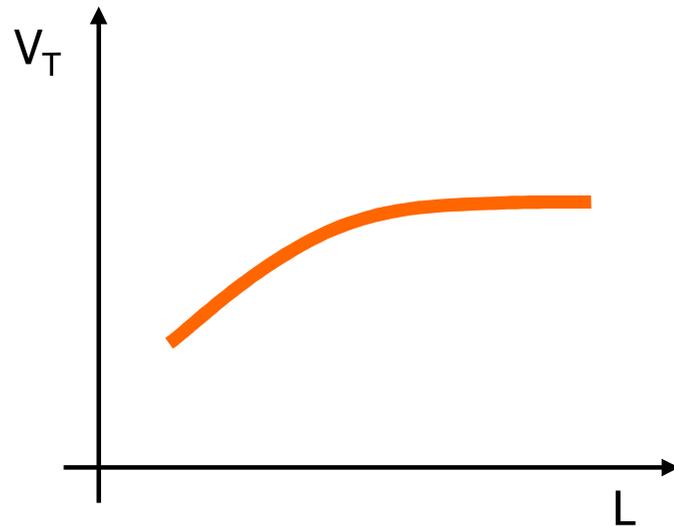


Kurzkanaleffekt in SPICE

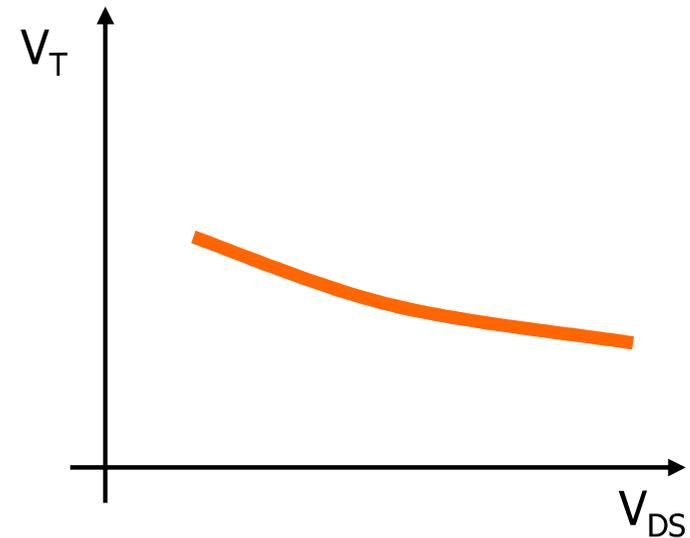
- PSPICE Simulation der Transferkennlinie eines NMOS25 in Sättigung für $L=0.25\mu$, 0.5μ , 1μ , 2μ , 4μ
- Kurzkanaleffekte sind in höheren Modellen eingebaut.



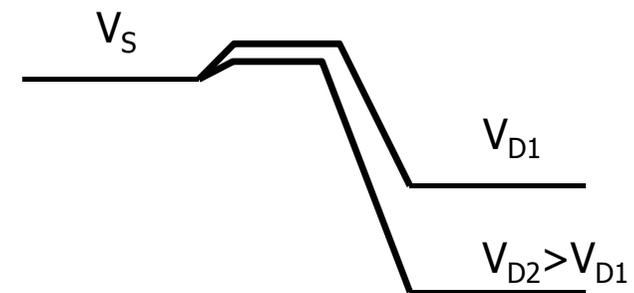
Weitere Kurzkanal-Effekte



Schwelle sinkt bei sehr kurzen Kanälen



Schwelle hängt bei kleinen L von der Drainspannung ab.
(DIBL: ‚Drain induced barrier lowering‘)
s. Applet bei Smile



Substrat-Effekt

- **Die Schwellenspannung hängt außerdem vom Potential des Substrats ab**

- Der Theoretische Ausdruck lautet:

$$V_T = V_{T0} + \gamma \left(\sqrt{2\Phi_F - V_{BS}} - \sqrt{2\Phi_F} \right)$$

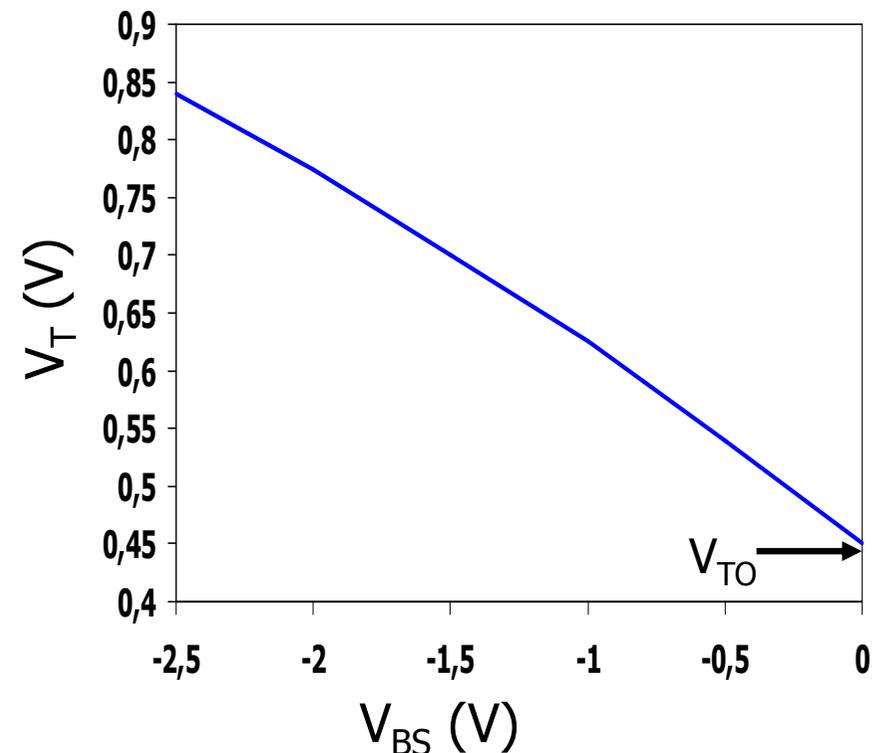
- V_{T0} ist die Schwellenspannung für $V_{SB} = 0$
- $\Phi_F = -V_{Th} \ln(N_A/n_i)$ ist das Fermi-Potential des Substrats (= Fermi Energie - Mid-Band-Energie)
- $\gamma = \sqrt{(2q\epsilon_{Si}N_A)/C_{ox}}$ ist der **Body-Faktor**

- **Oft benutzt man einfacher (linearisiert)**

$$V_T = V_{T0} + (n-1) |V_{SB}|, \quad n=1...1.5$$

- **Die Schwelle steigt, wenn (beim NMOS) der Bulk negativer als die Source wird**

- Dieser Effekt ist wichtig beim NMOS, weil hier das Substrat **global** an Masse liegt.
- Beispiel: NMOS Source-Folger haben eine Verstärkung $< 1!$



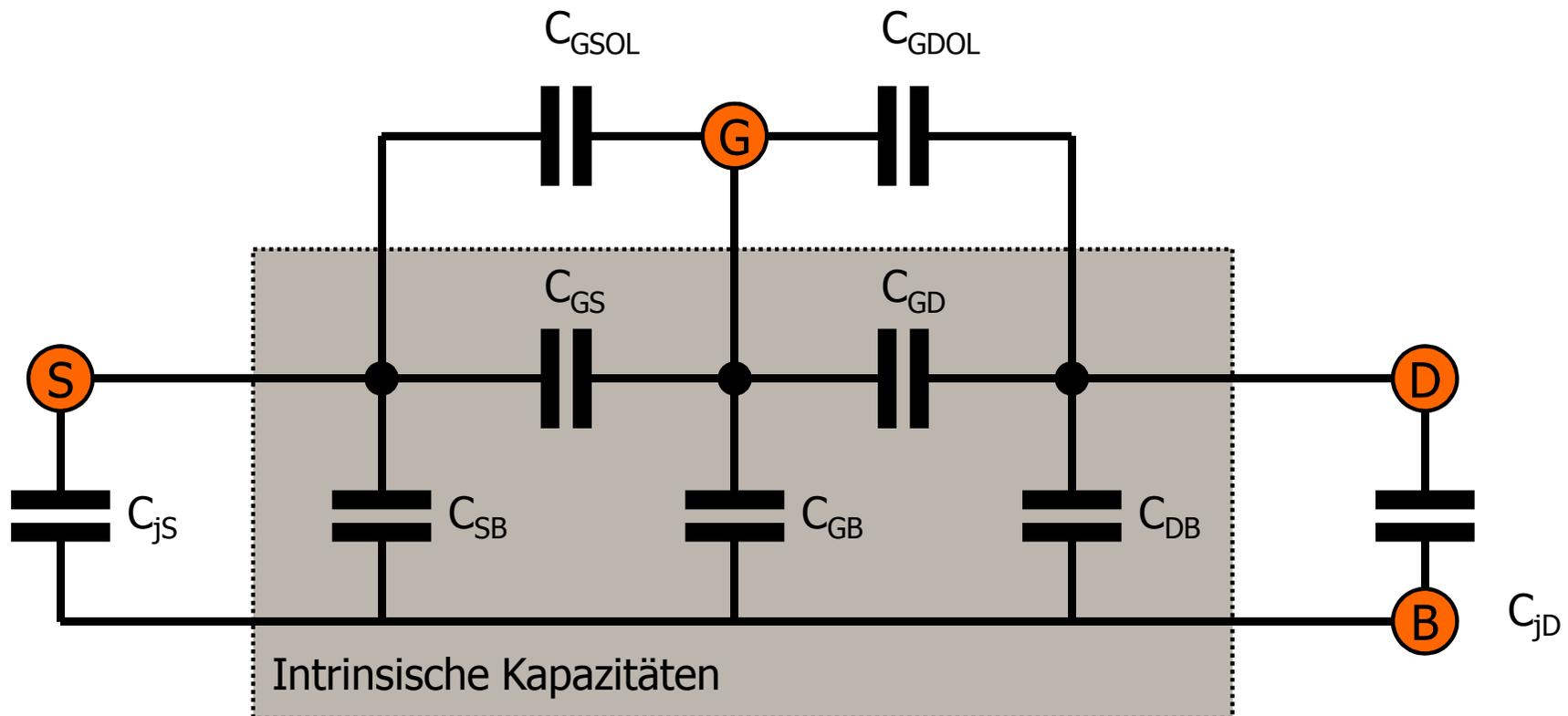
Temperatureffekte

- Die **Mobilität** der Ladungsträger **nimmt bei steigender Temperaturen ab** (mehr Gitterschwingungen). Daher wird K kleiner, die Schaltung wird **langsamer**.
- Man findet näherungsweise: $K \sim T^{-3/2}$. D.h. z.B.: Eine Erwärmung um 80K reduziert K um 30%
s. z.B. Tsividis, Operation and Modeling of the MOS Transistor, p. 189
- Die Schwellenspannungen der MOS ändert sich (Änderung der Bandlücke und der Ladungsträgerkonzentration im Kanal)
- Es gilt etwa $V_T(T) = V_T(T_0) - k(T - T_0)$, $k = 0.5 \dots 3 \text{ mV / K}$
- Die Schwelle nimmt also **mit steigender Temperatur ab**, die Schaltung wird **schneller**.

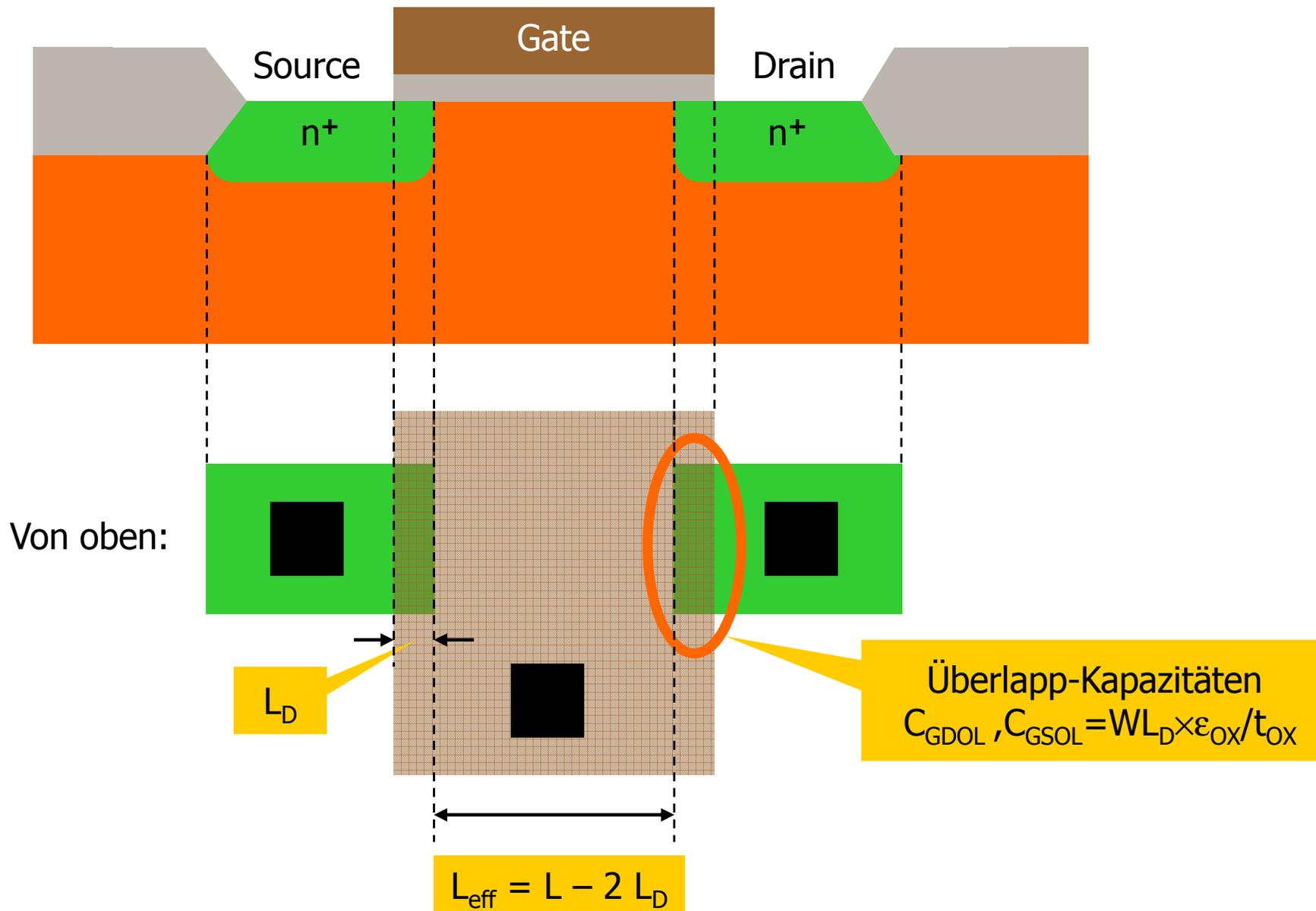
Kleinsignalmodell - Kapazitäten

Man unterscheidet:

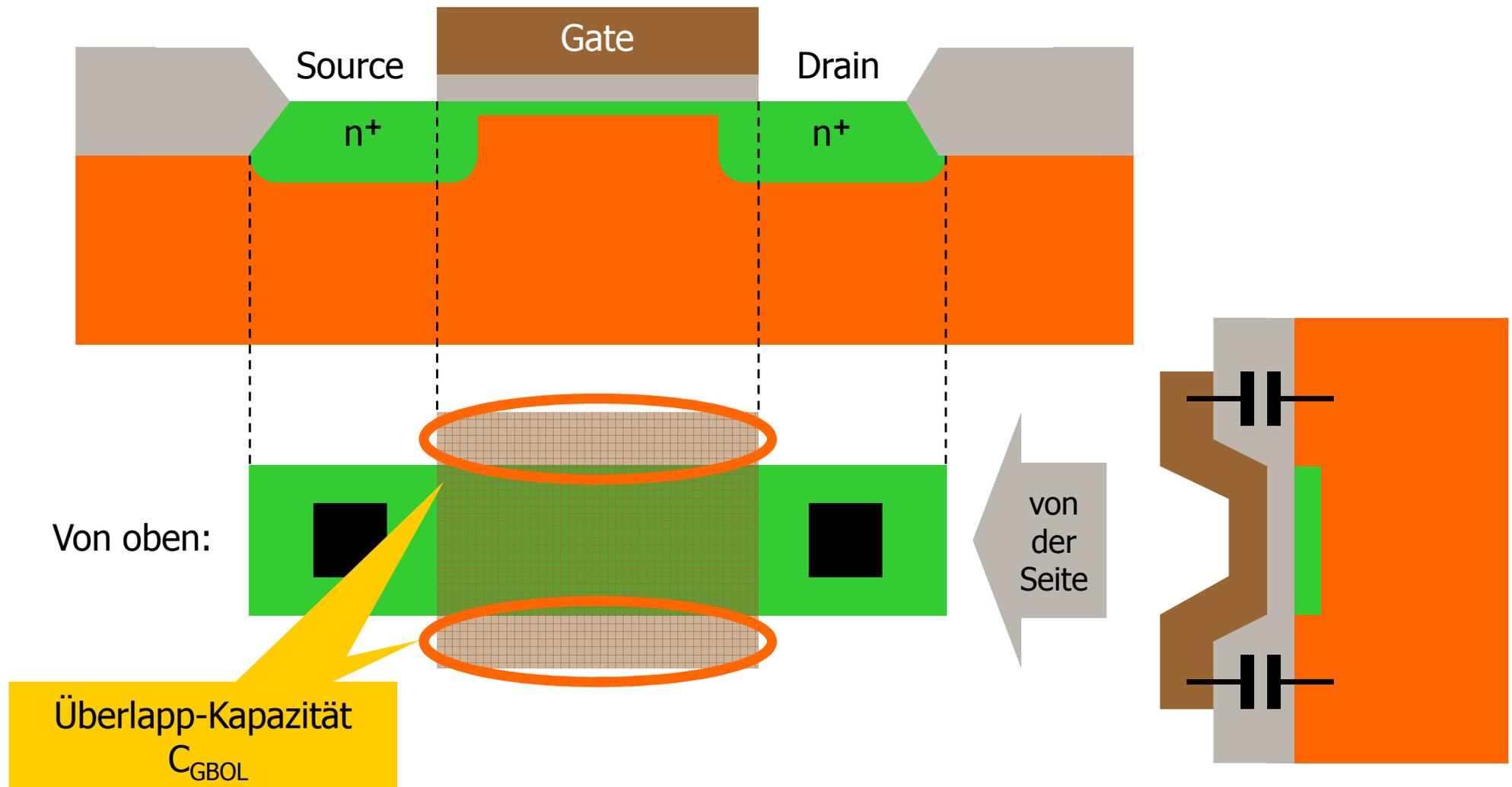
- **intrinsische Kapazitäten** vom Gate zum Kanal und ins Substrat. Sie hängen von der Gate-Spannung und vom Betriebszustand ab (MOS Struktur)
- Die **Sperrschichtkapazitäten** (C_{jS} , C_{jD}) von Drain und Source. Sie hängen von V_{DB} bzw V_{SB} ab.
- **Überlapp-Kapazitäten** (C_{GSOL} , C_{GDOL}) 'direkt' vom Gate-'Metall' in die Drain/Source-Gebiete



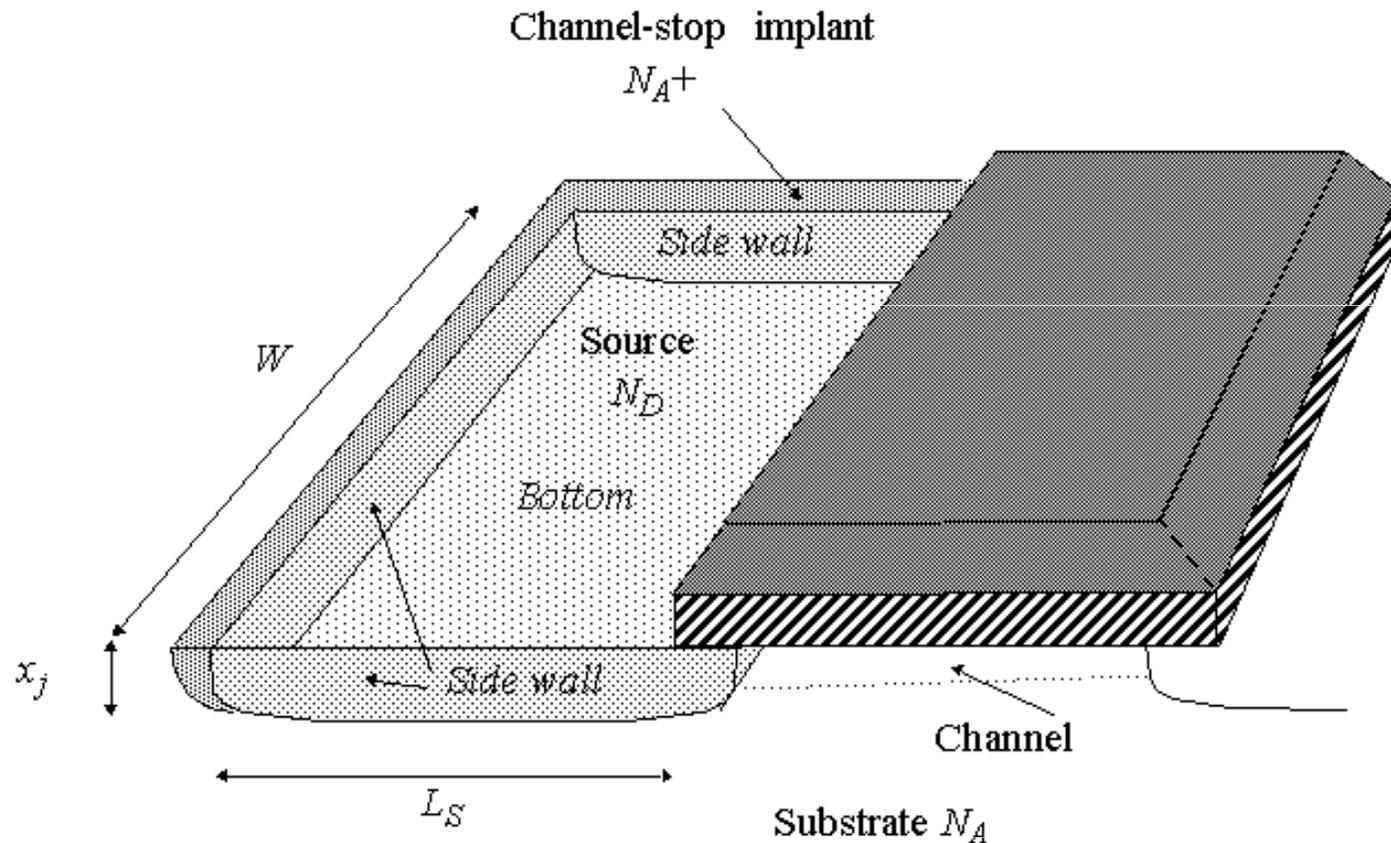
Überlappkapazitäten C_{GDOL} , C_{GSOL}



Außerdem: Überlappkapazität C_{GBOL}



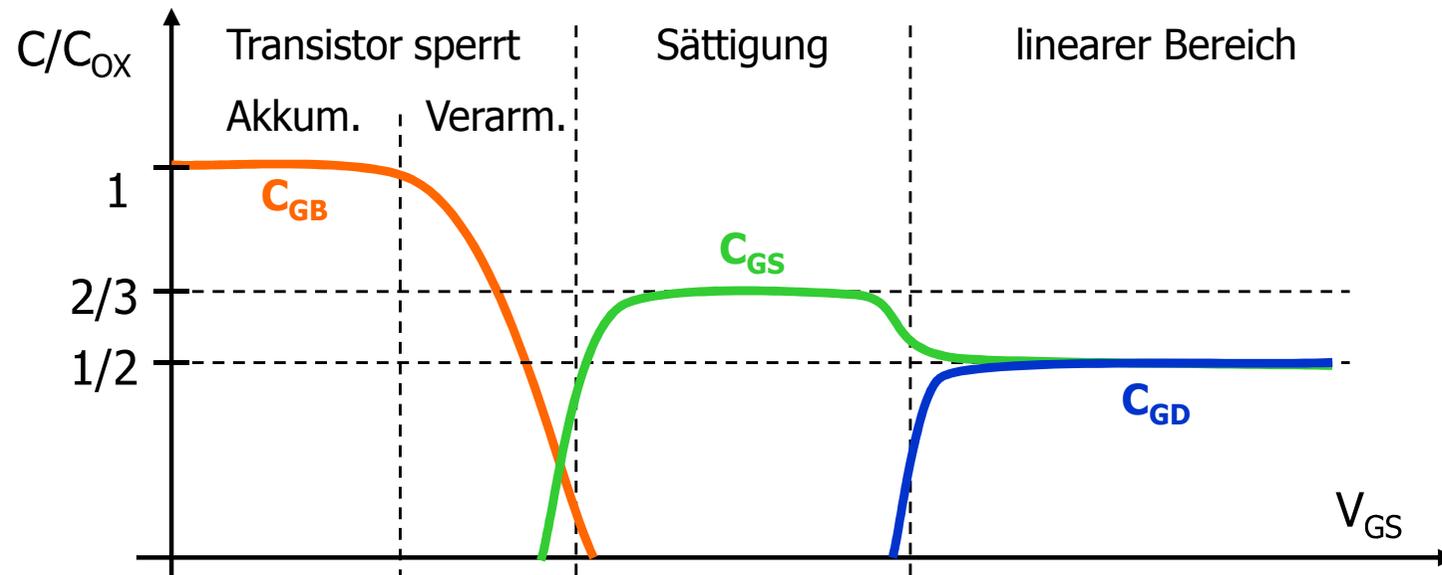
Diffusions Kapazität: ‚Area‘ und ‚Sidewall‘



$$\begin{aligned}C_{\text{diff}} &= C_{\text{area}} + C_{\text{sidewall}} \\ &= CJ \times \text{AREA} + CJSW \times \text{PERIMETER} \\ &= (\text{genauer: jeweils mit Spannungsabhängigkeiten der Diodenkapazitäten})\end{aligned}$$

Kanalkapazitäten für verschiedene Betriebsbereiche

- Die durch den Kanal gegebenen Kapazitäten hängen vom Betriebsmodus ab:
- Im abgeschalteten Zustand sind Drain- und Source-Kapazität klein. Die Gate-Kapazität zum Bulk ist $W \cdot L \cdot C_{OX}$ in Akkumulation, weniger in Verarmung
- Im linearen Bereich geht die Kapazität des Gates etwa zu gleichen Teilen zu Drain und Source
- In Sättigung ist C_{GD} klein. C_{GS} ist $2/3 W \cdot L \cdot C_{OX}$. (Herleitung s. Skript Bauelemente)



C_{GB}	$W \cdot L \cdot C_{OX}$	kleiner	0	0
C_{GS}	0	0	$2/3 W \cdot L \cdot C_{OX}$	$1/2 W \cdot L \cdot C_{OX}$
C_{GD}	0	0	0	$1/2 W \cdot L \cdot C_{OX}$

Zusammenfassung MOS

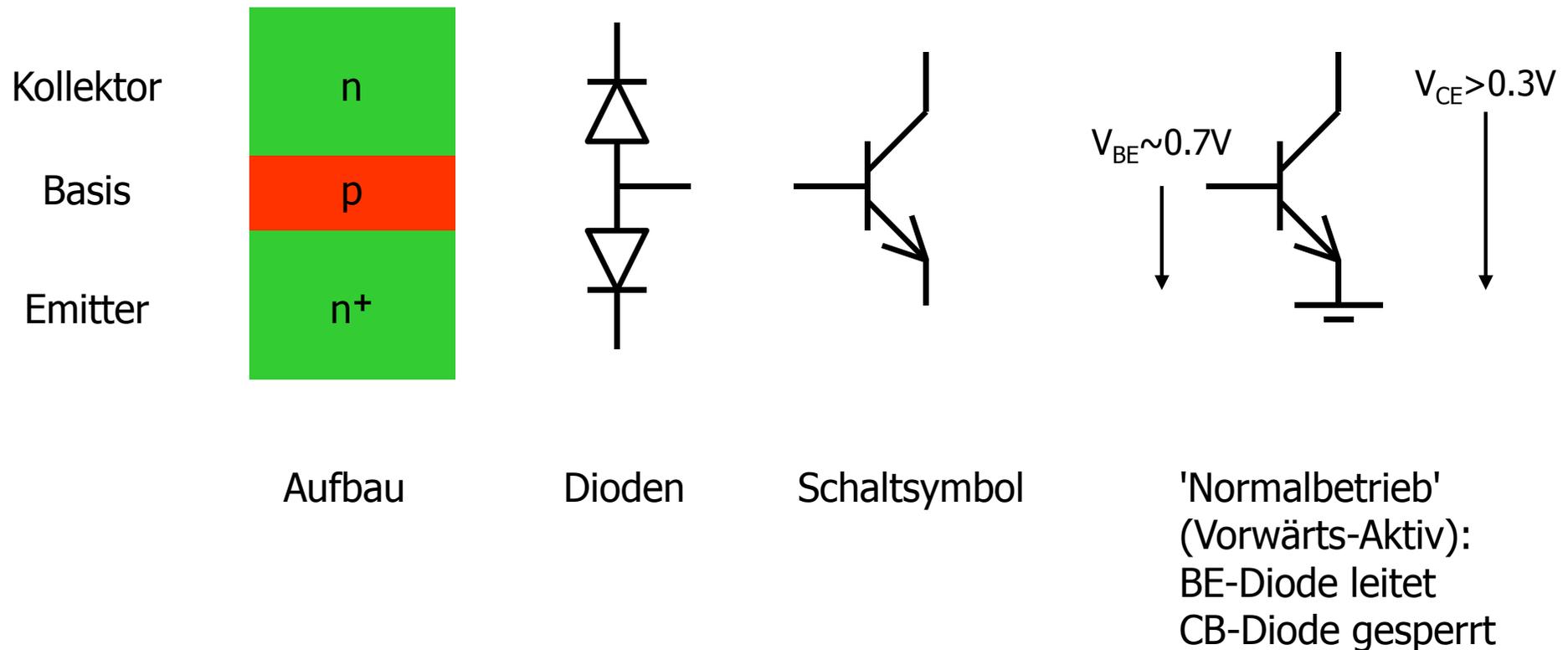
- Transistor leitet, sobald Gatespannung über der Schwellenspannung ist ($V_{GS} > V_T$)
- Bei kleinen Drainspannungen: linearer Bereich ($V_D < V_{DSat} = V_{GS} - V_T$) $\Rightarrow I_D = \dots$
- Bei hohen Drainspannungen: Sättigung $\Rightarrow I_D = \dots$
- Strom steigt quadratisch mit der Gatespannung an (einfachstes Modell)
- In schwacher Inversion (Subthreshold, $V_{GS} < V_T$, $I_D < 200\text{nA}$) fließt ein Strom mit exponentieller Kennlinie

- Durch den Early-Effekt (Kanallängenmodulation) steigt der Drainstrom in Sättigung weiter an.
 - Der Ausgangswiderstand r_{DS} ist nicht unendlich.
 - r_{DS} ist um so höher, je länger der Transistor ist und je kleiner der Strom ist
- Substrateffekt: Schwellenspannung steigt, wenn Substratpotential $<$ Sourcepotential (NMOS)
- Kurzkanaleffekte: Bei sehr kurzen Transistoren steigt der Drainstrom nicht quadratisch, sondern eher linear mit der Gatespannung

- Kapazitäten:
 - Die Flächenkapazität des Gates ist die eines MOS Kondensators – Spannungsabhängig.
Sie teilt sich je nach Betriebszustand auf C_{GD} und C_{GS} auf.
 - Die Gate-Source und Gate-Drain Überlapp-Kapazitäten sind geometrisch bedingt
 - Die Drain- und Source-Bulk Dioden folgen dem bekannten spannungsabhängigen Verhalten.
Man unterscheidet Fläche (Area) und Umfang (Perimeter).

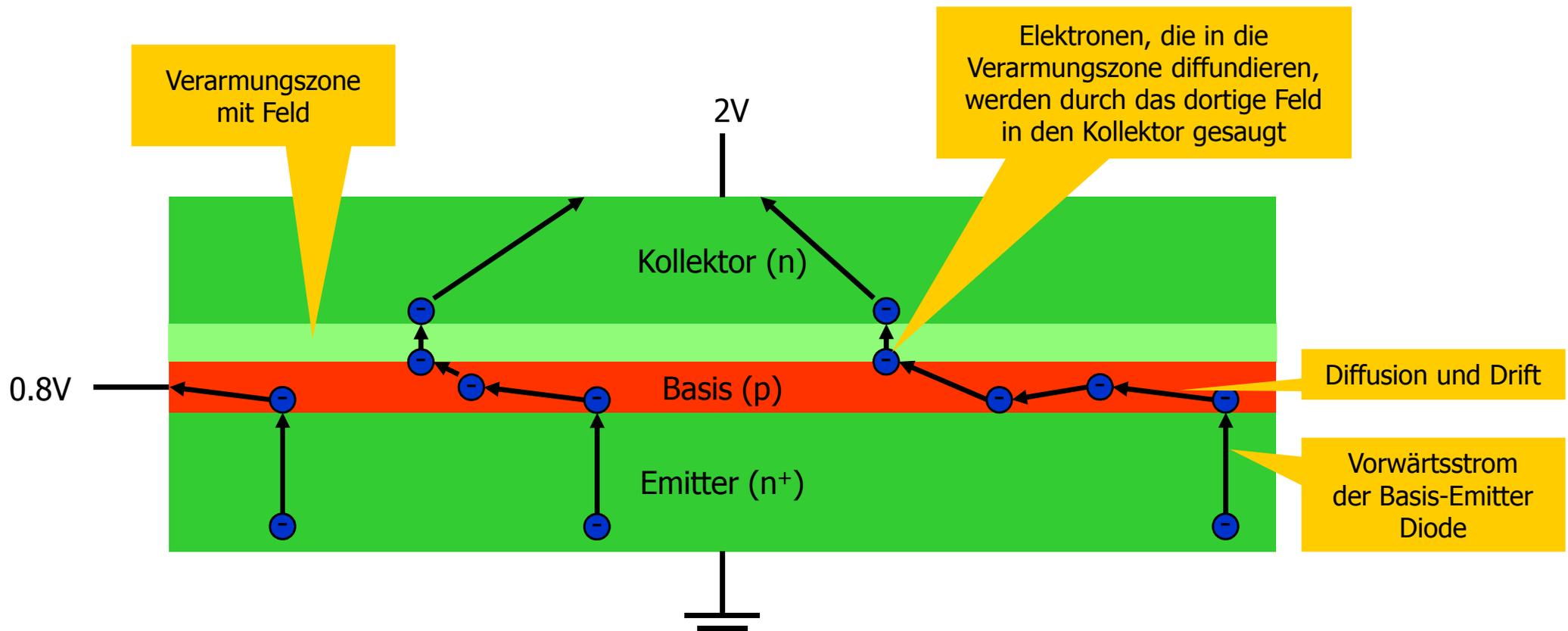
Bipolartransistor

- Nur in wenigen CMOS-Technologien ist zusätzlich ein 'guter' Bipolartransistor verfügbar
 - Man spricht dann von **BiCMOS Technologien**
 - Anwendung: HF-Teil von Handy, Gbit Links, ...
 - In jeder Technologie gibt es jedoch **parasitäre Bipolartransistoren**
-
- **Aufbau eines npn-Transistors:**



Sehr vereinfachte Funktionsweise

- Die Basis ist sehr dünn, so dass Elektronen aus dem Emitter einen weiten Weg zum Basiskontakt haben
- Sie können ‚unterwegs‘ durch Diffusion in die Basis-Kollektor-Sperrschicht geraten und werden dann durch das dortige Feld in den Kollektor abgesaugt
- Nur ein (konstanter, kleiner) Bruchteil ‚schafft‘ es bis in den Basiskontakt. Diese Elektronen bilden den Basisstrom
- Anschauliches Bild:
Betrunkene Wanderer auf einem Grat, von dem es rechts steil bergab (zum Kollektor) geht.



Funktion (sehr vereinfacht)

- Der Basis-Emitter-Strom besteht aus
 - Elektronen, die vom Emitter zur Basis laufen – Elektronen sind im n-dotierten Emitter Majoritätsträger
 - Löchern, die aus der Basis in den Emitter laufen – Löcher sind in der p-dotierten Basis Majoritätsträger
- Die Elektronen aus dem Emitter sind Minoritätsträger in der Basis. Sie diffundieren aufgrund des Konzentrationsgefälles in Richtung Kollektor.
- Dort herrscht das hohe Feld der gesperrten Kollektor-Basis-Diode. Sobald die Elektronen dieses erreichen werden sie zum Kollektor hin abgesaugt.
- Der Kollektorstrom ist daher sehr gut linear zum Basisstrom. Die Stromverstärkung ist typisch $\beta \sim 100$.
- Die Ausgangskennlinie ist sehr ähnlich wie beim NMOS.
- Gray-Meyer:
'Collector current is produced by minority carrier electrons in the base diffusing in the direction of the concentration gradient and being swept across the collector-base depletion region by the field existing there'
- Näherungsweise Beschreibungen des Bipolar – Transistors: ($U_{TH} = kT/q = 26mV@300K$):

$$I_C = \beta I_B \quad \text{und} \quad I_C = I_S \left(1 + \frac{V_{CE}}{V_A} \right) \exp\left(\frac{V_{BE}}{U_{TH}} \right)$$

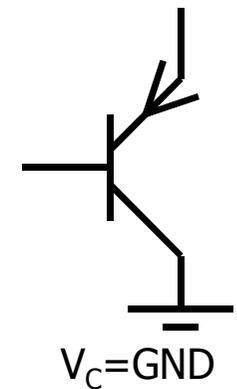
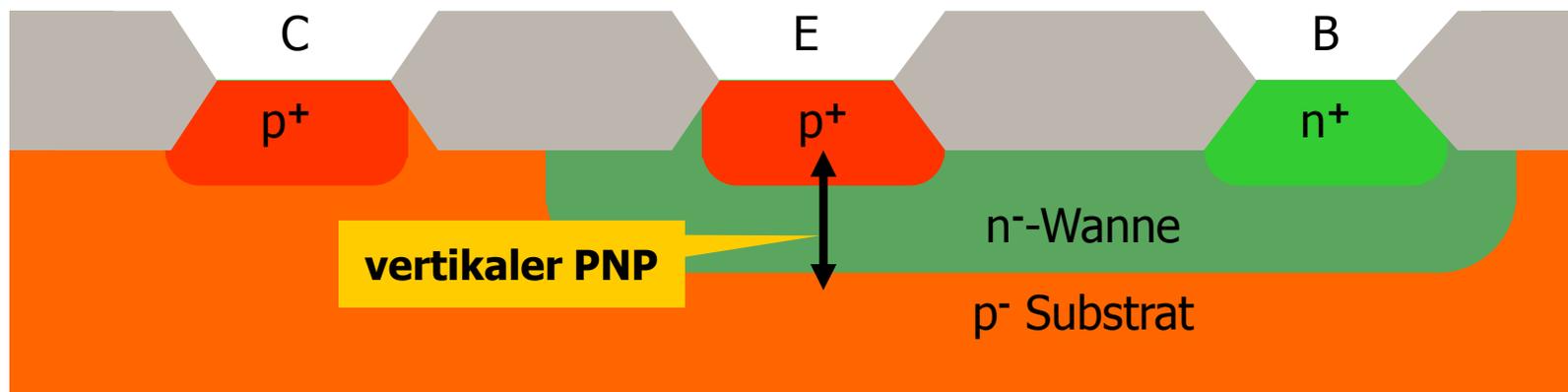
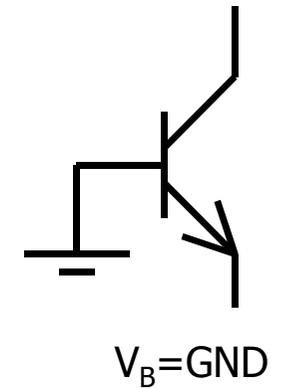
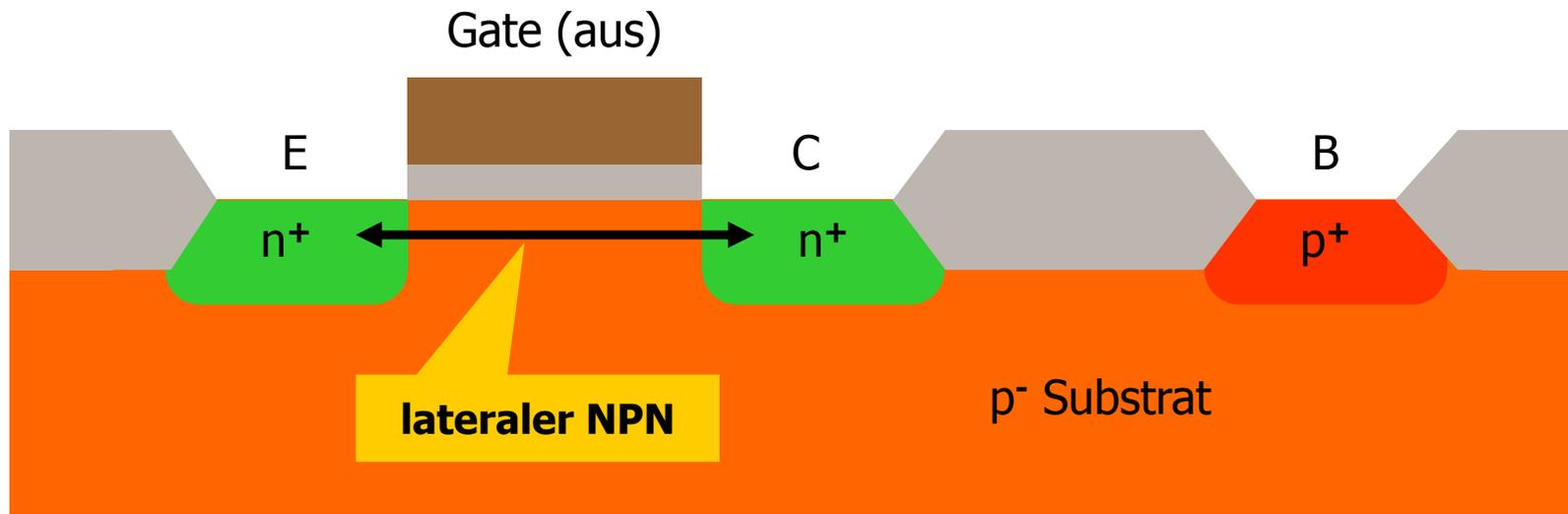
- Genauer sind die 'Ebers-Moll' - Gleichungen

Vorteile von Bipolartransistoren

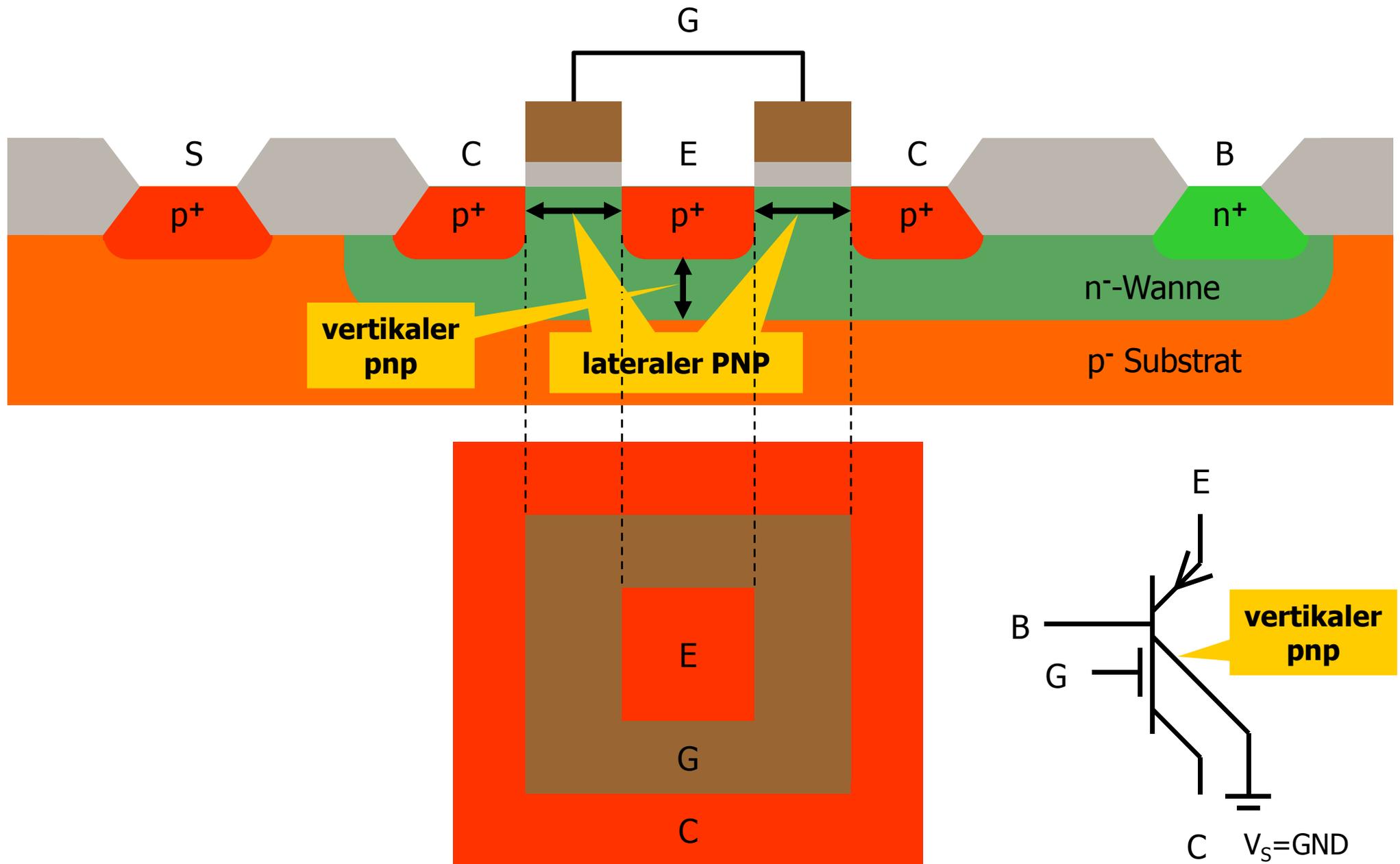
- Kennlinie enthält keine kritischen Prozessparameter, daher sehr gut definitere Eigenschaften.
- Transkonduktanz $g_m = \partial I_C / \partial V_{BE} = I_C / U_{TH}$ ist sehr hoch (wie MOS in schwacher Inversion, aber bei hohen Strömen)
- Kapazitäten sind klein
- Daher sehr schnell!

- Anwendungen:
 - Hohe Geschwindigkeiten (HF Teile von Handys, schnelle serielle Links)
 - kleine Offsetspannungen (Operationsverstärker)
 - Spannung- und Stromreferenzen
 - Schaltungen zur Temperaturmessung

Parasitäre Bipolartransistoren in CMOS



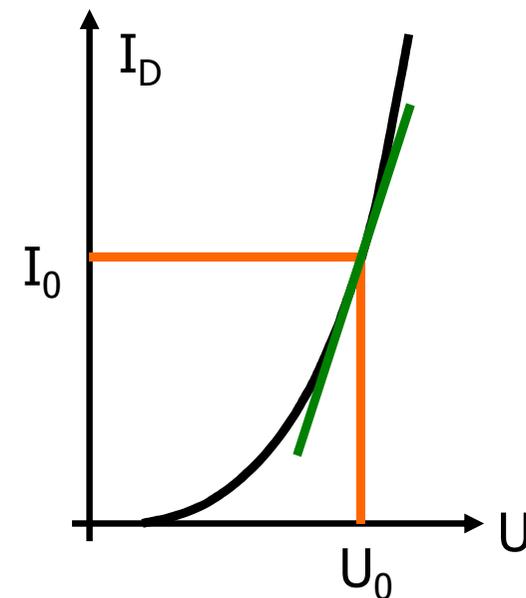
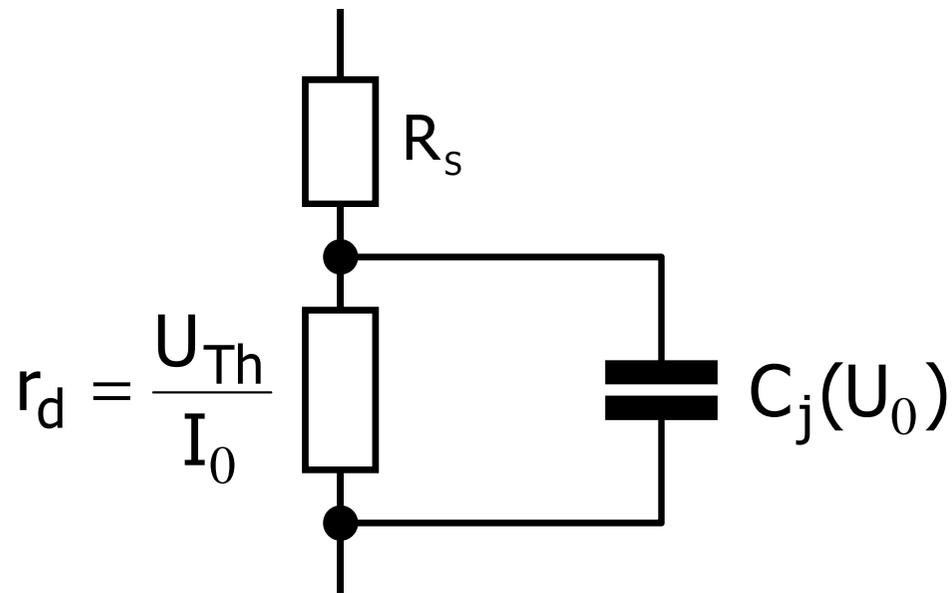
Parasitäre Bipolartransistoren in CMOS



Kleinsignalmodelle

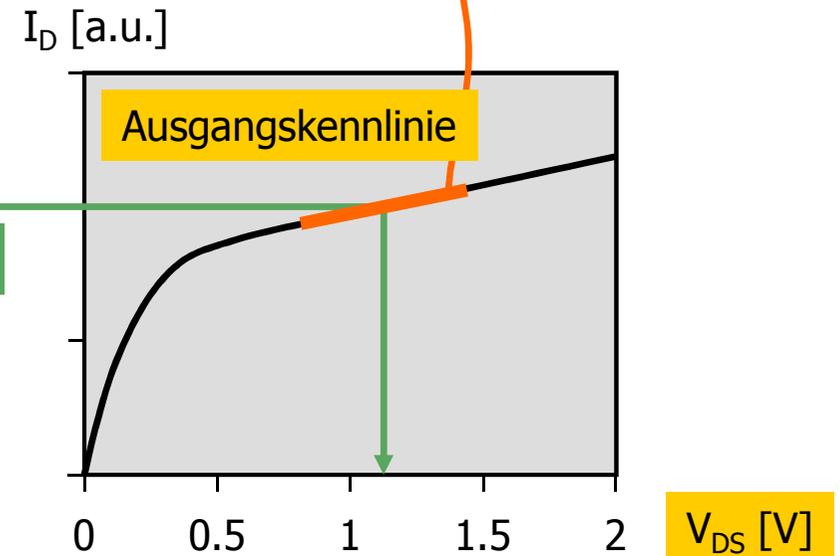
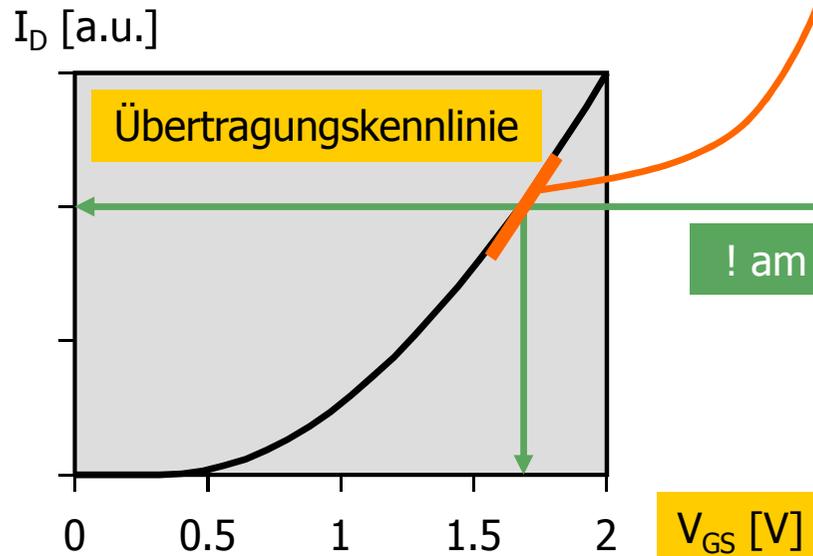
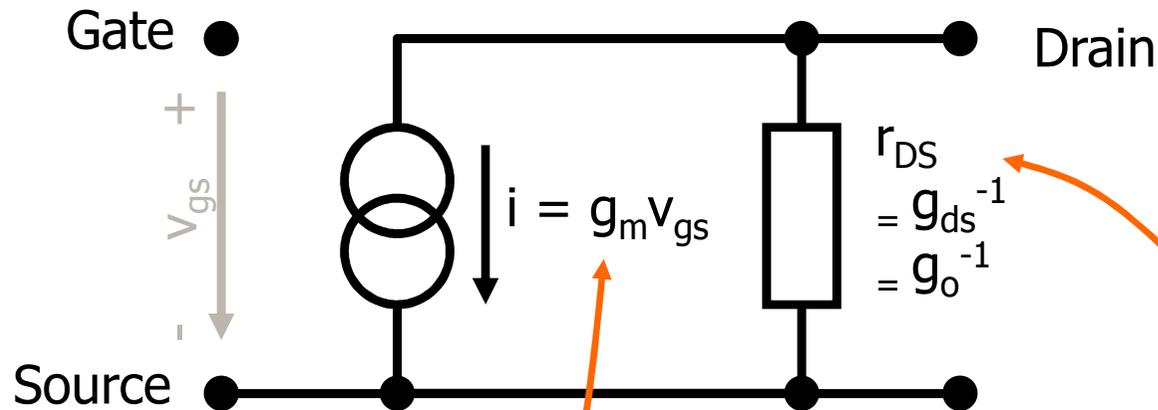
Kleinsignalmodell Diode

- R_s Zugangswiderstand durch Implantationen, klein (wenige Ohm)
- C_j Diffusionskapazität (wichtig in Vorwärtsrichtung)
- r_d linearisierte Kennlinie. $g_d = 1/r_d = I_0/U_{th}$
- In Sperrrichtung geschaltete Diode: Nur spannungsabhängige Kapazität durch Verarmungszone (und R_s)



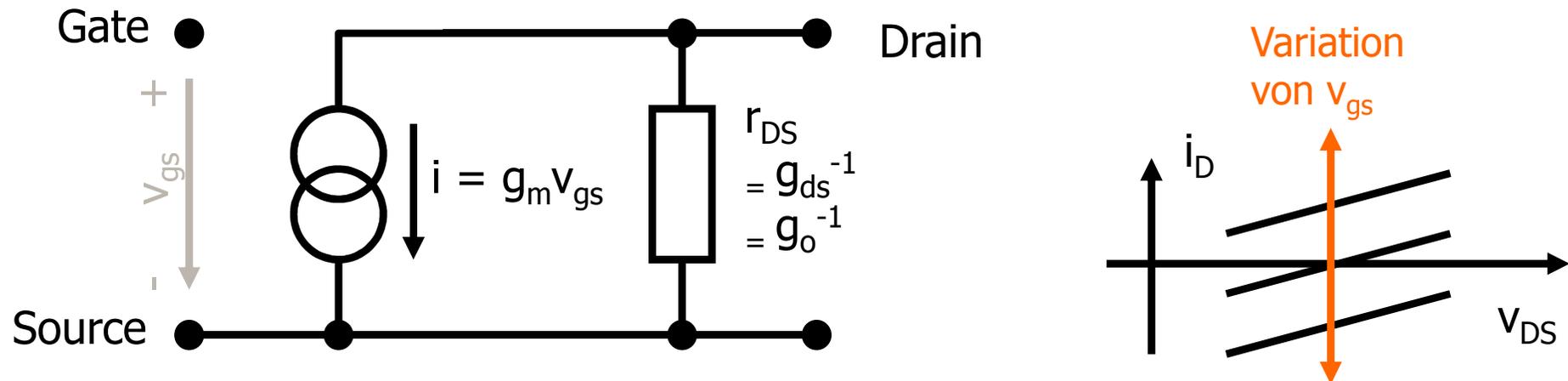
Kleinsignalmodell – Transistor

- Einfachstes Modell: NMOS Transistor ist gesteuerte Stromquelle mit Innenwiderstand



! am Arbeitspunkt !

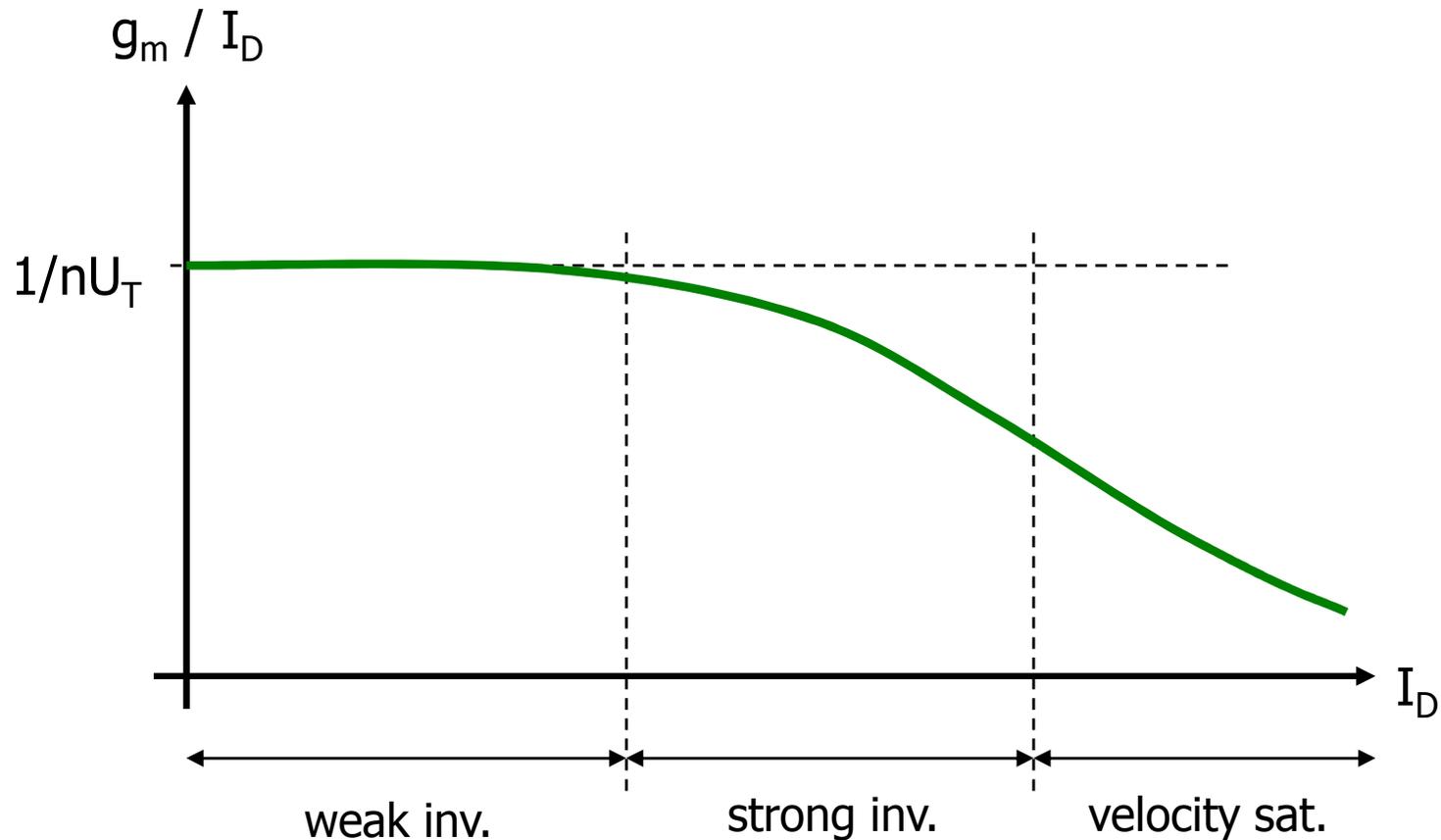
Kleinsignalmodell – Transistor



$g_m := \partial I_D / \partial V_{GS}$	$= K (W/L) (V_{GS} - V_T) = \mathbf{sqrt}[2 I_D K W/L]$	in starker Inversion
g_m	$= I_D / nU_T$	in schwacher Inversion
g_m	$= \mathbf{const.}$	in velocity saturation
$g_{ds} = g_o := \partial I_D / \partial V_{DS}$	$\approx \lambda I_D = - I_D / V_{Early}$	in Sättigung ($V_{Early} \sim L$)

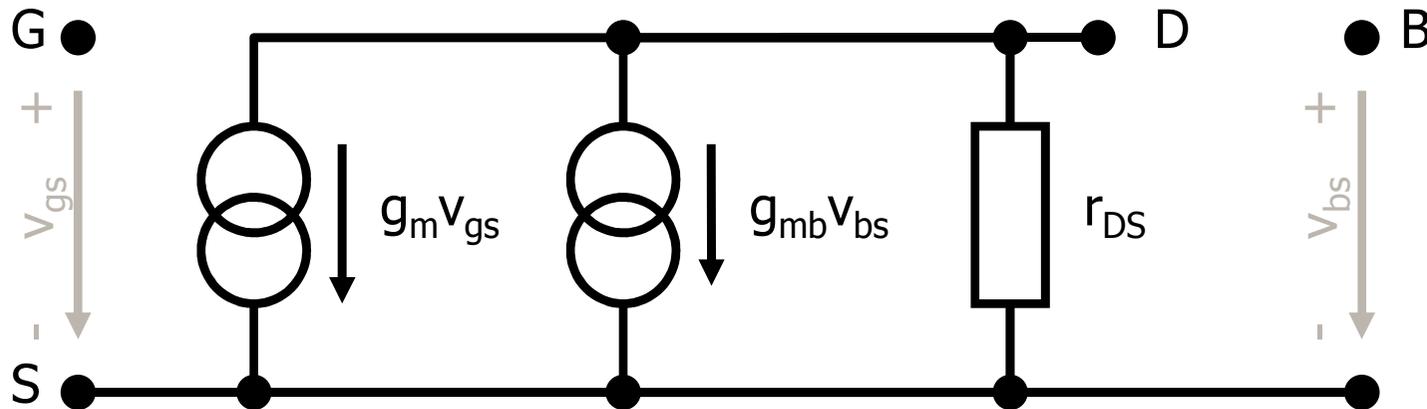
gm-'Ausbeute': gm/Id vs. Id

- In weak inversion wird Strom 'direkt' in g_m umgesetzt (proportional)
 - In strong inversion geht es langsamer (nur noch mit der Wurzel aus dem Strom)
 - In velocity saturation erhöht sich g_m gar nicht mehr, man verschwendet Strom!
- Manchmal trägt man g_m / I_D auf:



Kleinsignalmodell – mit Substrateffekt

- Der Substrateffekt wird über eine zweite Stromquelle berücksichtigt, die über V_{BS} (i.a. <0) angesteuert wird

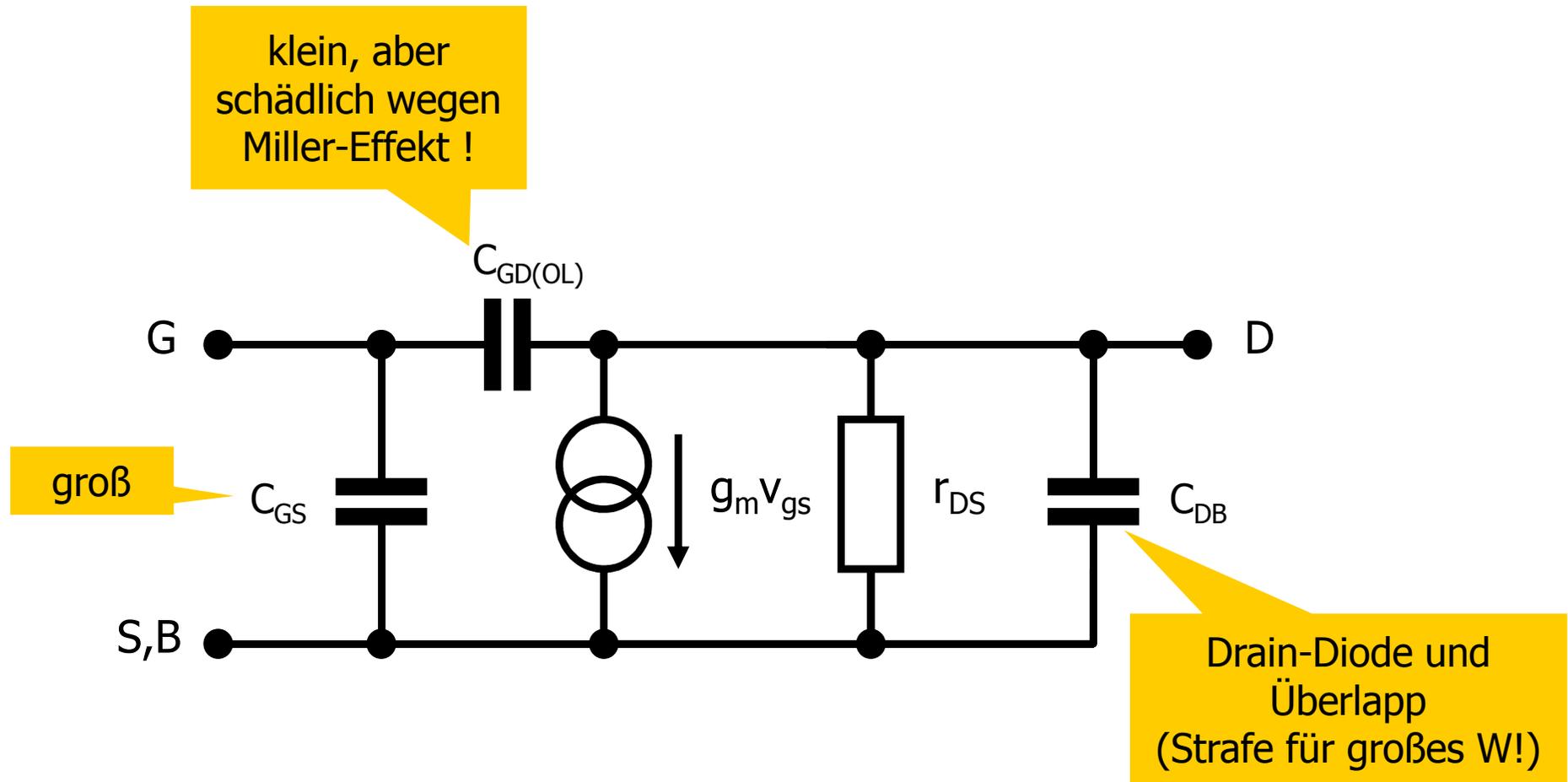


$$g_{mb} := \partial I_D / \partial V_{BS} = (n-1) g_m \quad (\text{immer!}, n: \text{body factor})$$

$$\text{Gesamtstrom: } i_D = g_m \times v_{GS} + g_{mb} \times v_{BS} + g_{ds} \times v_{DS}$$

Kleinsignalmodell

- Kleinsignalmodell mit den in vielen Schaltungen wichtigsten Kapazitäten ($V_{BS} = 0$)



Wichtige SPICE Modellparameter

NSUB	=	3.3E+15	Substratdotierung
TOX	=	4.3E-8	Oxiddicke
UO	=	570	Mobilität
PHI	=	0.6	Fermipotential (folgt aus Substratdotierung)
VTO	=	0.8	Schwellenspannung bei $V_{SB} = V_{DS} = 0$
KP	=	4.5E-05	Transkonduktanz Parameter
GAMMA	=	0.4	Body Effekt Parameter
LAMBDA	=	2.9E-2	Kanallängen-Modulations-Parameter
LD	=	2.4E-07	Laterale Diffusion in den Kanal ($L_{eff} = L - 2 \times LD$)
CGDO	=	2.8E-10	Gate-Drain Überlapp-Kapazität
CGSO	=	2.8E-10	Gate-Source Überlapp-Kapazität
CGBO	=	4.1E-10	Gate-Bulk Überlapp-Kapazität
CJ	=	1.0E-04	Flächenkapazität
MJ	=	0.66	Exponent für Flächenkapazität
CJSW	=	2.2E-10	Seiten-Kapazität
MJSW	=	0.18	Exponent für Seiten-Kapazität
RSH	=	1.0E+1	Flächenwiderstand von Drain und Source

Matching

- Zwei Transistoren mit identischer Geometrie haben **nicht genau das gleiche Verhalten**. Ursachen:
 - Variationen in der wahren Geometrie durch Herstellungsfluktuationen
 - Variationen in der Oxiddicke
 - Variationen in der Dotierung
 - ...
 - Orientierung,
 - Umgebung des Layouts, Lagen über den Transistoren
 - ...
 - Temperatur
- Diese Variationen wirken sich insbesondere aus auf
 - Schwellenspannung (2..20 mV)
 - $\beta = K \times W/L$ (0.2 .. 20%)
- Alle **Variationen werden kleiner**, wenn die **Transistoren größer** gemacht werden. Der Abstand, die Orientierung und die Umgebung sollten in kritischen Fällen gleich sein
- Berechnung z.B. (mit $\beta = K \times W/L$)

$$\sigma^2(V_{T0}) = A^2/(WL) + S^2 \times D^2$$

A,S: Technologieparameter, D: Abstand der MOS

$$\sigma^2(\beta)/\beta^2 = \sigma_w^2/W^2 + \sigma_L^2/L^2 + \dots$$

σ_w, σ_L : Technologieparameter, W,L: Geometrie des MOS