

1 Schaltalgebra

Vereinfachen Sie die folgenden Ausdrücke mithilfe der Rechenregeln der Schaltalgebra:

a) $AB + \overline{A}\overline{B} + \overline{A}B$

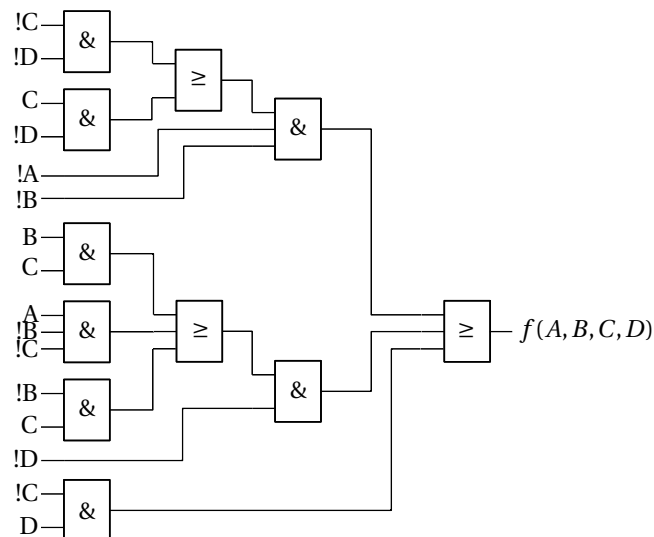
b) $AB \cdot (\overline{B} + C) + (\overline{A}C + \overline{B} \cdot \overline{C}) \cdot B$

c) $\overline{\overline{A}\overline{B} \cdot (A + \overline{B})}$

d) $(\overline{B}\overline{C}) \cdot (\overline{A}C + \overline{B}) \cdot (\overline{A}\overline{B} + \overline{C})$

2 Karnaugh-Diagramm

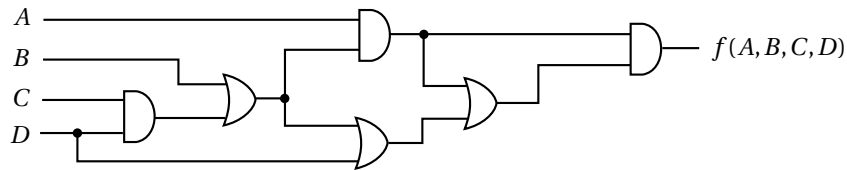
Unten sehen Sie ein Schaltnetz, das eine Boolesche Funktion f der Variablen A, B, C, D realisiert:



- Geben Sie einen Funktionsterm $f(A, B, C, D)$ an.
- Stellen Sie die Funktion mit Hilfe eines Karnaugh-Diagramms in disjunktiver Normalform dar.
- Zeichnen Sie die vereinfachte Schaltung mit ausschließlich diesen Gattern: AND, OR, NOT.

3 Schaltungsvereinfachung

Unten sehen Sie ein Schaltnetz, das eine Boolesche Funktion f der Variablen A, B, C, D realisiert:



- Geben Sie einen Funktionsterm $f(A, B, C, D)$ an.
- Stellen Sie die Funktion in Form einer Wahrheitstafel dar.
- Zeichnen Sie ein Schaltnetz aus möglichst wenigen UND/ODER-Gattern mit zwei Eingängen, das dieselbe Funktion realisiert.

4 Takteiler

Am Pin B8 des FPGA liegt ein 50 MHz Taktsignal an. Erzeugen Sie daraus mithilfe von Zählern ein Taktsignal mit niedriger Frequenz.

- Für jedes Bit eines Zählers halbiert sich die Frequenz des Taktsignals. Geben Sie an, wieviel Bit der Zähler haben muss (bzw. welches Bit Sie abgreifen müssen), um ein Taktsignal zu erhalten, das
 - eine Frequenz von ca. 100 kHz hat,
 - eine Frequenz von ca. 100 Hz hat,
 - eine Frequenz von ca. 3 Hz hat,
 - eine Periode von ca. 10 s hat.

- Fügen Sie in ein neues Schematic zwei Instanzen des 16-Bit-Zählers *CB16CE* ein (Kategorie *Counter*). Indem Sie sie kaskadieren, erzeugen Sie effektiv einen 32-Bit-Zähler: Verbinden Sie den Eingang „CE“ (*Clock Enable*) des ersten Zählers mit einer konstanten „1“ (*vcc*) und seinen Ausgang „CEO“ (*Clock Enable Output*) direkt mit dem Eingang „CE“ des zweiten Zählers. Legen Sie an die Eingänge „CLR“ (*Clear*) der beiden Zähler eine „0“ (*gnd*) und an die Eingänge „C“ (*Clock*) das 50-MHz-Taktsignal an.

An den Ausgang „Q“ (den Zählerstand) des zweiten Zählers verbinden Sie ein kurzes Stück Leitung. Da dieser Anschluss des Zählers aus 16 Bits besteht, erhalten Sie automatisch einen *Bus*, was Sie neben der dickeren Linie auch daran erkennen können, dass der Name der Leitung mit „(15:0)“ endet. Sie können auf einzelne Bits des Busses zugreifen, indem Sie ein normales Stück Leitung verlegen und ihm den Namen des Busses, gefolgt von der Nummer des Bits in Klammern, geben. Heißt der Bus bspw. „counter(15:0)“, bezeichnet „counter(0)“ das niederwertigste und „counter(15)“ das hochwertigste Bit. Die restlichen Anschlüsse („TC“ beider Zähler, das „Q“ des ersten Zählers und „CEO“ des zweiten) lassen Sie unverbunden.

- Multiplexen Sie die 16 Ausgangsbits des zweiten Zählers auf eine LED, so dass Sie mithilfe von vier Schiebeschaltern die Blinkfrequenz einstellen können. Überprüfen Sie (für die langsamen Taktraten), ob Ihre Überlegungen vom ersten Aufgabenteil zutreffen. Verwenden Sie das Symbol *M16_1E* auf der Kategorie *Mux*. Verbinden Sie den enable Eingang „E“ mit (*vcc*).