BUFFER

Treiben großer Lasten

- Aufgabe: Treibe eine gegebene, große Last mit minimaler Verzögerung !
- Beispiele sind Netze mit hohem Fanout, Pads (externe Lasten haben leicht 10pF!), Taktleitungen

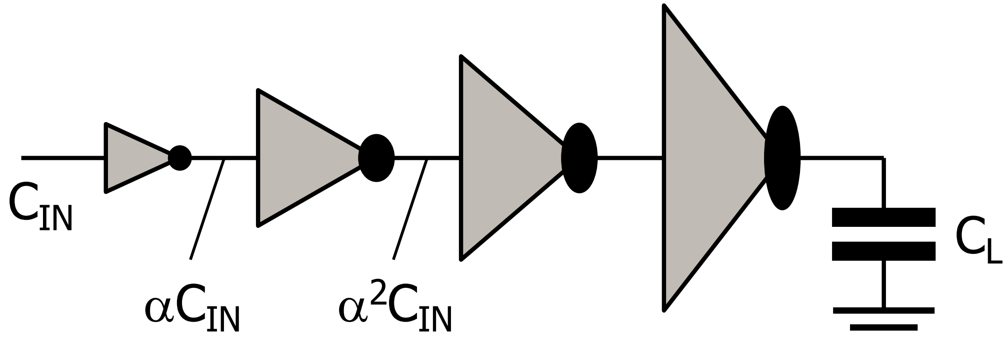
- Wegen $t_P \sim \dfrac{C_L}{K\,(W/L)\,VDD}$ muss man **K erhöhen** (also W erhöhen), um das hohe C_L zu tolerieren.

- Die Eingangskapazität eines großen (breiten) Inverters ist aber hoch, so dass dieser wiederum selbst schwer zu treiben ist. Das Problem ist also nur verschoben.

- Man denke auch an die hohen **Querströme**, die wegen der langsamen Anstiegszeit des Eingangssignals im großen Inverter rechts fließen !!

Inverterkette als Buffer

- **Lösung**: Kette aus zunehmend größer werdenden Invertern. Gesucht: Vergrößerung α pro Stufe



- Die Kette bestehe aus **n Invertern**, die um jeweils einen **Faktor** α größer werden
- t_{P0} sei die Verzögerung eines Inverters, der einen gleichgroßen Inverter treibt
- Die Verzögerung beim Treiben eines der α-fach größeren Inv. (höhere Eingangskapazität) ist dann $t_P \sim \alpha\, t_{P0}$
- Die Gesamtverzögerung der n Stufen ist $T = n\, t_P = n\, \alpha\, t_{P0}$
- Die Kapazitäten skalieren so, dass $C_L = \alpha^n C_{IN} \Leftrightarrow n = \ln (C_L/C_{IN}) / \ln \alpha$

- Also $\mathbf{T(\alpha) = n\, \alpha\, t_{P0} = (\alpha / \ln \alpha)\ \ln (C_L/C_{IN})\, t_{P0}}$

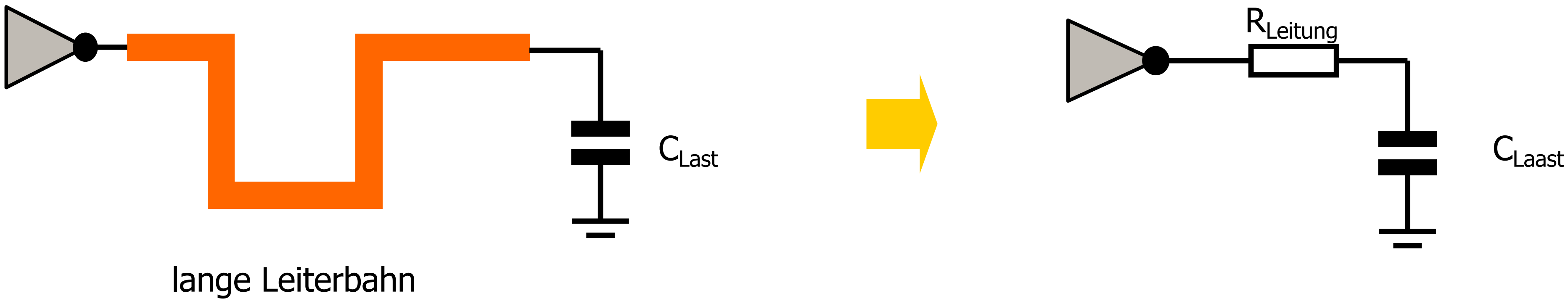
- **Hier ist nur α unbekannt.** $\partial T(\alpha)/\partial\alpha = 0$ liefert $\alpha = e = 2.718...$ und $T_{min} = e \ln (C_L/C_{IN})\, t_{P0}$

- **Jeder Inverter ist also etwa 3x so groß wie der vorhergehende**

- Man braucht $\mathbf{\ln(C_L/C_{IN})}$ **Stufen**
- Aus verschiedenen Gründen (z.B. Minimierung des Querstroms oder der Fläche) sind etwas größere Verhältnisse (10) oft besser. Die Erhöhung der Verzögerung ist minimal (wenige %, s. Buch v. Veendrick).

Treiben einer entfernten GROSSEN Last(kapazität)

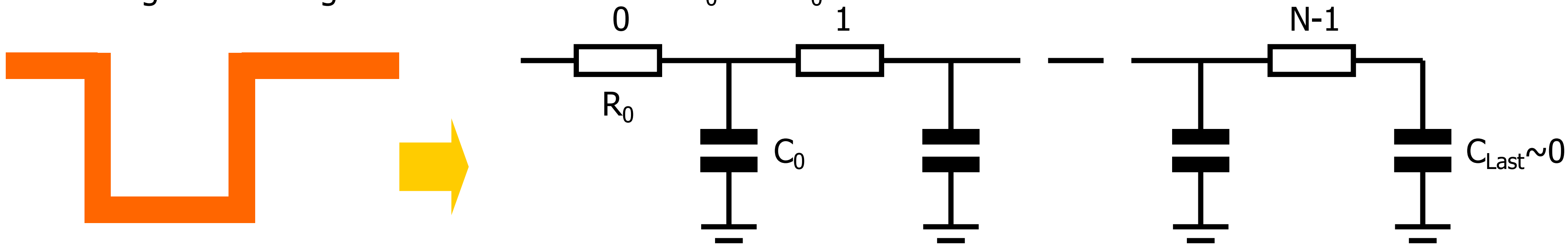
- Beim Treiben einer entfernten Lastkapazität durch eine lange Leitung führt der Leitungs**widerstand** zu einem zusätzlichen RC Effekt



- Solange die parasitäre Leitungskapazität klein gegen C_{Last} ist, ist ihr zusätzlicher Effekt gering

RC Verzögerung durch Leitungswiderstand

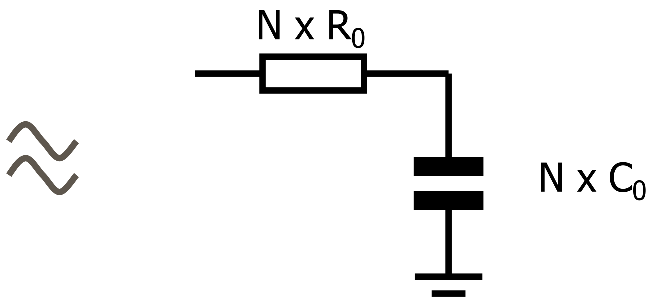
- Das Treiben einer kleinen entfernten Last durch eine lange Leitung trägt die Kapazität der Leitung selbst zur RC Verzögerung bei.
- Man zerlegt die Leitung in kleine Elemente mit R_0 und C_0.



lange Leiterbahn

R_0, C_0: Widerstand / Kapazität pro Längeneinheit

- Sehr pessimistische ‚worst case' Abschätzung = **Elmore-Delay**: Addition ALLER Rs und ALLER Cs



$RC \sim R_0 C_0 \times \mathbf{N^2}$

Grobe Näherung ! $RC \sim L^2$!!

- (Etwas genauer: Widerstand k (k=0..N-1) muß die Kapazität $(N-k)C_0$ aufladen. Alle RCs addieren.)

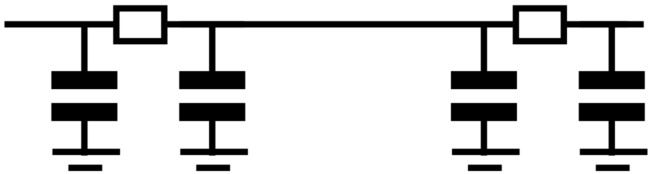
$$RC \sim \sum_{k=0..N-1} R_0 (N-k) C_0 = R_0 C_0 [N^2 - 0.5\, N\, (N-1)] = R_0 C_0 [\mathbf{0.5\, N\, (N+1)}]$$

Bessere Näherungsweise Modellierung: L,T,P

- Eine reale Leitung mit verteiltem R,C kann näherungsweise auf mehrere Arten modelliert / simuliert werden:
- ‚L' = RC Elemente:

- T – Elemente:

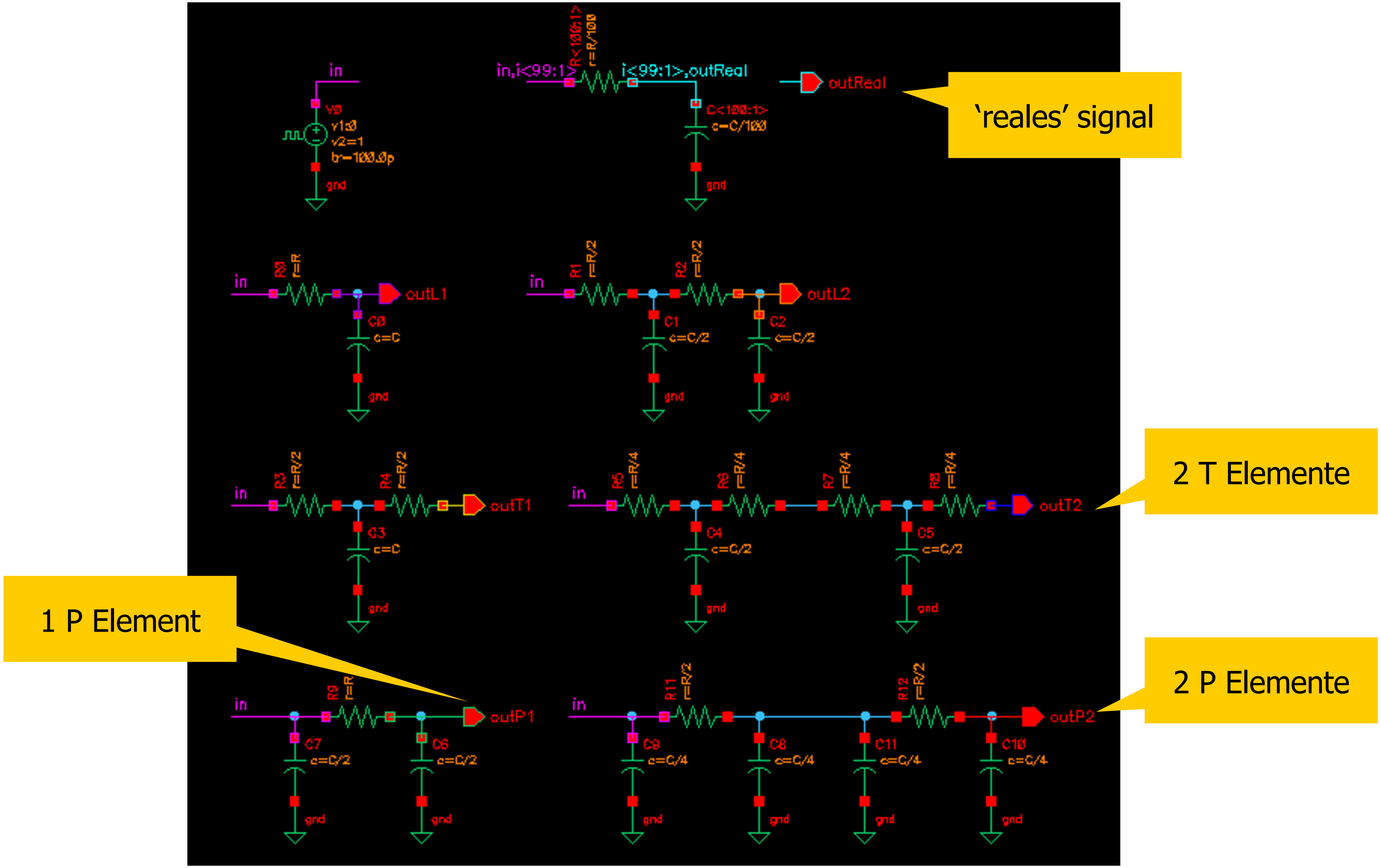
- π (P) – Elemente:



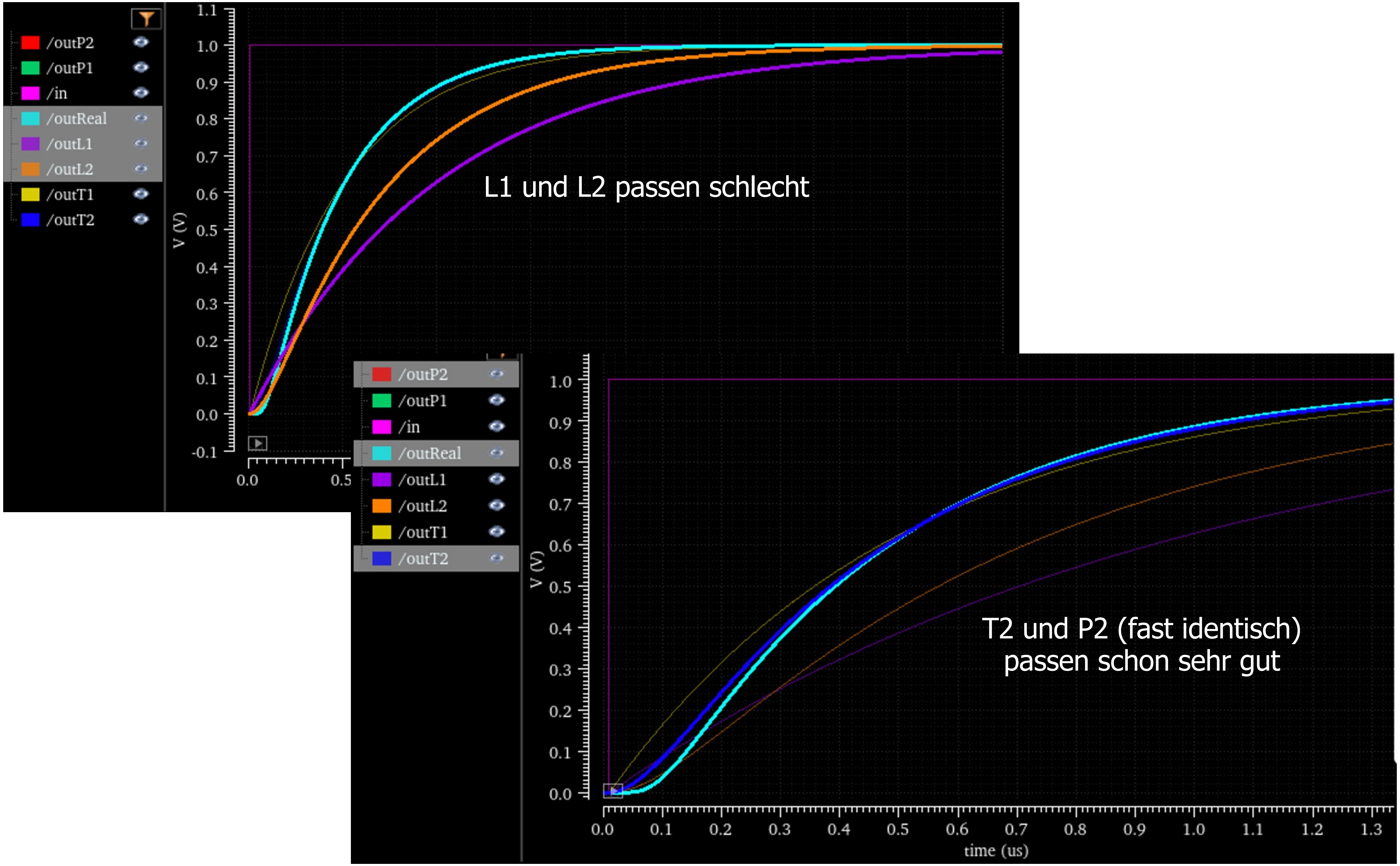
- **Eine wichtige Aussage der ‚Elmore Theorie' ist, dass Näherungen mit wenigen T- oder P-Elementen die Realität viel besser widergeben als wenige L-Elemente**

Simulation

- Vergleiche 'real' (simuliert mit 100 RC Elementen) mit 1 oder 2 L,T oder P Elementen:

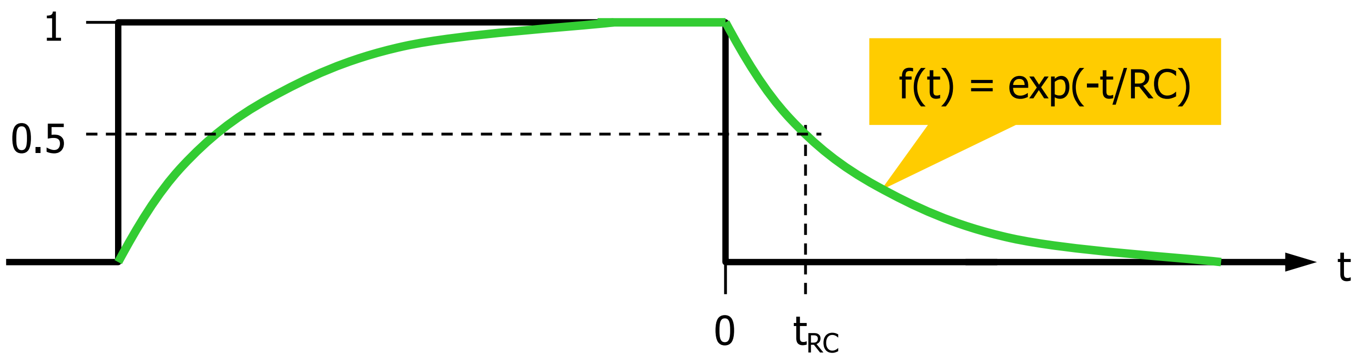


Ergebnisse


/outP2
/outP1
/in
/outReal
/outL1
/outL2
/outT1
/outT2
V (V)
L1 und L2 passen schlecht
T2 und P2 (fast identisch)
passen schon sehr gut
time (us)

RC vs. t_{pd}

- Ein RC Glied erzeugt am Ausgang ein Signal f(t) = exp(-t/RC)

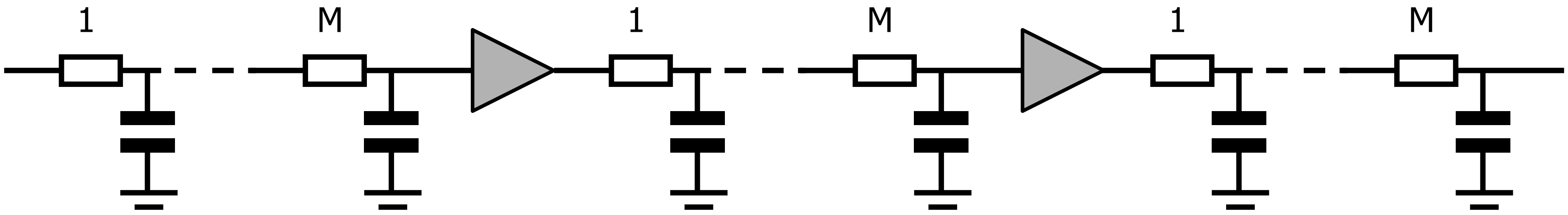


- Zur Berechung der Verzögerungszeit sucht man t_{RC} mit $f(t_{RC})=0.5$

$$\exp\left(-\frac{t_{RC}}{RC}\right) = \frac{1}{2} \quad \Leftrightarrow \quad -\frac{t_{RC}}{RC} = -\ln(2) \quad \Leftrightarrow \quad t_{RC} = 0.693 \cdot RC$$

RC Verzögerung mit Zwischen-Buffern

- Idee: Nach Stücken der Länge M je einen Buffer mit Verzögerung t_{buf} einfügen:



- Gesamtlänge: N Elemente
- Anzahl Segmente: N_{SEG}=N/M
- Anzahl Buffer: N_{BUF}=N/M-1

$$
\begin{aligned}
t_P(M) &= N_{SEG} \cdot t_{SEG} + N_{BUF} \cdot t_{BUF} \\
&= \frac{N}{M} \cdot 0.35 \cdot R_0 C_0 \cdot M \cdot (M+1) + \left(\frac{N}{M} - 1\right) \cdot t_{BUF} \\
&= 0.35 \cdot R_0 C_0 \cdot N \cdot (M+1) + \left(\frac{N}{M} - 1\right) \cdot t_{BUF}
\end{aligned}
$$

$$
\frac{\partial t_P(M)}{\partial M} = 0.35 \cdot R_0 C_0 \cdot N - \frac{N}{M^2} \cdot t_{BUF} = 0
$$

$$
\Rightarrow M = \sqrt{\frac{t_{BUF}}{0.35 \cdot R_0 C_0}} = 1.7 \sqrt{\frac{t_{BUF}}{R_0 C_0}}
$$

Optimale Anordnung

Beispiel 0.18µm Technologie

- Es ist immer wichtig abzuschätzen,

- Betrachte **Poly** für 10µm lange Stücke, W=0.18µm (10/0.18 ~ 60 Squares)

- R = 8 Ohm / square, W = 0.18µm. Also R_0=444 Ohm (für 10µm)
- C ~ 1fF (für 10µm)
- RC ~ 0.5ps für 10µm

- Wann wird RC=**20ps**?
  20ps / 0.5ps = 40, sqrt(40) ~ 6.5 ⇒ Bei L=6.5 x 10µm = **65µm**

Typisches Buffer Layout