

Universität Heidelberg
Institut für Technische Informatik
Lehrstuhl für Schaltungstechnik und Simulation
Prof. Dr. Peter Fischer



Hochgeschwindigkeitsdatenübertragung über ausgedehnte elektrische Verbindungsnetzwerke

Diplomarbeit

vorgelegt von
Marco Oster

Juni 2009

Ruprecht-Karls-Universität Heidelberg
Institut für Technische Informatik
Lehrstuhl für Schaltungstechnik und Simulation
Prof. Dr. Peter Fischer

**Hochgeschwindigkeitsdatenübertragung
über ausgedehnte elektrische Verbindungsnetzwerke**

Diplomarbeit von Marco Oster

Erstgutachter: Prof. Dr. Peter Fischer
Zweitgutachter: Prof. Dr. Reinhard Männer

Inhaltsverzeichnis

1	Einleitung	3
2	Elektrische Eigenschaften von Verbindungsnetzwerken	5
2.1	Übertragungskanäle	6
2.2	Simulationsmodell	15
2.3	Frequenzabhängiges Verhalten	17
2.4	Differentielle Signalpaare	20
2.5	Modellierung von Mehrleitersystemen	22
3	Analyse eines Kommunikationssystems	23
3.1	Komponenten des Serialisierers	23
3.2	Ausgangstreiber	29
3.3	Modellierung von Verbindungsnetzwerken in Spice	32
3.4	Simulierte Verbindung mit einem Virtex5 GTX-Eingangspuffer	34
3.5	Fazit	38
4	Modellerstellung und Signalfilterung	39
4.1	Modellerstellung durch Zeitbereichsreflektometrie	39
4.2	Modellerstellung über Datenblattwerte	43
4.3	Bandbreite von Rechteckimpulsen	44
4.4	Signalfilterung zum Ausgleichen der Kanalverzerrungen	48
4.5	Verifikation des Modells	61
4.6	Überlegungen zu unterschiedlichen Verbindungskanälen	63
4.7	Alternative Symbolkodierungen	69
4.8	Weitere Möglichkeiten der Signalfilterung	70
5	Implementierung eines Leitungstreibers	79
5.1	Überblick über den synthetisierten CMOS-Teil	80
5.2	Ausgangstreiber	88
5.3	Verbesserungsvorschläge	101
6	Inbetriebnahme	103
6.1	Testumgebung	103
6.2	Messungen	108
6.3	Fazit und nächste Schritte	115
A	Herleitung der Telegraphengleichung	117

B	Modellerstellung mit Gnuplot und Simulation mit Matlab	121
B.1	Fit mit Gnuplot	121
B.2	Weiterverarbeitung mit Matlab	125
C	Simulationsergebnisse Augenöffnungen für unterschiedliche Verbindungsnetzwerke	131
D	Umrechnungstabelle American Wire Gauge	133

Pour la passion

1 Einleitung

Im Moment finden die Planungen zu einem Hochenergiephysikexperiment an der Gesellschaft für Schwerionenforschung statt. Geplant wird das CBM-Experiment, mit dessen Hilfe das Verhalten eines durch Teilchenbeschuss erzeugten Quark-Gluonen-Plasmas näher untersucht werden soll.

Zu diesem Zweck befinden sich mehrere Detektoren hinter der Trefferfläche. Mit der ersten Detektorstufe soll initial die Richtung und Ladung der durch die Kollision erzeugten Teilchen bestimmt werden. Hierzu werde Siliziumdetektoren in einem sogenannten Vertex-Detektor dicht gepackt nahe der Trefferfläche platziert. Nachgelagert sind dann weitere Kaskaden von Sensoren, die spezialisiert verschiedene Effekte detektieren sollen. Für die erforderliche Ortsauflösung ist es essentiell, dass Anzahl und Dichte der Sensoren des Vertex-Detektors möglichst hoch ist.

Im Unterschied zu anderen Hochenergiephysikexperimenten treten bei diesem Experiment die Ereignisse kontinuierlich auf, d. h. es existiert insbesondere keine Triggerschaltung, die nur zu gewissen Zeitpunkten eine Messung erforderlich macht, sondern die Messergebnisse müssen kontinuierlich ausgelesen werden.

Da sich das Projekt noch in der Planungsphase befindet, existieren noch keine harten Spezifikationen an die erforderliche Datenrate. Allerdings ist durch die angestrebte große Anzahl an Detektoren und den ungetriggerten Betrieb davon auszugehen, dass durch die Messungen kontinuierlich große Datenmengen in kurzer Zeit erzeugt werden.

Der Einsatz in einer verstrahlten Umgebung schließt die Benutzung handelsüblicher Komponenten nahezu aus, da diese in der Regel nicht strahlenhart ausgelegt sind und unter Teilchenbeschuss ein nicht reproduzierbares und fehlerbehaftetes Verhalten aufweisen.

Üblicherweise werden für Verbindungsnetzwerke mit einer hohen Datenrate und Reichweite bevorzugt optische Datenleiter eingesetzt. Doch die verstrahlte Umgebung beeinflusst das Verhalten der zur Signalisierung notwendigen Treiberbausteine negativ. Ferner sind die üblichen, zur Datenübertragung benutzten Lasertreiber relativ groß, so dass die erreichbare Packungsdichte der Detektoren von den Ausmaßen dieser Bauelemente begrenzt wird.

Als Alternative wird in der vorliegenden Arbeit die Hochgeschwindigkeitsdatenübertragung über ausgedehnte elektrische Verbindungsnetzwerke untersucht. Zunächst wird theoretisch die Signalausbreitung auf Zweileitersystemen behandelt, um dann die Adaptierbarkeit eines bereits für genau diesen Einsatzzweck erstellten Entwurfs zur Lösung

1 Einleitung

des Kommunikationsproblems zu prüfen. Nach der Erarbeitung einer Simulationsumgebung für Zweileitersysteme werden dann unterschiedliche Verbindungsnetzwerke auf ihre Eigenschaften hin untersucht. Ferner wird auf die Möglichkeit einer Reichweitenvergrößerung durch Signalfilterung ausführlich eingegangen. Anschließend werden mit dem Bau und der anschließenden Inbetriebnahme eines Leitungstreibers die theoretischen Überlegungen praktisch umgesetzt.

2 Elektrische Eigenschaften von Verbindungsnetzwerken

Während innerhalb eines Halbleiterchips problemlos Signalisierungsraten im Bereich von mehreren Gigabit pro Sekunde erreicht werden können, stellt die Kommunikation mit der Außenwelt aus verschiedenen Gründen einen den Durchsatz begrenzenden Engpass dar.

Noch vor wenigen Jahren wurden fast alle Peripheriegeräte in und an Computern mit parallelen Bussen miteinander verbunden. Angefangen von Parallel-ATA-Schnittstellen für Festplatten, PCI und AGP für Erweiterungskarten, bis hin zu den massiv parallelen Bussen zur Hauptspeicheranbindung [9]. Doch mit der Zeit wurden diese parallelen Architekturen problematisch: Die vielen Einzelleitungen, bei PCI zum Beispiel 32 nur für Daten und Adressen, benötigen einen großen Routingaufwand bei der Leiterplattenerstellung, nehmen viel Platz ein, und sind durch die Anzahl der für die Bandbreite notwendigen Pins beispielsweise auf Prozessoren oder Chipsatzelementen ein beschränkender Faktor. Hinzu kommt die Problematik, dass alle diese parallelen Einzelleitungen miteinander synchronisiert Daten übertragen sollen, und somit alle Leitungen eine ähnliche Länge besitzen müssen. Ferner sind diese großen Busse anfällig für Pulsnebensprechen, weil viele Leitungen sehr dicht beieinander geführt werden müssen.

Im Laufe der Zeit wurden daher diese parallelen Verbindungsnetzwerke immer mehr serialisiert. Beispiele dafür sind Serial-ATA, welches mit 2 seriellen Verbindungskanälen und entsprechend kleinerem Verdrahtungsaufwand eine größere Bandbreite als die Parallel-ATA-Schnittstelle bietet oder PCI-Express, welches mit zwischen 1 und 16 seriellen Kanälen einzelne Geräte mit einem Kontrollbaustein verbindet.

Bei Verbindungsnetzwerken, die weiter ausgedehnt sind, dominiert allerdings seit je her die serielle Übertragungstechnik. Beispiele dafür sind althergebrachte Schnittstellen wie UART und USB, Netzwerkstandards wie 10Base-T oder 100Base-TX, aber auch aktuellere Systeme wie DVI und Infiniband [3].

Bei seriellen Netzwerken wird häufig auf eine differentielle Signalübertragung zurückgegriffen, das heißt das Signal wird als Spannungsdifferenz zwischen zwei Leitern definiert.

2.1 Übertragungskanäle

Gebräuchliche Leitungstypen, die üblicherweise benutzt werden, um über eine gewisse Strecke Informationen zu übertragen, sind Koaxialkabel, verdrehte und nicht verdrehte Zweidrahtleitungen mit und ohne Schirm, und auf PCBs beschränkt Mikrostreifenleitung und Stripline. Einige davon sind schematisch in Abbildung 2.1 skizziert. Alle diese unterschiedlichen Leitertypen lassen sich über das gleiche elektrische Ersatzmodell beschreiben.



Abbildung 2.1: Schnittzeichnungen durch verschiedene Leitertypen. Von Links nach Rechts: gekoppelte Mikrostreifenleitung, Stripline, Twinaxialkabel und Koaxialkabel

Genauer betrachtet bestehen alle diese Typen aus Kombinationen von Leitern und Nichtleitern, die alle die Gemeinsamkeit aufweisen, dass sie längs der Leiterstrecke einen möglichst konstanten Querschnitt aufweisen.

Ein Übertragungskanal verläuft vom Sender über ein oder mehrere Abschnitte, in denen jeweils uniforme Querschnittsbedingungen vorherrschen, bis zum Empfänger. Die einzelnen Abschnitte können beispielsweise aus einem Stück Mikrostreifenleitung gefolgt von einer SMA-Buchse mit Stecker bestehen, an den sich ein Koaxialkabel anschließt, welches dann nach einer gewissen Strecke wieder mit einer Kombination aus Buchse und Stecker über eine Streifenleitung mit dem Empfänger verbunden ist. Eine modellhafte Entsprechung dieses Aufbaus kann als Hintereinanderschaltung von Modellen der jeweiligen Abschnitte beschrieben werden.

Wie im Folgenden noch näher erklärt, weisen die einzelnen Abschnitte gewisse elektrische Eigenschaften bedingt durch die Geometrie der Leiter und Nichtleiter und den eingesetzten Materialien auf. Die wichtigsten sind ihre Längen und ihre Ein- und Ausgangsimpedanzen.

Telegraphengleichungen

Die Telegraphengleichungen modellieren einen Übertragungskanal durch die Hintereinanderschaltung von vielen, infinitesimal kleinen Stückchen der Leitung, die wiederum durch ihre Impedanz und Admittanz modelliert werden. Im Fall von Zweileitersystemen kann wie in Abbildung 2.2 die Impedanzkomponente als Reihenschaltung eines Widerstandes R' und einer Induktivität L' , und die Admittanzkomponente durch einen Widerstand G' parallel zu einer Kapazität C' beschrieben werden.

Durch Grenzübergang kann eine Lösung der sogenannten Telegraphengleichungen gefunden werden. Die genaue Herleitung befindet sich in Anhang A. Sie ergibt sich an der

2.1 Übertragungskanäle

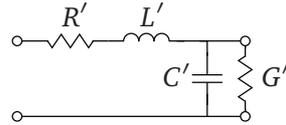


Abbildung 2.2: Ersatzschaltbild eines infinitesimal kurzen Leiterstücks mit Impedanzkomponenten R' und L' , sowie Admittanzkomponenten C' und G'

Leitungsposition x mit komplexen Ausbreitungskoeffizienten $\gamma = \sqrt{(R' + sL')(G' + sC')}$ und charakteristischer Impedanz $Z_0 = \sqrt{(R' + sL')/(G' + sC')}$ zu

$$\begin{aligned} U(x, s) &= U^{(+)}(s)e^{-\gamma x} + U^{(-)}(s)e^{\gamma x} \\ I(x, s) &= \frac{1}{Z_0} \cdot U(x, s) \end{aligned}$$

Dabei gilt diese Übertragungsfunktion nur, wenn sich die Signalenergie in den durch die Leiterstücke vorgegebenen Bahnen bewegt. Dies ist im sogenannten TEM-Betrieb der Fall, in dem keine Feldkomponenten parallel zum Leiter vorhanden sind.

Wenn dies nicht gilt, kann Signalenergie anderweitig propagiert werden, und quasi einzelne der infinitesimalen Leitungsbeläge überspringen. Dadurch ergeben sich dann von dem Modell abweichende Spannungs- und Stromverhältnisse.

Die Übertragungsfunktion (2.2) kann mit einer ab einer gewissen Frequenz gültigen Näherung analytisch in den Zeitbereich rücktransformiert werden. Falls

$$G' \ll |sC'| \quad \text{und} \quad R' \ll |sL'|$$

gilt, so kann mit der Näherung $\sqrt{1 + \epsilon} \approx 1 + \epsilon/2$ und der Ausbreitungsgeschwindigkeit $v_0 = 1/\sqrt{L'C'} = 1/\sqrt{\epsilon\mu}$ der komplexe Ausbreitungskoeffizient in einen Real- und Imaginärteil aufgeteilt werden:

$$\gamma \approx s\sqrt{L'C'} + \frac{L'G' + C'R'}{2\sqrt{L'C'}} = \frac{s}{v_0} + \left(\frac{R'}{2Z_0} + \frac{G'Z_0}{2} \right) = j\beta + (\alpha)$$

Damit kann durch Rücktransformation mit $Z_0 \approx \sqrt{L'/C'}$ die Ausbreitung von beliebigen Signalen u auf der Leitung im Zeitbereich angegeben werden:

$$\begin{aligned} u(x, t) &\approx u^{(+)}\left(t - \frac{x}{v_0}\right)e^{-\alpha x} + u^{(-)}\left(t + \frac{x}{v_0}\right)e^{\alpha x} \\ i(x, t) &\approx \frac{1}{Z_0} \left[u^{(+)}\left(t - \frac{x}{v_0}\right)e^{-\alpha x} - u^{(-)}\left(t + \frac{x}{v_0}\right)e^{\alpha x} \right] \end{aligned}$$

Insbesondere ist zu beachten, dass die allgemeine Lösung zwei sich auf der Leitung bewegendende Funktionen liefert. Die Interpretation ist, dass sich von beiden Seiten Spannungs- und Strominformationen ausbreiten können, die jeweils in Ausbreitungsrichtung mit einer Exponentialfunktion bedämpft werden.

Signalausbreitung auf einem Übertragungskanal

Um die Bedeutung der Leitungsparameter *charakteristische Impedanz* Z_0 und *Ausbreitungsgeschwindigkeit* v_0 zu unterstreichen, folgt eine Diskussion der Strom- und Spannungsverhältnisse bei einer senderseitigen Erregung mit einer Sprungfunktion:

Bedingt durch die *endliche* Ausbreitungsgeschwindigkeit v_0 wird sich die Signalinformation in Form einer Spannungsdifferenz zwischen Hin- und Rückkanal bei $t = 0 + \epsilon$ erst wenige Längeneinheiten voranbewegt haben. In Abbildung 2.3 ist die Spannungsdifferenz zu einem solchen Zeitpunkt entlang der Wegstrecke des Übertragungskanals angedeutet.

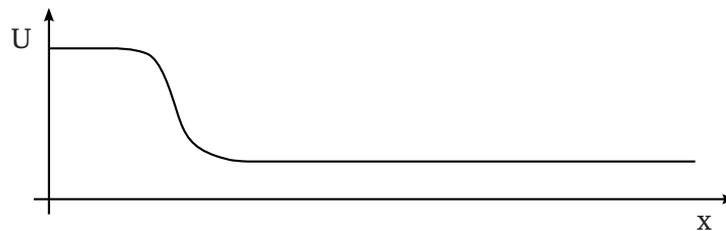


Abbildung 2.3: Spannungsverteilung entlang der Strecke des Übertragungskanals. Kurze Zeit nach dem Start des Signals hat sich die Spannungsinformation auf den ersten Längeneinheiten ausgebreitet, die übrigen Abschnitte können noch nichts von der auf sie zulaufenden Signalfreund wissen und verharren entsprechend auf ihrem vorherigen Spannungsniveau

Während die ersten Längeneinheiten durch das Signal schon auf eine bestimmte Spannungsdifferenz gehoben wurden, können nachfolgende Leitungsabschnitte durch die endliche Signalausbreitungsgeschwindigkeit noch keine Informationen über eine ankommende Signalfreund besitzen, und verharren daher auf ihrem bisherigen Potential. Um den direkt nachfolgenden Leitungsabschnitt auf das Signalfreundpotential aufzuladen, muss ein bestimmter Strom fließen. Die Größe des Stromes ergibt sich aus der instantanen Impedanz der Leitung an der Stelle $x = v_0 \cdot t$. Falls am Anfang der Leitung ein konstanter Strom eingespeist wird, stellt sich an jeder Stelle x der Leitung eine durch die Leitungsimpedanz festgelegte Spannung entsprechend ein.

Um sich auf die relevanten Effekte konzentrieren zu können, wird das im letzten Abschnitt beschriebene Modell vereinfacht betrachtet. In „nullter“ Näherung kann eine Leiterstrecke nach ([6] S.222) wie in Abbildung 2.4 als eine Serie von verteilten, parallelen Kapazitäten modelliert werden.

Die Kapazität jedes einzelnen Kondensators beträgt C' , so dass die Gesamtkapazität C der Leitung mit Länge l in $l/\Delta x$ Kapazitätseinheiten pro Längeneinheit eingeteilt ist. Sei die Signalausbreitungsgeschwindigkeit jetzt genau so, dass pro Zeitabschnitt genau ein Kondensator auf die Spannung U aufgeladen wird. Der dazu benötigte Strom I ist dann

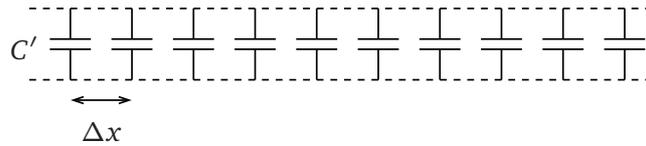


Abbildung 2.4: „Nullte“ Näherung des Modells einer Übertragungsstrecke

mit der Ladung Q , die auf dem jeweiligen Kondensator vorhanden sein muss um die Kapazität C' auf die Spannung U aufzuladen

$$I = \frac{Q}{\Delta t} = \frac{C' \cdot U}{\frac{\Delta x}{v_0}} = \frac{C' \cdot \Delta x \cdot v_0 U}{\Delta x} = C' \cdot v_0 \cdot U.$$

Der zum Aufladen benötigte Strom ist also allein abhängig von der Kapazität pro Länge, der Ausbreitungsgeschwindigkeit und der angelegten Spannung.

Ferner ist es wichtig, dass der zum Aufladen benötigte Strom *linear* von der angelegten Spannung abhängt. Somit verhält sich die aus Kapazitäten modellierte Leitung während des Umladevorgangs exakt wie ein rein ohmscher Widerstand. Anders gesagt hat die Leitung während des Umladevorgangs eine Impedanz mit einer rein resistiven Charakteristik.

Mit der allgemein gültigen Impedanzdefinition ergibt sich die Leitungsimpedanz also zu

$$Z_0 = \frac{U}{I} = \frac{1}{C' v_0}$$

Charakteristische Impedanz

Bei Übertragungskanälen wird besonderen Wert auf Uniformität, das heißt konstante elektrische Umgebungsbedingungen längs der Wegstrecke, gelegt. Dies ist der Fall, wenn der Querschnitt eines Übertragungskanals mit allen relevanten Umgebungselementen sich vom Anfang bis zum Ende der Strecke nicht ändert. Übertragungskanäle, die nach diesen Regeln aufgebaut sind, heißen impedanzkontrollierte Kanäle.

Bei immer gleichen Umgebungsbedingungen entspricht die instantane Impedanz zu jedem Zeitpunkt der charakteristischen Impedanz eines Übertragungskanals. Sie ist entsprechend unabhängig von der Gesamtlänge des Kanals. Per Konvention wird die charakteristische Impedanz mit Z_0 bezeichnet.

Am Beispiel einer Mikrostreifenleitung, wie sie in Abbildung 2.5 skizziert ist, können die Auswirkungen von Leiterdimensionierungen auf die charakteristische Impedanz des Kanals schön veranschaulicht werden.

2 Elektrische Eigenschaften von Verbindungsnetzwerken

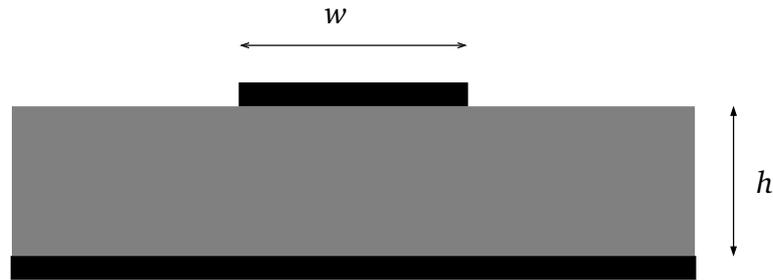


Abbildung 2.5: Mikrostreifenleitung mit Signalleiter der Breite w über einem Referenznetz mit Abstand h

Wird die Breite des Signalleiters w vergrößert, oder der Abstand h über dem Referenznetz bzw. Rückkanal verkleinert, vergrößert sich die Kapazität zwischen Signalleiter und Referenznetz und die charakteristische Impedanz wird kleiner.

Um die Wichtigkeit des Referenznetzes zu betonen ist in Abbildung 2.6 die elektrische Feldverteilung kurz nach dem Start einer Signalfreund zusammen mit den ursächlichen Strömen eingezeichnet.

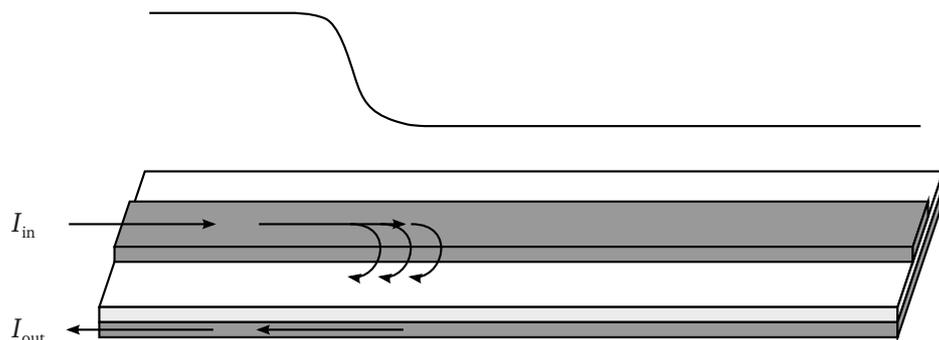


Abbildung 2.6: Stromfluss in und unter einer Mikrostreifenleitung: Obwohl die Leitung am Ende offen ist, ist der Stromkreis während des Aufladevorgangs über die Admittanz geschlossen. Pfeil für I_{out} an die vordere Kante des Referenznetzes verschoben, der tatsächliche Stromfluss findet direkt unterhalb der Signalleitung statt

Nur an den Stellen, in denen aktuell eine Signaländerung stattfindet, kann über den Kondensator ein Strom fließen. Befindet sich jetzt eine Störstelle im Rückkanal direkt unterhalb des Signalleiters oder im Signalleiter selbst, ist die Leitungsimpedanz an dieser Stelle von der normalerweise vorherrschenden charakteristischen Impedanz verschieden, und es tritt eine Signalstörung auf.

Reflektionen

Ist die instantane Impedanz eines Übertragungskanals durch Verletzung der Uniformitätsbedingung von der charakteristischen Impedanz verschieden, wird ein Teil der Signalenergie reflektiert. Anschaulich wird dies bei einem abrupten Übergang von zwei instantanen Impedanzen Z_1 und Z_2 an einer Störstelle, wie in Abbildung 2.7 skizziert.

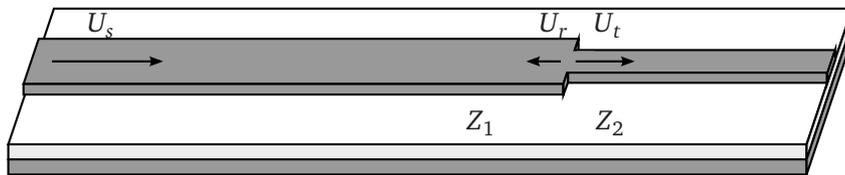


Abbildung 2.7: Mikrostreifenleitung mit Impedanzsprung von Z_1 auf Z_2 . An der Übergangsstelle soll gleichzeitig $Z_1 = U/I$ und $Z_2 = U/I$ sein. Weil dies nicht gelten kann, wird ein Teil des Signals zur Quelle hin reflektiert

Bei einer Signalerregung von links wird das Signal zunächst über einen Kanal mit charakteristischer Impedanz Z_1 geführt. In jedem Streckenabschnitt muss das Verhältnis $Z = U/I$ erfüllt sein. An der Störstelle jedoch bedeutet dies, dass gleichzeitig $Z_1 = U/I$ und $Z_2 = U/I$ gelten müssen. Da die Strecke im Allgemeinen aus Metall gefertigt ist und entsprechend niederohmig ist, kann es in der Störstelle zu keinem großen Spannungsabfall kommen, weil ansonsten an der Grenzfläche ein unendlich großes Elektrisches Feld vorliegen müsste. Es kann aber auch keine große Stromänderung vorliegen, da dann andererseits ein unendlich großes Magnetfeld nur in der Störstelle vorliegen müsste ([6] S.281). Also muss die überschüssige Energie, die nicht von dem Leiterzug mit charakteristischer Impedanz Z_2 aufgenommen werden kann, anderweitig verschwinden. Dies geschieht in Form einer zur Signalquelle zurücklaufenden Welle, deren Amplitude sich aus die Größe der Impedanzdiskontinuität ergibt.

Weil auf beiden Seiten der Störstelle die Spannung gleich ist, muss $U_s + U_r = U_t$ gelten. Gleichzeitig ist die Stromrichtung des reflektierten Signalanteils entgegen der des Quellsignals gerichtet, während der Strom des transmittierten Teils in gleicher Richtung weiterläuft. Es ergibt sich also $I_s - I_r = I_t$. Da die Signalanteile links von den Gleichheitszeichen eine instantane Impedanz von Z_1 und die rechts der Gleichheitszeichen eine Impedanz von Z_2 erfahren, können die beiden Gleichungen über die Impedanzen zusammengefasst ausgedrückt werden. Das Verhältnis aus reflektierter Amplitude U_r zu ursprünglicher Amplitude U_s heißt *Reflektionskoeffizient*:

$$\Gamma = \frac{U_r}{U_s} = \frac{Z_2 - Z_1}{Z_2 + Z_1} \quad (2.5)$$

Grenzfälle von Impedanzdiskontinuitäten liegen vor, wenn die Leitungsenden entweder offen gelassen oder kurzgeschlossen werden. Im ersten Fall ist dann $Z_2 = \infty$ und für den Reflektionskoeffizient ergibt sich

2 Elektrische Eigenschaften von Verbindungsnetzwerken

$$\Gamma = \frac{\infty - Z_1}{\infty + Z_1} = 1.$$

Anschaulich bedeutet dies, dass die Amplitude des reflektierten Signals genau der des Quellsignals entspricht.

Falls am Ende der Leitung ein Kurzschluss vorliegt, ist der Reflektionskoeffizient

$$\Gamma = \frac{0 - Z_1}{0 + Z_1} = -1$$

Also ist das reflektierte Signal exakt wie das hinlaufende Signal geformt, und nur in seiner Amplitude negiert.

Die hinlaufenden und reflektierten Signalteile überlagern sich nach einer gewissen Zeit. Wird die Spannung am offenen Ende gemessen, so ergibt sich die Gesamtamplitude zu $2U_s$ beim offenen und $0V$ beim kurzgeschlossenen Ende.

Für praktische Anwendungen wird ein Übertragungskanal mit einem konzentrierten Widerstand mit der Größe identisch zur charakteristischen Impedanz des Kanals abgeschlossen oder *terminiert*. Konkret bedeutet dies, dass keine Reflektionen auftreten, und nur der hinlaufende Signalteil sich auf der Leitung befindet.

Von Senderseite aus betrachtet, verhält sich die mit ihrer charakteristischen Impedanz abgeschlossenen Übertragungsleitung wie eine unendlich lange Übertragungsleitung: Zunächst ist die Impedanz für eine Signalfont die charakteristische Impedanz der Leitung, und am Ende der Leitung dann die konzentrierte Impedanz des Terminierungswiderstandes relevant. Für den Sender allerdings bedeutet dies keinen Unterschied, für ihn ist eine unendlich lange Leitung von einer mit ihrer charakteristischen Impedanz terminierten Leitung ununterscheidbar.

Für ein System wie in Abbildung 2.8 sind die sich durch Reflektionen ergebende Spannungsverhältnisse an Ausgang und Eingang die Überlagerung aller Spannungswellen.

Sei jetzt die Senderimpedanz $R_s = 9Z_0$, und die Empfängerimpedanz $R_e = \infty$. Die Quelle U erzeugt einen Sprung der Höhe $1V$. Zunächst sind alle Netze auf die Spannung $0V$ aufgeladen. Sei $t = 0$ der Zeitpunkt, bei dem die Signalfont den Übertragungskanal erreicht. Die Spannung, die sich bei u_1 einstellt ergibt sich dann über den Spannungsteiler aus Senderimpedanz und Übertragungskanal zu $1/10V$. Zu $t = T = l/v_0$ erreicht die Wellenfront eine Impedanzdiskontinuität und das Signal wird nach Gleichung 2.5 komplett reflektiert. Diese reflektierte Wellenfront erreicht bei $t = 2T$ wieder den Sender. Der Reflektionskoeffizient dort ist

$$\Gamma_s = \frac{R_s - Z_0}{R_s + Z_0} = 0,8.$$

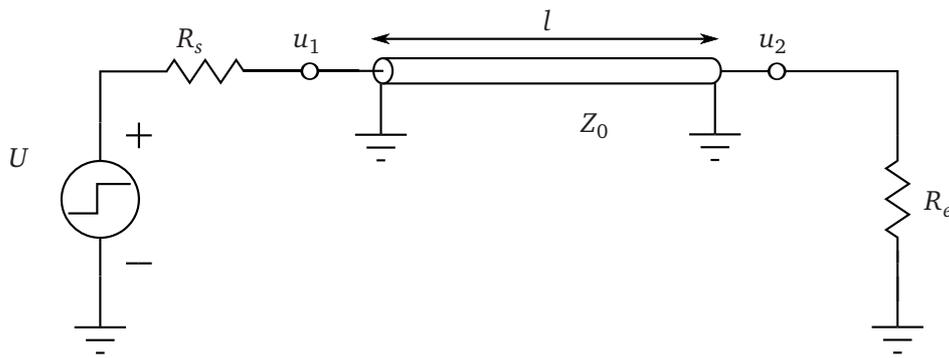


Abbildung 2.8: Übertragungssystem bestehend aus Sender mit Impedanz R_s , Übertragungskanal mit Impedanz Z_0 und Empfänger mit Impedanz R_e

Damit entsteht eine weiter hinlaufende Welle mit einer Amplitude von 0,08 V. Dieser Vorgang wiederholt sich solange, bis die gesamte Leitung auf die Leerlaufspannung des Senders aufgeladen ist.

In Abbildung 2.9 ist der Spannungsverlauf u_1 am Eingang der Leitung aufgezeichnet.

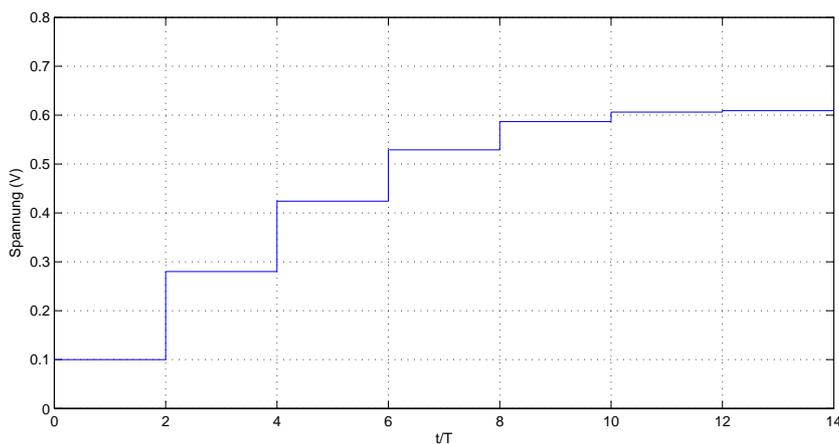


Abbildung 2.9: Zeitlicher Spannungsverlauf am Eingang der offenen Leitung. Das Spannungsniveau erreicht erst nach vielen Reflexionen den stationären Zustand von 1 V

Wenn Sender und Empfänger beide eine Impedanz in Höhe der charakteristischen Impedanz des Übertragungskanals aufweisen, wird an beiden Endpunkten des Übertragungskanals nie eine Reflexion stattfinden. Einzig denkbar sind Impedanzvariationen auf der Strecke, die Sender und Empfänger miteinander verbindet. Jedoch kann sich kein durch irgendeine Störstelle reflektierter Signalteil zurück zum Empfänger, dort nach abermal-

2 Elektrische Eigenschaften von Verbindungsnetzwerken

ger Reflektion und Aufteilung an der gleichen Störstelle weiter zum Empfänger bewegen, und dort mit dem Signal, welches gerade den Empfänger erreichen soll interferieren. Dieser Umstand vereinfacht die Lokalisierung von Störstellen erheblich, und deshalb werden bei Übertragungskanälen die Sender- und Empfängerimpedanzen üblicherweise auf die charakteristische Impedanz des Kanals ausgelegt.

Wenn die Durchlaufzeit durch den Kanal relativ zu einer Symbolperiode groß ist, und möglichst hohe Datenraten erreicht werden sollen, *muss* die Information beim Empfänger schon sicher beim ersten Durchlaufen durch den Kanal detektiert werden. Falls das Spannungsniveau auf der Leitung erst durch mehrfache Reflektionen über die Interpretationsschwelle des Detektors gehoben werden kann, muss die Datenrate am Sender entsprechend klein sein, damit dieser die Zeit bekommt, die Leitung auf ein Niveau aufzuladen, dass der Empfänger es detektieren kann.

Aus den gleichen Gründen müssen auf kurzen Verbindungsstrecken, auf denen die doppelte Durchlaufzeit kleiner als die Anstiegszeit des Signals ist, diese Effekte nicht beachtet werden.

Widerstandstransformation

Ist die Übertragungsstrecke nicht mit ihrer charakteristischen Impedanz terminiert, sondern mit einer Impedanz Z_t , überlagern sich hin- und rücklaufende Signalwellen. Die Phasenlage der Wellen zueinander ist eine Funktion des Ortes x auf der Leitung, genau wie die lokalen Strom- und Spannungsamplituden. Für diesen Abschnitt ist $x = 0$ für den Ort des Impedanzsprunges am Ende der Leitung notiert.

Wird ein verlustfreier Übertragungskanal der Länge l der Einfachheit halber mit Wechselspannung $u_{AC}(x, t) = \hat{u} \cdot e^{j\omega t}$ angeregt, so ergibt sich die Spannung u an jedem Ort x auf der Leitung zu

$$u(x, t) = \hat{u} \cdot (e^{-\gamma x} + \Gamma e^{\gamma x}) e^{j\omega t}.$$

Die Amplitude der rücklaufenden Welle ergibt sich mit Gleichung (2.5).

Für die Ströme gilt entsprechend

$$i(x, t) = \frac{\hat{u}}{Z_0} (e^{-\gamma x} - \Gamma e^{\gamma x}) e^{j\omega t}.$$

Die Impedanz ist für alle Punkte der Leitung das Verhältnis aus Spannung und Strom. Für einen Punkt, der l Längeneinheiten vor dem Impedanzsprung oder Ursprung der reflektierten Welle liegt, ist die Impedanz

$$Z(-l) = \frac{u(l, t)}{i(l, t)} = Z_0 \frac{e^{-\gamma x} + \Gamma e^{\gamma x}}{e^{-\gamma x} - \Gamma e^{\gamma x}} = Z_0 \frac{1 + \Gamma e^{-2\gamma l}}{1 - \Gamma e^{-2\gamma l}} \quad (2.6)$$

Für $l = 0$ ergibt sich die Impedanz gerade zur Impedanz des Terminierungswiderstandes. Gleichung (2.6) kann noch mit Terminierungswiderstand Z_t umgeschrieben werden zu

$$Z(l) = Z_0 \frac{Z_t + Z_0 \tanh(\gamma l)}{Z_0 + Z_t \tanh(\gamma l)} \quad (2.7)$$

2.2 Simulationsmodell

Bei der Telegraphengleichung wurde der Kanal als Aneinanderreihung von infinitesimal kleinen Leiterstückchen mit den jeweiligen Leitungsbelägen R', L', G' und C' approximiert. Dies gibt einen Hinweis auf einen möglichen Ansatz, um diese Topologie mit einem Schaltkreissimulator abzubilden: Die sich für eine gewisse Leitungslänge ergebenden Werte der einzelnen Bauteile des Ersatzschaltbildes müssen auf viele kleine Fraktionen der Gesamtwerte aufgeteilt werden, und diese entsprechend verkettet werden. Während mathematisch der Ansatz mit infinitesimal kleinen Belägen noch möglich war, ist dies spätestens beim Versuch einen entsprechenden Schaltplan zu zeichnen zum Scheitern verurteilt.

Naiv wird im Folgenden ein verlustfreier Leiterzug immer weiter durch Fraktionen immer kleinerer LC -Systeme approximiert, und der Impedanzverlauf dieses Kanals betrachtet. Ein Grenzfall eines unangepassten Kanals ist die offene Leitung, die quasi mit einem unendlich großen Widerstand terminiert ist. Selbst dieser wird durch die Überlegungen zur Widerstandstransformation in eine andere Impedanz transformiert:

Für den verlustlosen Fall mit $R = G = 0$ gilt $\gamma = j\beta$ und damit kann nach [22] mit

$$\tanh j\beta = j \tan \beta$$

Gleichung (2.7) zu

$$Z(l) = Z_0 \frac{Z_t + jZ_0 \tan \beta l}{Z_0 + jZ_t \tan \beta l}$$

vereinfacht werden.

Für $l = \lambda/4$ gilt

$$\beta l = \frac{2\pi \lambda}{\lambda} \frac{\lambda}{4} = \frac{\pi}{2},$$

und für den transformierten, normierten Widerstand gilt

$$\lim_{\beta l \rightarrow \pi/2} \frac{Z(l = \lambda/4)}{Z_0} = \frac{Z_0}{Z_t}.$$

2 Elektrische Eigenschaften von Verbindungsnetzwerken

Das heißt, bei einer Leitungslänge von $\lambda/4$ wird durch die Leitung der normierte Abschlusswiderstand zu seiner Inversen transformiert

$$\frac{Z(l = \lambda/4)}{Z_0} = \left(\frac{Z_t}{Z_0} \right)^{-1}.$$

Für eine Leitungslänge von $\lambda/2$ ist $\beta l = \pi$ und der normierte Abschlusswiderstand wird in sich selbst transformiert

$$\frac{Z(l = \lambda/2)}{Z_0} = \left(\frac{Z_t}{Z_0} \right).$$

Die Fälle gelten für Vielfache der Wellenlängen analog, das heißt der normierte, transformierte Widerstand entspricht der Inversen des Abschlusswiderstandes für ungeradzahlige Vielfache von $\lambda/4$ und dem Abschlusswiderstand für geradzahlige Vielfache.

Somit muss sich bei einer offenen, verlustlosen Leiterstrecke mit Durchlaufzeit 1 ns und charakteristischer Impedanz von 50 Ohm in Abhängigkeit der Frequenz eine transformierte Eingangsimpedanz einstellen. Diese spezielle Eigenschaft kann benutzt werden, um die Güte der Leitungsapproximation durch ein Modell zu beurteilen:

Durch die Festlegung der charakteristischen Impedanz auf 50Ω und die Längenwahl von 1 ns ist die Gesamtkapazität und -induktivität der Leitung bestimmt zu $C_{\text{total}} = 1 \text{ ns}/50 \Omega = 20 \text{ pF}$ und $L_{\text{total}} = 50 \Omega \cdot 1 \text{ ns} = 50 \text{ nH}$. In Abbildung 2.10 ist zu sehen, wie durch die Erhöhung der Anzahl an LC-Komponenten das Modell für immer größere Frequenzen mit dem tatsächlichen Verhalten eines verlustfreien Übertragungskanals übereinstimmt.

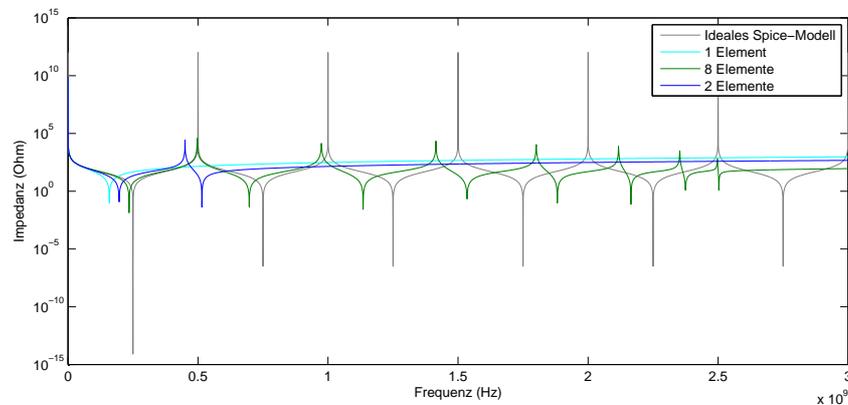


Abbildung 2.10: Durch die Modellierung der Leitungsbeläge in verteilten Komponenten nähert sich der Impedanzverlauf immer mehr dem eines idealen verlustlosen Übertragungskanals an. Die Impedanz ist bei 250 MHz minimal, weil dieser Punkt explizit bei der AC-Simulation als Stützwert ausgewählt wurde

Basierend auf der elektrischen Länge des Übertragungskanals kann eine Abschätzung

2.3 Frequenzabhängiges Verhalten

über die zu einer akkuraten Modellierung notwendigen Anzahl an LC -Sektionen angegeben werden. Wie in Abbildung 2.10 zu sehen, ist die Modellierung mit nur einem Element bis zu einer Frequenz von etwa 100 MHz akkurat. Die Variante mit der Aufteilung der Gesamtkapazität und -induktivität auf zwei LC -Elemente hingegen stimmt bis etwa 200 MHz mit dem erwarteten Resonanzbild überein.

Für 8 LC -Elemente zeigt sich eine gute Übereinstimmung bis zu etwa 1 GHz. Verallgemeinert ist die Bandbreite B der Übereinstimmung der Approximation für n Sektionen und Leiterlänge l also in etwa

$$B = \frac{n}{4} \cdot \frac{v_0}{2l} \approx n \cdot \frac{v_0}{10l}$$

Praktisch bedeutet dies, dass für ein Leiterstück mit einer Durchlaufzeit $t_d = l/v_0$ und einer gewünschten Bandbreite des Modells B etwa

$$n = 10 \cdot B \cdot t_d$$

Sektionen von LC -Stücken benötigt werden, die Eigenschaften eines Übertragungskanaals mit konzentrierten Elementen akkurat zu beschreiben([6]).

2.3 Frequenzabhängiges Verhalten

Werden die Bandbreitenanforderungen an das Simulationsmodell immer größer, so müssen weitere Aspekte des Grundmodells betrachtet werden. Im Allgemeinen sind bei seriellen Hochgeschwindigkeitsdatenverbindungen die gewünschten Übertragungsraten so hoch, dass die Stromleitfähigkeit des Verbindungsnetzwerkes vom Skin-Effekt herabgesetzt wird. Ferner wird sich über das polarisierbare Dielektrikum zwischen den beiden Leitern ab einer gewissen Frequenz ein Stromfluss einstellen.

Skin-Effekt

Stromdurchflossene Leiter besitzen ein sie umgebendes Magnetfeld. Im Falle eines zylindrischen, geraden und unendlich langen Leiters in einer leeren Umgebung wie in Abbildung 2.11 skizziert, sind die kreisförmigen Feldlinien konzentrisch um den Leiter verteilt. Die Drehrichtung dieser Feldlinien hängt von der Richtung des Stromflusses ab. Wenn mehr Strom durch den Leiter fließt, erhöht sich auch die Anzahl an Magnetfeldlinien proportional. Ferner ist die absolute Anzahl an Feldlinien auch proportional zur Länge des Leiters.

2 Elektrische Eigenschaften von Verbindungsnetzwerken

Ein Problem ergibt sich durch die Feldlinien, die sich innerhalb eines Leiters befinden. In Abbildung 2.11 ist ein Schnitt durch einen Rundleiter mit dem umgebenden Magnetfeld bei Gleichstrom skizziert.

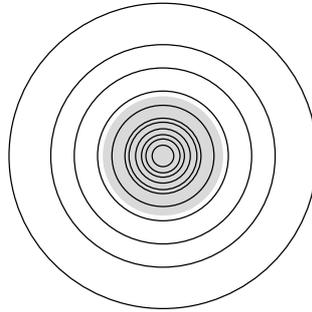


Abbildung 2.11: Schnitt durch einen stromdurchflossenen, soliden Rundleiter bei Gleichstrom: Feldlinien befinden sich sowohl außerhalb, als auch innerhalb eines stromdurchflossenen Leiters

Während bei Gleichstrom der Stromfluss und die Magnetfeldlinien sich gleichmäßig über die gesamte zur Verfügung stehende Fläche verteilen, werden bei Wechselstrom durch den sich ändernden Strom längs des Leiters sich ändernde Magnetfelder erzeugt. Diese wiederum induzieren innerhalb des Leiters Wirbelströme wie in Abbildung 2.12 zu sehen.

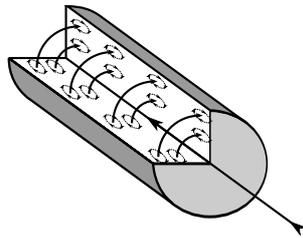


Abbildung 2.12: Schnittzeichnung eines Leiters mit Magnetfeldlinien und durch diese in den Leiter induzierten Wirbelströmen

Wenn jetzt die Frequenz erhöht wird, mit der der Strom seine Richtung ändert, erhöht dies die Anzahl und die Gradienten der Stromänderungen pro Zeit und induziert somit mehr und größere Wirbelströme. Diese sind im Zentrum des Leiters dem erregenden Strom entgegen gerichtet. Andererseits unterstützen sie auch den Stromanteil, der näher an den Außenkanten des Leiters fließt. Der Strom wählt den Weg des geringsten Widerstandes, und fließt hauptsächlich am Rand, womit die effektive Querschnittsfläche des Leiters sinkt.

Praktisch verhält sich ein von schnellen Wechselströmen durchflossener Leiter bis zu einer gewissen Frequenz ω_s wie ein von Gleichstrom durchflossener Leiter. Mit darüber liegenden Stromänderungsfrequenzen ω fließt der Strom nur in einem schmalen, expo-

nennt sich von den Rändern zur Mitte hin kleiner werdenden Bereich. Dieser Bereich wird über die Eindringtiefe δ als Zylinder modelliert, die der Formel

$$\delta = \sqrt{\frac{2}{\omega\mu\sigma}}$$

mit den Materialkonstanten Konduktivität σ und Permeabilität μ genügt.

Durch die Konzentration der Feldlinien auf die Randbereiche sinkt die absolute Induktivität des Leiter mit der Frequenz marginal. Zur Verkleinerung der Auswirkungen des Skin-Effekts bei gegebenen Stromänderungsraten existieren die folgenden Möglichkeiten:

- Absolute Erhöhung des Querschnittes des Leiters, so dass auch noch ein kleiner Restring eine ausreichend geringe Impedanz aufweist
- Erhöhung der Konduktivität des Leiters in den Randbereichen durch Beschichtungen
- Verwendung von Hochfrequenzlitzen, bei denen die einzelnen, leitenden Fasern voneinander isoliert sind.

Wenn die Stromeindringtiefe nur noch sehr klein ist, werden weitere Faktoren wie eine gewisse Oberflächenrauigkeit bedingt durch Fertigungsprozesse relevant. Beispielsweise werden auf den Innenlagen von PCBs bewusst raue Kupferlagen einlaminiert, um die Verbindung mit dem Harz des Trägermaterials zu verbessern. Hersteller von speziell für hochfrequente Signale gefertigten Kabeln verwenden meist thermisch angelassenes, mit einer Silberschicht versehenes Kupfer als Signalleiter, um eine möglichst glatte Oberfläche mit maximaler Konduktivität zu erreichen. Hochfrequenzlitzen sind zumindest für dünne Leiter nicht verbreitet, da zuviel Raum für die Isolierung der einzelnen Litzen eingenommen wird, der nicht mehr zur Leitfähigkeit beitragen kann.

Dielektrische Verluste

Wird an Kondensatoren eine Gleichspannung angelegt, sollte sich nach Ende des Aufladevorgangs kein Stromfluss zwischen den beiden Elektroden einstellen. Befindet sich ein Vakuum zwischen den beiden Elektroden, ist dies auch der Fall. Wenn der Kondensator allerdings ein anderes Dielektrikum besitzt, sind die Isolationseigenschaften nicht mehr perfekt, und abhängig vom verwendeten Material wird sich ein kleiner Stromfluss einstellen. Für gebräuchliche Dielektrika, wie sie in Kabelsystemen für Hochfrequenzanwendungen verwendet werden, kann dieser allerdings vernachlässigt werden.

Wird jetzt eine Wechselspannung an den Kondensator angelegt, ändert sich ständig das dielektrische Feld. Materialabhängig sind im Dielektrikum Moleküle mit Dipoleigenschaften vorhanden, die aufgrund der sie umgebenden

2 Elektrische Eigenschaften von Verbindungsnetzwerken

Wechselfelder ihre Ausrichtung permanent ändern. Dies wiederum verursacht einen *linear* von der Frequenz der Spannungsänderungen abhängigen Stromfluss zwischen den Elektroden, der insbesondere phasengleich mit der Spannungswelle ist.

Effektiv wird durch die Bewegung der Dipole elektrische in kinetische Energie umgewandelt. Da die Bewegung nicht reibungsfrei erfolgt, wird die kinetische dann in thermische Energie transformiert.

Das Dämpfungsverhalten eines Leitersystems wird ab einer gewissen Frequenz von diesen Verlusten dominiert.

Der Verlust kann über die relative Dielektrizitätskonstante ϵ_r modelliert werden. Üblicherweise ist diese Materialkonstante nur für den verlustfreien Fall angegeben. In diesem Fall sind bei Wechselspannung die Phasen von Strom und Spannung um genau $\pi/2$ verschoben. Da der Stromfluss über das Dielektrikum phasengleich zur Spannungsänderung können diese Verluste als imaginäre Komponente von ϵ_r notiert werden

$$\epsilon_r = \epsilon_r' + j\epsilon_r''.$$

Üblicherweise jedoch wird der daraus resultierende Verlustwinkel

$$\tan \delta = \tan \frac{\epsilon_r''}{\epsilon_r'}$$

als Materialkonstante für dielektrische Verluste angegeben.

2.4 Differentielle Signalpaare

Ein differentielles Leitungspaar besteht aus zwei Übertragungskanälen, die mit einem differentiellen Signal angesteuert werden. Damit ist die Signalinformation nicht mehr nur durch den absoluten Pegel des Signals gegenüber einem Referenznetz, sondern auch durch die Spannungsdifferenz zwischen den Signalleitungen definiert. Wichtig für das Paar ist neben eines konstanten, symmetrischen Querschnitts vor allem eine identische Länge der Einzelleitungen.

Wenn wie in Abbildung 2.13 keine elektromagnetische Kopplung zwischen den Leitern vorliegt, entspricht die Impedanz eines jeden Leiters gerade seiner charakteristischen Impedanz. Entsprechend besitzt jede Leitung ihren eigenen Rückkanal, der im Allgemeinen direkt unterhalb des Signalleiters im Referenznetz verläuft.

So wird um einen Spannungssprung von 1 V in 50Ω zu erzeugen, ein Strom von 20 mA vom Signalleiter in den Rückkanal fließen. Im anderen Leiter, in dem ein Sprung auf -1 V erzeugt wird, fließen entsprechend auch 20 mA, allerdings in entgegengesetzter Richtung. Werden nur die beiden Signalleitungen betrachtet, sieht es so aus, als ob ein



Abbildung 2.13: Schnitt durch zwei differenziell angesteuerte Übertragungskanäle mit kontrollierter Impedanz

Strom von 20 mA aus dem einen in den anderen Leiter fließen würde, um eine Spannungsdifferenz von 2 V zu erzeugen. Deshalb spricht man von einer differentiellen Impedanz in der Größe der doppelten charakteristischen Impedanz einer Einzelleitung.

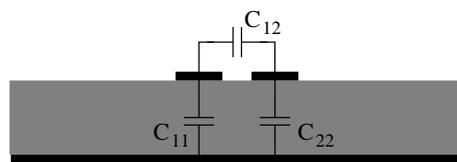


Abbildung 2.14: Durch die örtliche Nähe der beiden Leiter werden sie elektromagnetisch gekoppelt. Die Kapazitäten zum Referenznetz nehmen etwas ab, die Kapazität zwischen den beiden Leitern nimmt zu

Werden wie in Abbildung 2.14 skizziert die beiden Einzelleitungen immer näher aneinander gebracht, so dass die sie umgebenden elektrischen und magnetischen Felder sich stärker überlappen, wird die elektromagnetische Kopplung der beiden Leiter vergrößert. Entsprechend werden die Kapazitäten C_{11} und C_{22} zwischen Referenznetz und den Signalleitern durch Verkleinerung der Fringe-Felder etwas abnehmen, und die Kapazität C_{12} zwischen den beiden Signalleitern zunehmen.

Werden beide Leiter mit einem identischen Signal belegt, kann über die Kapazität C_{12} kein Strom fließen. Das sich einstellende Strom-Spannungs-Verhältnis Z_{even} auf jedem Leiter heißt *Even-Mode Impedance*.

Wenn allerdings die Leitungen differenziell angesteuert werden, kann über C_{12} ein Strom fließen. Er ist abhängig von der Änderungsrate der beiden Spannungen auf den Signalleitungen und der Größe von C_{12} . Durch die zusätzlich aufzuladende Kapazität muss bei gleicher Sprunghöhe die Impedanz der Leitung sinken. Das bei differentieller Ansteuerung sich einstellende Strom-Spannungs-Verhältnis Z_{odd} auf jedem einzelnen Leiter heißt *Odd-Mode Impedance* und ist immer kleiner als die Impedanz bei gleichsinniger Ansteuerung. Die differentielle Impedanz entspricht $Z_{\text{diff}} = 2 \cdot Z_{\text{odd}}$.

Mit zunehmenden Abstand der gekoppelten Leiter von ihren Referenznetzen fließt immer weniger Strom über selbiges, und immer mehr Strom in den Signalleitern. Dies ist vor allem bei Twisted-Pair Kabeln der Fall, die es deshalb in den Varianten *shielded Twisted-Pair* und *unshielded* gibt.

2 Elektrische Eigenschaften von Verbindungsnetzwerken

Die Kopplung der Leiter ist bei differentiell betriebenen aus mehreren Gründen vorteilhaft. Zum einen sinkt über die magnetische Kopplung die Induktivität der Einzelleiter, so dass für eine gleiche charakteristische Impedanz eine geringere Leitungskapazität gewählt werden kann. Zum anderen wird bei starker Kopplung die Abhängigkeit vom Referenznetz aufgehoben, welches im Allgemeinen von vielen Komponenten benutzt wird, und dementsprechend von Störungen belastet sein kann. Ferner ist das System störungsfähiger gegenüber externen Einkopplungen, weil das Signal als Spannungsdifferenz zwischen den beiden Signalleitungen definiert ist, und bei starker Kopplung die Störung gleichsinnig auf beide Leitungen verteilt wird, so dass die Spannungsdifferenz zwischen den Leitungen konstant bleibt.

2.5 Modellierung von Mehrleitersystemen

Bei Mehrleitersystemen kommen zusätzlich zu den betrachteten gewünschten Kopplungseffekten zwischen differentiellen Paaren noch weitere, im Allgemeinen unerwünschte Kopplungseffekte hinzu. Die Modellierung kann ähnlich wie im Zweileitersystem erfolgen. Es existiert weiterhin ein Referenznetz, und nun mehrere Signalleitungen. Die elektromagnetischen Kopplungseffekte werden durch infinitesimal kleine Stücke von Induktivitäten und Kapazitäten zwischen den einzelnen Signalleitern modelliert. Für den Fall eines Dreileitersystems ist das sich ergebende infinitesimale Ersatzschaltbild in Abbildung 2.15 skizziert. Dabei ist zu beachten, dass die Anzahl der Referenznetze konstant bleibt.

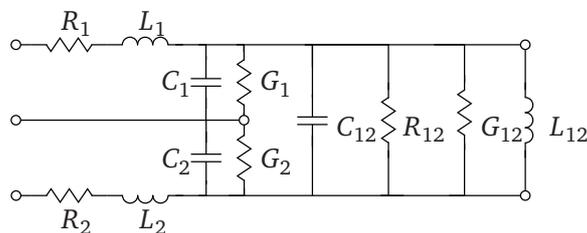


Abbildung 2.15: Ersatzschaltbild eines infinitesimal kurzen Stückes eines Dreileitersystems

3 Analyse eines Kommunikationssystems

Für das CBM-Projekt wurde von einer Gruppe der TU Kaiserslautern ein Microchip OASE mit einer Sender-Empfänger-Kombination zur Lösung der in der Einleitung angesprochenen Kommunikationsprobleme entwickelt. Allerdings wurde als Übertragungskanal eine Glasfaser gewählt, so dass die Ausgangstreiberstufe des Senders nur einen VCSEL treiben muss. Da die zur Verfügung stehende Dokumentation [15] nicht zum Verständnis der Arbeitsweise der einzelnen Komponenten des Designs ausreichend war, wurde anhand der Schaltpläne und durch Simulationen die mögliche Adaptierbarkeit der Sendeendstufe für einen leitungsgebundenen Kommunikationspfad untersucht.

3.1 Komponenten des Serialisierers

Nach den nicht weiter betrachteten Protokollenkodierungsblöcken besitzt der Datenpfad eine Breite von vier Bit. Damit die parallelen Daten serialisiert über eine einzelne, differentielle Übertragungsstrecke herausgeführt werden können, müssen sie zwangsläufig über Schaltungselemente, die mit einer höheren Taktrate betrieben werden, in der richtigen Reihenfolge abgetastet und zusammengeführt werden.

Taktsignalgenerierung

Üblicherweise wird ein Taktsignal außerhalb einer integrierten Schaltung durch spezialisierte Bauelemente erzeugt, und in den Chip eingespeist. Innerhalb des Chips wird dann dieser Referenztakt zur Erzeugung eines schnelleren internen Taktes benutzt. Beim vorliegenden Design ist dies etwas anders gelöst: Der Takt, mit dem die Sendeinheiten betrieben werden, wird von einem aus einem seriellen Empfangsdatenstrom extrahierten Takt abgeleitet. Dazu ist es notwendig, über einen abstimmbaren Schwingkreis innerhalb der integrierten Schaltung zu verfügen, der in seiner Frequenz geregelt werden kann. Zu diesem Zweck vergleicht ein Phasenkomparator die Flanken der Signale des seriellen Datenstroms und des Schwingkreises und erzeugt Pulse für verfrühte und verspätete Flanken, deren zeitliche Länge mit der Größe des Phasenversatzes korrespondieren. Die-

3 Analyse eines Kommunikationssystems

se Pulse werden dann von einer Ladungspumpe zur Generierung einer Regelspannung verwendet.

Für verschiedene Frequenzbereiche kann der in Abbildung 3.1 skizzierte LC-Schwingkreis über zuschaltbare Kapazitäten grob abgestimmt werden. Die implementierte Schaltung schwingt regelbar in einem Bereich um 2,5 GHz.

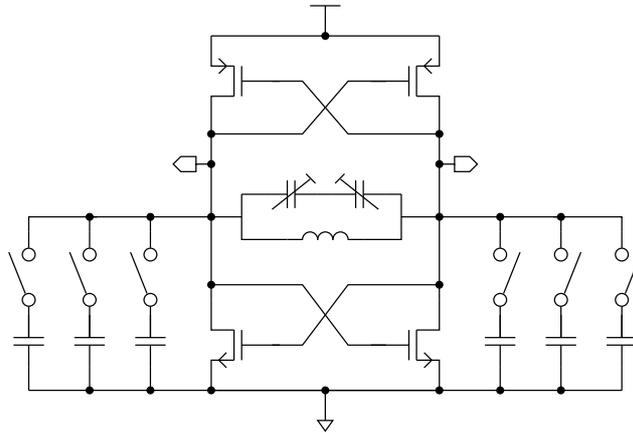


Abbildung 3.1: Schaltbild des eingebauten LC-Oszillators mit zuschaltbaren Kapazitäten um den Frequenzbereich grob einzustellen. Über die regelbaren zentralen Kapazitäten kann die Schwingungsfrequenz fein über eine Regelspannung kontrolliert werden

Aus dem sinusförmigen Ausgangssignal des Schwingkreises wird über ein rückgekoppeltes Flipflop wie in Abbildung 3.2 gezeigt ein Taktsignal erzeugt, dessen Frequenz der halben Schwingungsfrequenz des *LC*-Oszillators entspricht.

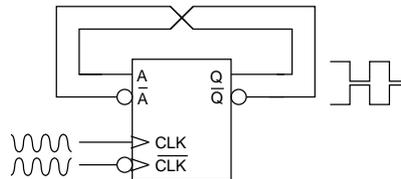


Abbildung 3.2: Binäre Takteilung durch Rückkopplung eines differentiellen Flipflops

Auf die Qualität dieses Taktsignals wird besonders großen Wert gelegt, indem über eine spezielle, in Abbildung 3.3 abgebildete Schaltung das Tastverhältnis geregelt wird. Dazu wird an den beiden Eingängen eines Operationsverstärkers eine Spannung angelegt, die mit den relativen Phasenanteilen des Taktsignals korrespondiert.

Falls beispielsweise der zeitliche Anteil des High-Pegels größer als der Anteil des Low-Pegels ist, so wird sich an dem mit + markierten Eingang und somit auch am Ausgang des Operationsverstärkers eine höhere Spannung einstellen. Dieses wiederum hat zur

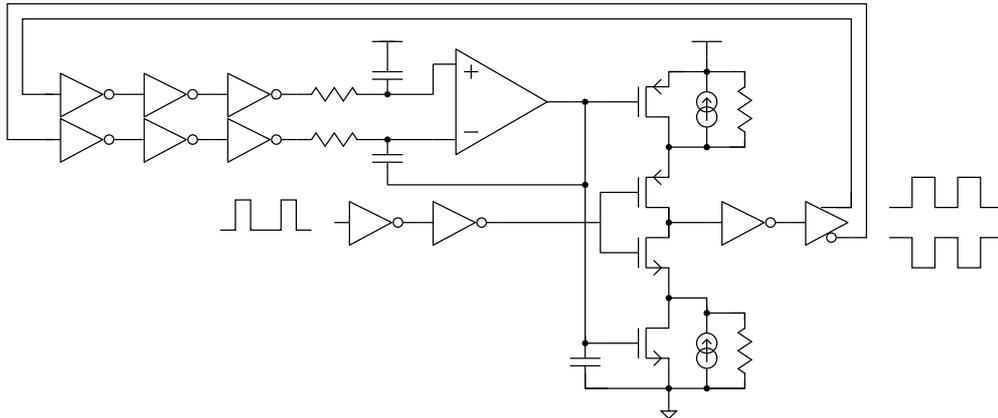


Abbildung 3.3: Regelung des Tastverhältnisses des Taktsignals, welches für den Serialisierer benutzt wird. Wenn die High-Pegel dominieren, und sich somit eine höhere Spannung am mit + bezeichneten Eingang des Operationsverstärkers einstellt, stellt sich eine höhere Spannung am Ausgang des Operationsverstärkers ein, was dann die negative Flanke des regelbaren Inverters unterstützt.

Folge, dass mit Hilfe einer Pufferkette die fallende Signalflanke des Taktsignals unterstützt wird. Falls der zeitliche Anteil des Low-Pegels größer ist, wird die steigende Flanke des Taktsignals unterstützt, so dass das Tastverhältnis ausgeglichen wird.

Danach werden aus diesem im Tastverhältnis geregelten Signal vier zueinander phasenverschobene Taktsignale mit doppelter Periodendauer erzeugt, die sich unter Ausnutzung der Phasenbeziehungen zum Quellsignal präzise um jeweils eine viertel Periode unterscheiden. Dies ist in Abbildung 3.4 skizziert.

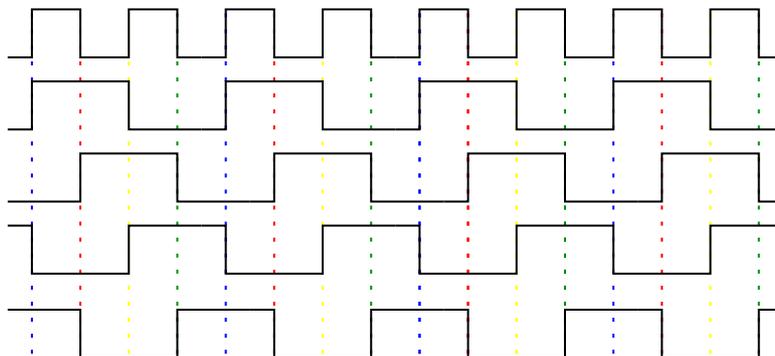


Abbildung 3.4: Aus dem tastverhältniskorrigierten Taktsignal werden unter Ausnutzung der Phasenbeziehungen zu einem doppelt so schnellen Taktsignal vier zueinander phasenverschobene, langsamere Takte erzeugt

Multiplexer

Zunächst werden unter Benutzung aller vier zueinander phasenverschobenen Takte die parallelen, vier Bit breiten Daten zeitlich aufgefächert. In Abbildung 3.5 ist dies skizziert.

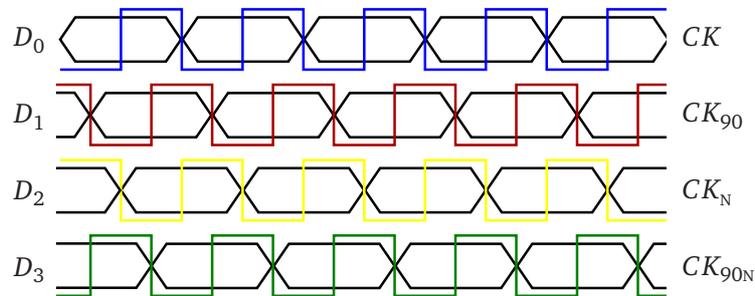


Abbildung 3.5: Die einzelnen Datenbits werden unter Verwendung der vier zueinander phasenverschobenen Taktsignale zeitlich aufgefächert

Dieser Schritt ist notwendig, damit bei den nachgelagerten 4:2 Multiplexern die Daten ausreichend lange stabil anliegen, um erfolgreich übernommen zu werden.

Die Datenbits D_0 und D_2 werden bei steigender und fallender Flanke von CK dann durch einen Multiplexer ausgewählt, und zu *einem* Signal konsolidiert. Analog werden die Datenbits D_1 und D_3 von einem weiteren Multiplexer ausgewählt, der über einen um 90° verschobenen Takt angesteuert wird. Die beiden Multiplexer sind als CMOS-Gatter ausgeführt.

Die Datenrate nach den beiden Multiplexern ist doppelt so hoch wie zuvor, dafür besitzt der Datenpfad entsprechend nur noch eine Breite von zwei Bits. Beide Leitungen werden durch einen aus dem Takt mit der halben Periodendauer zu CK generierten Puls abwechselnd in einem CMOS-Latch abgetastet, was in Abbildung 3.6 aufgezeichnet ist.

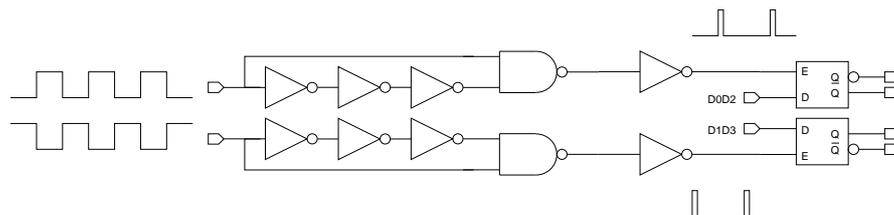


Abbildung 3.6: Generierung von kurzen Pulsen, welche die nachgelagerten Latche für kurze Zeit transparent schalten, um so die zuvor zusammengeführten Daten zum richtigen Zeitpunkt abzutasten

Weil die nachfolgenden Funktionseinheiten in einer differentiellen Logikfamilie ausgeführt sind, werden die zusammengeführten Daten auf jeweils differentiell ausgegeben.

Beide Datenströme werden durch einen Multiplexer zusammengefasst, der in Abbildung 3.7 aufgezeichnet ist. Dieser wählt zur steigenden und fallenden Taktflanke des schnellen Taktes, der zur Erzeugung der langsamen, phasenverschobenen Takte benutzt wurde, jeweils das eine oder andere Datum aus, welches gerade durch das jeweilige Latch bereitgestellt wird.

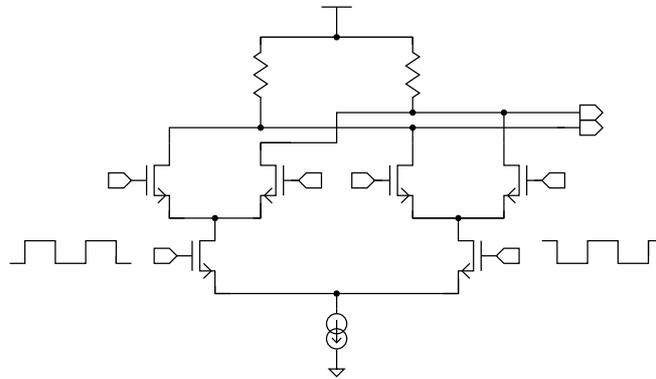


Abbildung 3.7: Multiplexer in einer Stromlogikfamilie. Bei der aktiven Phase des positiven Taktes wird der linke Zweig, bei der positiven Phase des negativen Taktes der rechte Zweig ausgewählt, und somit die jeweils angelegten Datensymbole mit der doppelten Taktrate auf einem differentiellen Paar ausgegeben

Differentielle Paare

Die Grundschaltung eines differentiellen Paares besteht aus zwei Lasten, zwei Schalttransistoren und einer Stromquelle. Während Varianten dieser Schaltung prinzipiell auch als analoge Verstärker benutzt werden können, wird sie im Folgenden als invertierendes Logikgatter verwendet.

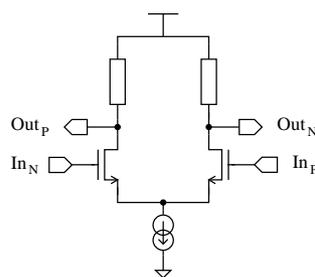


Abbildung 3.8: Differentielles Paar bestehend aus Lasten, NMOS-Schalttransistoren und einer Stromquelle

Wie in Abbildung 3.8 skizziert, wird der Strom, der durch die Stromquelle fließt, über

3 Analyse eines Kommunikationssystems

zwei getrennte Zweige geführt. Je nach Aussteuerung der Schalttransistoren fließt der Strom über den rechten oder den linken Zweig des differentiellen Paares.

Werden die beiden Schalttransistoren mit einer Spannung angesteuert, so dass beide sperren, stellt sich an beiden Ausgängen ein Pegel im Bereich der positiven Versorgungsspannung ein, und durch das differentielle Paar kann kein Strom fließen.

Bei gleichsinniger Ansteuerung mit einer höheren Spannung fangen die beiden NMOS-Schalttransistoren an Strom durchzuleiten. Dadurch teilt sich der Strom durch die Stromquelle an den beiden Zweigen auf. Über den Lasten fallen entsprechend jeweils Spannungen ab, welche dann die Ausgangssignale bilden. Da die Ströme durch die beiden Zweige aufgrund der gleichartigen Ansteuerung der Transistoren¹ identisch sind, sind auch die Ausgangssignalpegel identisch.

Wird jetzt einer der NMOS-Schalttransistoren mit einer höheren Spannung als der andere angesteuert, so verschiebt sich das Teilungsverhältnis des Gesamtstroms in Richtung des Zweiges mit dem höher angesteuerten Schalttransistor. Entsprechend sinkt durch den größeren Spannungsabfall an der Last in diesem Zweig der Ausgangsspannungspegel.

Genauso kann durch Ansteuerung mit einer niedrigeren Spannung der Stromfluss durch einen Zweig verkleinert werden, was wiederum eine Erhöhung des Ausgangsspannungspegels dieses Zweiges zur Folge hat.

Wird das differentielle Paar als Logikgatter benutzt, ist der Logikzustand in der Differenz der beiden Ausgangspegel kodiert. Um eine maximal große Spannungsdifferenz zu erreichen, sollte der Gesamtstrom durch das Gatter komplett durch den einen *oder* den anderen Zweig geleitet werden. Dazu muss jeweils ein NMOS-Schalttransistor in Sättigung betrieben werden, und der andere gesperrt sein. Ferner sollten die sich dann einstellenden Spannungspegel an den Ausgängen so beschaffen sein, dass sie bei Ansteuerung der NMOS-Schalter eines nachfolgenden Logikgatters die Transistoren wieder jeweils in Sättigung und in gesperrten Zustand bringen können.

Oftmals unterscheiden sich bei Stromlogikfamilien die Signalpegel von denen der Versorgungsspannungen. Der High-Pegel liegt meist noch im Bereich der positiven Versorgungsspannung, während der Low-Pegel sich bedingt durch die nicht abschaltbaren Lasten in einem Bereich zwischen den Versorgungsspannungen einstellt. Der genaue Low-Pegel ergibt sich aus der Lastimpedanz und der Größe des Stromes durch den Zweig.

Treiberkette

Nachdem die vier parallelen Datenleitungen durch die Multiplexer auf ein differentielles Leitungspaar mit vierfacher Datenrate zusammengeführt worden sind, wird das Signal

¹bei anzustrebender identischer Dimensionierung der Schalttransistoren

über CML-Puffer verstärkt. Hierbei steuert der Ausgang eines jeden Puffers den Eingang des ihm nachfolgenden an.

Insgesamt sind sechs Puffer dieser Art in einer seriellen Kette verbunden, wobei der letzte Puffer eine Last mit einer Impedanz von $50\ \Omega$ aufweist, die somit gleichzeitig als Quellerterminierung gegen die positive Versorgungsspannung wirkt. Ein Schaltbild zweier dieser zusammen geschalteten CML-Puffer ist in Abbildung 3.9 skizziert. Die Spannungen V_{high} und V_{low} haben die Werte 1,8 und 1 V.

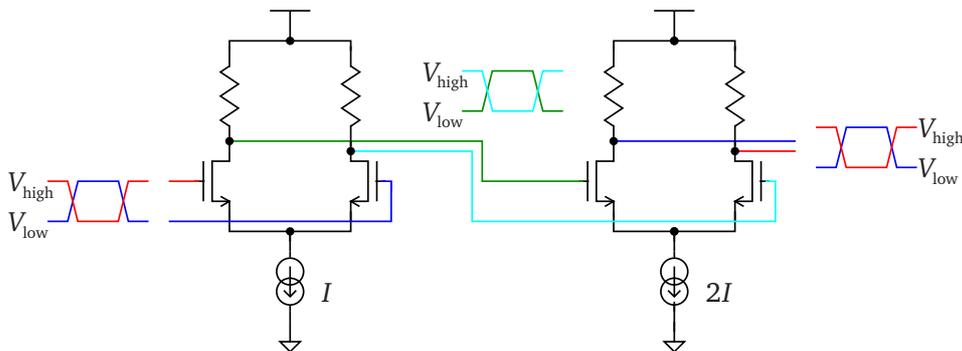


Abbildung 3.9: Schaltverhalten zweier CML-Puffer. Über den rechten Puffer wird ein doppelt so großer Strom geleitet, wie über den linken Puffer. Die Eingangs- und Ausgangspegel sind identisch zwischen 1 und 1,8 V

3.2 Ausgangstreiber

In Abbildung 3.10 ist das simulierte Ausgangssignal der Pufferkette bei einer Datenrate von 2,5 Gbit/s und korrekter Leitungsterminierung direkt am Sender abgenommen in Form eines Augendiagramms geplottet. Ohne bandbegrenzende Verbindungsleitung und unter Benutzung einer absolut jitterfreier, idealen Taktquelle ist die horizontale Augenöffnung bedingt durch die geringen Flankenanstiegszeiten von ungefähr 100 ps sehr groß. Die vertikale Augenöffnung beträgt allerdings nur 243 mV, was einer differentiellen Signalamplitude von 486 mV entspricht.

Wird der am Ausgang des letzten differentiellen Paares normalerweise angeschlossene Übertragungskanal durch einen Widerstand mit der charakteristischen Impedanz des Kanals ersetzt, können mit Hilfe des Ersatzschaltbildes in Abbildung 3.11 die sich einstellenden Spannungsverhältnisse berechnet werden.

Der Ersatzwiderstand um den Low-Pegel zu berechnen ergibt sich, wenn der gesamte Strom durch das differentielle Paar in einem Zweig fließt, zu $(50 \parallel 150)\ \Omega$, und somit

3 Analyse eines Kommunikationssystems

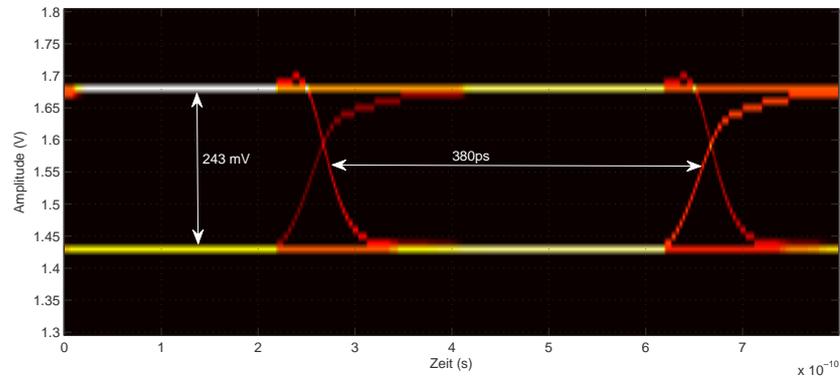


Abbildung 3.10: Augendiagramm des simulierten Signals des Ausgangstreivers bei korrekter Terminierung mit der charakteristischen Impedanz der Leitung. Die Farben korrespondieren mit den Aufenthaltswahrscheinlichkeiten des Signals in jedem Punkt

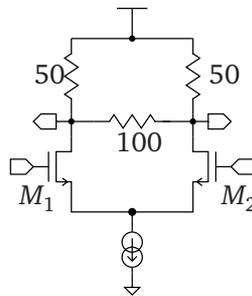


Abbildung 3.11: Terminierte CML-Treiberendstufe mit idealisierten Komponenten. Bei differentieller Ansteuerung fließt der gesamte Strom durch das differentielle Paar durch einen einzelnen Zweig. Es ergibt sich für ein für das Low-Signal relevanter Ersatzwiderstand von $(50 || 150) \Omega$

stellt sich ein Low-Pegel von

$$V_{\text{low}} = V_{\text{DD}} - 37,5 \Omega \cdot I$$

an den Ausgängen ein.

Der Gleichanteil des Signals ergibt sich, wenn der Strom durch beide Zweige zu gleichen Teilen fließt zu

$$V_{\text{CM}} = V_{\text{DD}} - 50 \Omega \cdot I/2.$$

Entsprechend gilt für den High-Pegel

$$V_{\text{high}} = 2V_{\text{CM}} - V_{\text{low}}.$$

Für die betrachtete Implementierung beträgt der Gesamtstrom im letzten differentiellen Paar der Pufferkette ungefähr 10 mA, und V_{low} und V_{high} ergeben sich entsprechend zu 1,43 V und 1,67 V.

Um einen größeren Signalhub zu erreichen, muss ein größerer Strom durch die Zweige des Ausgangstreibers geleitet werden. Gleichzeitig müssen die Schalttransistoren M_1 und M_2 noch jeweils die Fähigkeit besitzen, den Strom über den einen oder den anderen Zweig zu leiten. Dazu werden sie jeweils in Sättigung und abgeschalteten Zustand betrieben.

Vergößerung des Spannungshubs

Die Sättigungsbedingungen für einen MOS-Transistor lauten

$$\begin{aligned} V_{\text{DS}} &> V_{\text{GS}} - V_{\text{Th}} \quad \text{und} \\ V_{\text{GS}} &> V_{\text{Th}}. \end{aligned}$$

Wenn die Ansteuerung, um einen Low-Pegel zu erreichen, wie hier V_{DD} beträgt, ergibt sich der minimale Low-Pegel, der diese Bedingung erfüllt zu

$$V_{\text{low}} > V_{\text{DD}} - V_{\text{Th}}.$$

Aus den vorherigen Überlegungen ergibt sich damit der maximale Strom, der bei dieser Terminierungstopologie durch den differentiellen Ausgangstreiber geführt werden kann zu

$$I_{\text{max}} = \frac{V_{\text{Th}}}{37,5 \Omega}.$$

Ein Vergleich mit der Implementierung zeigt, dass diese sich bereits recht nah an diesem theoretischen Maximum befindet. Theoretisch könnte der Strom noch um etwa 3,5 mA erhöht werden, um innerhalb der aufgezeigten Grenzbedingungen zu bleiben. Die Spannungsdifferenz zwischen High- und Lowpegel wäre dann im Bereich von 320 mV.

Somit bietet sich hier nur wenig Verbesserungspotential, um das differentielle Ausgangssignal zu vergrößern.

3.3 Modellierung von Verbindungsnetzwerken in Spice

Für Verbindungsnetzwerke oder *Transmission Lines* existiert in Spice ein spezielles Bauteil. Je nach Spice-Variante trägt es andere Namen, bei Spectre von Cadence heißt es *Tline*, bei HSpice von Synopsys sind mit *W-* und *U-Element* sogar zwei unterschiedliche Modelle verfügbar. Die Modelle sind nicht auf Zweileitersysteme beschränkt sondern können das Verhalten von Systemen mit beliebig vielen Leitern abbilden.

Herstellerunabhängig weisen diese Komponenten alle ähnliche Eigenschaften auf. So kann über Spezifikation einer charakteristischen Impedanz, einer Ausbreitungsgeschwindigkeit und einer physikalischen Länge ein verlustfreies Verbindungsnetzwerk modelliert werden, welches dann Effekte durch Reflektionen bei Impedanzdiskontinuitäten und zeitliche Verzögerungen durch eine endliche Ausbreitungsgeschwindigkeit berücksichtigt. Dies ist für viele Anwendungsfälle wie beispielsweise ein kurzes, impedanzkontrolliertes Verbindungsnetzwerk auf einem PCB oftmals ausreichend genau.

Sind die Verluste nicht mehr vernachlässigbar, müssen die elektrischen Parameter des Verbindungsnetzwerkes genauer spezifiziert werden. Dazu existieren mehrere Möglichkeiten. Zum einen ist bei beiden Simulatoren ein einfacher 2D-Field-Solver eingebaut, der aus Geometrieinformationen und Materialparametern ein elektrisches Modell erstellt. Spectre unterstützt hierbei nur Streifen- und Mikrostreifenleitungen, HSpice auch noch andere Geometrien, wie beispielsweise Koaxialkabel. Kopplungseffekte, die durch örtliche Nähe der Signalleiter entstehen, finden dabei ihre Berücksichtigung.

Zum anderen besteht bei beiden Simulatoren die Möglichkeit, Messergebnisse von Netzwerkanalysatoren in Form von S-Parametern in einem bestimmten, industrieweit standardisierten Dateiformat zur Parametrisierung der Modelle zu verwenden. Allerdings ist diese Herangehensweise recht unflexibel, weil die simulierte Länge dieses Verbindungsnetzwerkes nicht direkt verändert werden kann, sondern an die Messergebnisse gebunden ist. Auch hier können Effekte wie Pulsnebensprechen bei einer entsprechend sorgfältig durchgeführten Charakterisierung berücksichtigt werden. Ist ein Prototyp einer Leiterstrecke vorhanden, und besteht die Möglichkeit, diese mit einem Netzwerkanalysator auszumessen, liefert diese Art der Modellierung die beste Genauigkeit.

Neben einigen weiteren Methoden können die Übertragungskanäle auch über *RLGC*-Matrizen modelliert werden. HSpice beispielsweise verwendet nach [2] zur Modellierung sechs Matrizen, die die Impedanzen und Admittanzen aller beim Modell des Verbindungsnetzwerkes berücksichtigten Leiter untereinander spezifizieren. Dabei setzt sich

3.3 Modellierung von Verbindungsnetzwerken in Spice

die Widerstandsmatrix R aus zwei Matrizen R_0 und R_s , die über

$$R(f) = R_0 + \sqrt{f(1+j)} R_s$$

zur Widerstandsmatrix R verknüpft werden. Für die dielektrischen Verluste wird

$$G(f) = G_0 + f G_d$$

mit einer üblicherweise trivialen Admittanzmatrix G_0 und einer dielektrischen Verlustmatrix G_d modelliert. Bis auf diese Details entspricht dies den Ergebnissen aus dem vorangegangenen Kapitel, nur in diesem Fall in Matrixform aufgeschrieben, um auch Kopplungseffekte zwischen mehreren Leitern beschreiben zu können. Es besteht die Möglichkeit, nur einen Satz von Matrizen zur Modellierung zu verwenden, oder aber mehrere Sätze für verschiedene Frequenzen zu spezifizieren. Bei beiden Ansätzen muss der Simulator die sich ergebenden Matrixeinträge für Zwischenfrequenzen intra- bzw. extrapolieren.

Über die Gewinnung der Matrixeinträge konnte nicht viel in Erfahrung gebracht werden. Allerdings wurden von einem Hersteller von Verbindungskabeln auf Anfrage mehrere Tabellen geschickt, die Ergebnisse eines Field-Solvers der Firma Ansoft beinhalteten.

In diesen Tabellen waren zwei unterschiedliche Modellvarianten für ein W-Element eingetragen. Zum einen eine Variante, die mit nur sechs Parametern das Verbindungsnetzwerk modellieren sollte, und eine weitere, in der frequenzabhängig die unterschiedlichen Matrixeinträge aufgelistet waren. Anfängliche Versuche mit dem ersten Modell führten zu seltsamen Effekten, während das andere Modell brauchbare Ergebnisse lieferte. Nach Verifikation durch eine AC-Simulation mit den im Datenblatt spezifizierten Dämpfungswerten bei einer bestimmten Kabellänge wurde fortan dieses Modell für Simulationen von Verbindungsnetzwerken mit Spice benutzt. Es handelt sich hierbei um ein differentielles Paar mit einer differentiellen Impedanz von 100Ω , und einer Signalleiterstärke von 24 AWG.

Üblicherweise werden bei kabelgebundenen Verbindungsnetzwerken die Stärke der Signalleiter in *American Wire Gauge* (AWG) angegeben. Eine höhere Zahl repräsentiert dabei einen kleineren Querschnitt. Eine Verdoppelung des Querschnitts korrespondiert mit der Verkleinerung um etwa 3 AWG. In Anhang D ist eine Umrechnungstabelle in metrische Maße aufgeführt.

3.4 Simulierte Verbindung mit einem Virtex5 GTX-Eingangspuffer

Die Firma Xilinx bietet für ihre großen FPGAs der Virtex-Serien Simulationspakete [21] an, die Netzlisten und zugehörige Transistormodelle für ihre schnellen, seriellen Transmitter der Typen *RocketIO*, *GTX* und *GTP* enthalten. Da diese einen direkten Rückschluss auf die Baupläne erlauben würden, werden sie nur in verschlüsselten Form für den Schaltkreissimulator HSpice ausgeliefert. Mit den entsprechenden Lizenzen kann eine Netzliste des Ausgangstreiber von Cadence ADE im HSpice-Format herausgeschrieben werden, und mit dieser dann über eine Manipulation der entsprechenden Netzlisten der Ausgangstreiber mit dem differentiellen Signaleingang des FPGAs verbunden werden, um dann das elektrische Verhalten zu simulieren.

Die seriellen Eingangspuffer des FPGAs verfügen jeweils über einen Equalizer. Dieser kann einzelne Frequenzanteile im Signal zusätzlich verstärken. Im Modell kann über Konfigurationsspannungen zwischen vier unterschiedlichen Verstärkungen gewählt werden. Auf die Topologie des Equalizers wird in Abschnitt 4.8 noch genauer eingegangen.

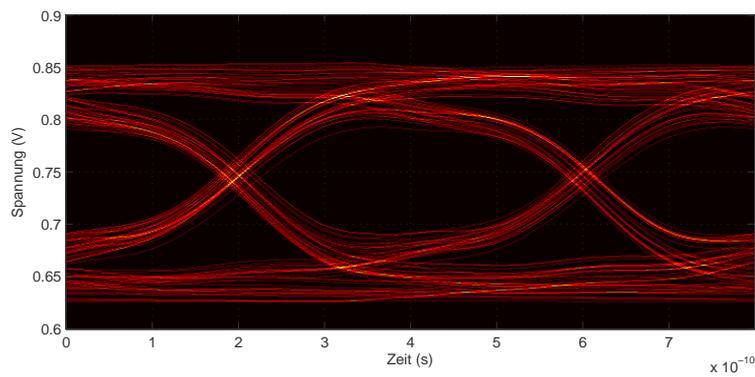
Damit dem Anwendungsfall näher kommende Bedingungen herrschen, wurde entsprechend ein verlustbehafteter Übertragungskanal als Verbindung zwischen dem Ausgangstreiber des OASE-Chips und den Eingangspuffern des Virtex5 modelliert. In der Simulation wurde einmal der empfängerseitige Equalizer auf „Large High Frequency Boost“ und „Moderate High Frequency Boost“ eingestellt.

Die Netzlisten von Xilinx sind komplett mit einem elektrischen Gehäusemodell, Pad- und Koppelkapazitäten ausgelegt, wohingegen der betrachtete Ausgangstreiber ohne Gehäusemodell simuliert wurde. Da ferner weder Rauschen, Pulsnebensprechen oder Effekte durch unterschiedlich lange Einzelleitungen des differentiellen Verbindungsnetzwerks simuliert wurden, sollten die Ergebnisse in der Realität schlechter sein.

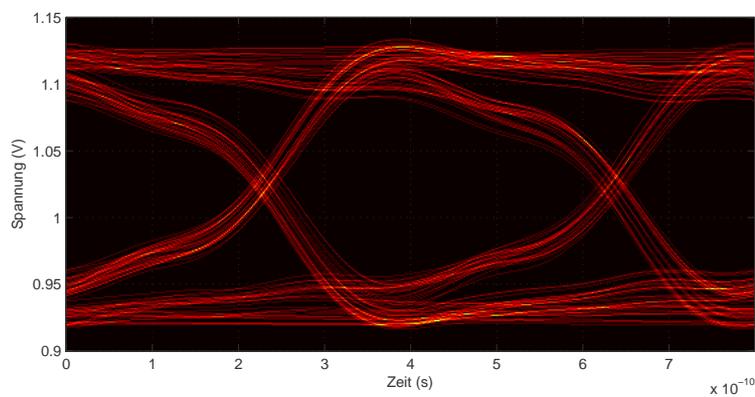
Im Folgenden sind Augendiagramme für eine Leitungslänge von 7 m (Abb. 3.12), 10 m (Abb. 3.13) und 13 m (Abb. 3.14) abgebildet. Die jeweils zuerst abgebildeten Kurven sind die Spannungsniveaus nach Durchlaufen der Leiterstrecke, Gehäuse, Bonds und Pads am FPGA, aber vor dem Equalizer. Die sich ergebenden Spannungsniveaus nach dem Equalizer sind dann danach für die beiden erwähnten Einstellungen abgebildet. Den Augendiagrammen liegt jeweils der positive Zweig des differentiellen Signals zu Grunde, das tatsächliche Nutzsignal besitzt also die doppelte Amplitude. Xilinx spezifiziert für den in der Simulation verwendeten Eingangspuffer eine einfache Signalamplitude von mindestens 105 mV.

Xilinx spezifiziert für die schnellen, seriellen Eingangspuffer *GTP* und *GTX* die in den FPGAs der Virtex5-Serie eingebaut sind, eine minimale, differentielle Signalamplitude von 200 und 210 mV ([19]). Wenngleich dieser Signalpegel von diesem Ausgangstreiber gut erreicht wird, sind kaum noch Signalreserven für Verluste durch ein ausgedehntes Verbindungsnetzwerk vorhanden.

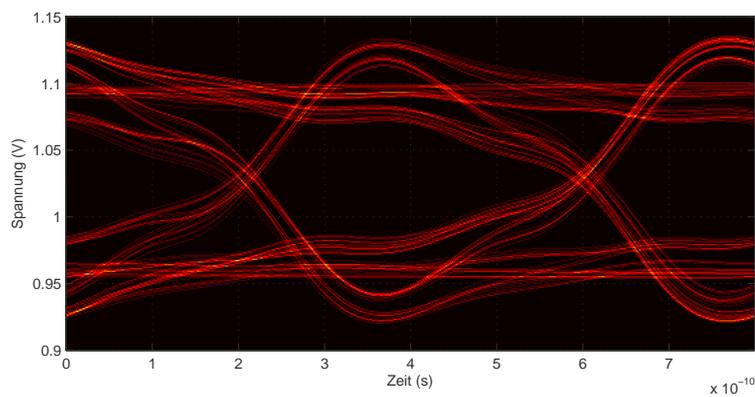
3.4 Simulierte Verbindung mit einem Virtex5 GTX-Eingangspuffer



(a) Augendiagramm des Signals vor dem Equalizer



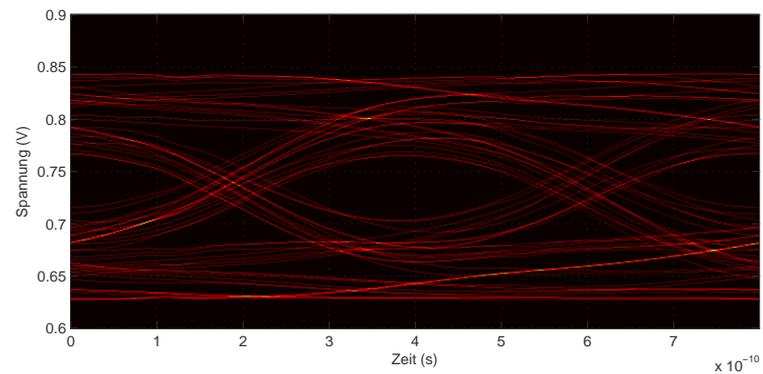
(b) Augendiagramm des Signals nach dem Equalizer bei „Moderate Boost“



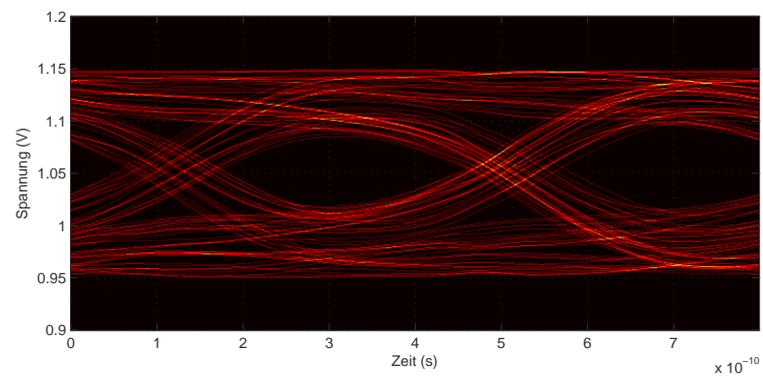
(c) Augendiagramm des Signals nach dem Equalizer bei „Large Boost“

Abbildung 3.12: Augendiagramme der Signale bei einer Kabellänge von 7 m

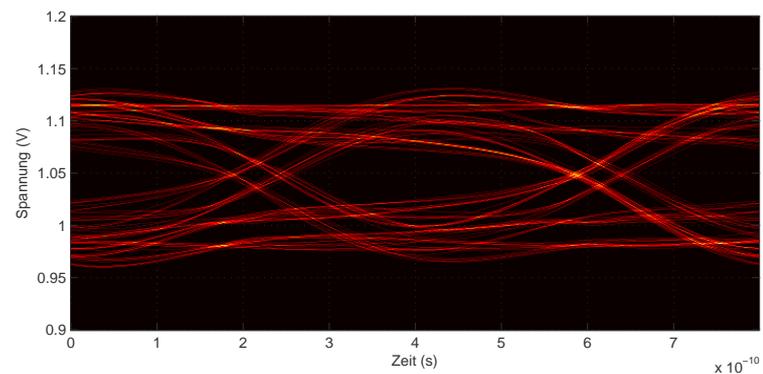
3 Analyse eines Kommunikationssystems



(a) Augendiagramm des Signals vor dem Equalizer



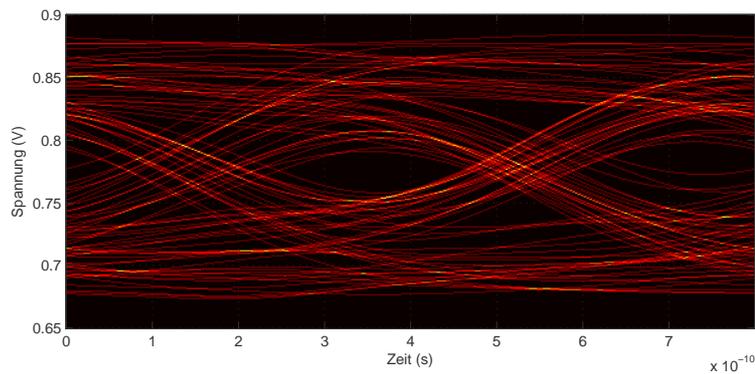
(b) Augendiagramm des Signals nach dem Equalizer bei „Moderate Boost“



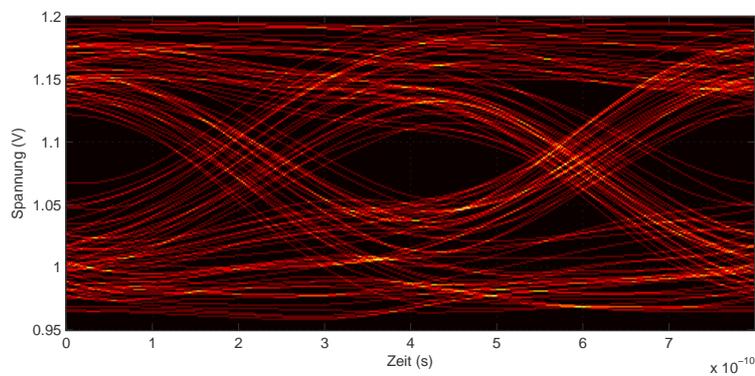
(c) Augendiagramm des Signals nach dem Equalizer bei „Large Boost“

Abbildung 3.13: Augendiagramme der Signale bei einer Kabellänge von 10 m

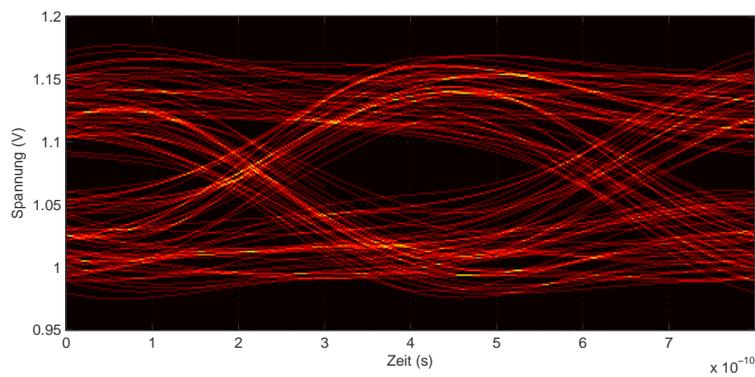
3.4 Simulierte Verbindung mit einem Virtex5 GTX-Eingangspuffer



(a) Augendiagramm des Signals vor dem Equalizer



(b) Augendiagramm des Signals nach dem Equalizer bei „Moderate Boost“



(c) Augendiagramm des Signals nach dem Equalizer bei „Large Boost“

Abbildung 3.14: Augendiagramme der Signale bei einer Kabellänge von 13 m

3.5 Fazit

Durch Einsicht in die Schaltpläne des Designs der TU Kaiserslautern konnten einige Erkenntnisse gewonnen werden. Zum einen eine Idee, wie eine jitterarme Takterzeugung realisiert werden kann, zum anderen ist mit dem Serialisierer bewiesen worden, dass in einer Technologie mit 180 nm Strukturgrößen Datenraten im Bereich von 2,5 Gbit/s realisierbar sind.

Allerdings ist durch die frequenzabhängige Dämpfung des Kanals das beim FPGA ankommende Signal verzerrt. Bei einer Länge des Verbindungsnetzwerkes von 10 m ist die sich ergebende Signalamplitude kleiner als von der minimalen Spezifikation eines für diese Datenraten ausgelegten Eingangspuffers gefordert. Nicht zu vergessen ist der betrachtete Anwendungsfall idealisiert: Weder Phasenrauschen des Taktgebers, Pulsnebensprechen von eventuell benachbarten Leitungen, noch Effekte durch eine verstrahlte Umgebung oder durch andere im Signalpfad befindliche Komponenten wurden berücksichtigt, so dass in einem realen Szenario die Reserven noch kleiner ausfallen sollten. Eventuell könnte durch Anpassung der Datenrate oder Verwendung von noch besseren Kabeln die Reichweite gesteigert werden. Überlegungen hierzu befinden sich im folgenden Kapitel.

Alles in Allem ist eine unmodifizierte Benutzung dieses Designs für leitungsgebundene Signalisierung mit einem solchen Kabel über eine größere Strecke als 10 m bei 2,5 Gbit/s Datenrate für den Anwendungsfall ungeeignet.

4 Modellerstellung und Signalfilterung

Um bereits vor dem Bau eines Prototypen abschätzen zu können, wie stark ein Signal beim Durchlaufen eines Übertragungskanal verzerrt wird, kann eine Simulation durchgeführt werden. Dafür wird ein möglichst akkurates Modell des Kanals benötigt.

Für die Modellerstellung existieren einige Möglichkeiten. Ist die Übertragungsstrecke schon vorhanden, können durch Messungen die elektrischen Parameter charakterisiert werden, und aus den Daten ein Modell generiert werden, welches dann wiederum in einem Schaltkreissimulator verwendet werden kann. Die Messgeräte lassen sich grob in zwei Kategorien einteilen: Einmal diejenigen, die im Frequenzbereich arbeiten, wie Netzwerk- und Spektrumanalysatoren, und andere, im Zeitbereich arbeitende Geräte, wie beispielsweise Zeitbereichsreflektometer. Da mit den vorhandenen, im Frequenzbereich arbeitenden Geräten keine differentiellen Messungen möglich sind, wurde ein Versuch der Charakterisierung eines Leiterstückes mit einem Zeitbereichsreflektometer durchgeführt.

Im folgenden Kapitel wird zunächst die Modellerstellung eines Übertragungskabels beschrieben, und dann auf diesen Ergebnissen aufbauend die Signalverbesserungsmöglichkeiten durch Filterung untersucht.

4.1 Modellerstellung durch Zeitbereichsreflektometrie

Ein Zeitbereichsreflektometer (TDR) ist ein Messgerät, mit dessen Hilfe Übertragungskanäle ausgemessen werden können. Dabei arbeitet es im Zeitbereich, das heißt aus dem Messergebnis kann nicht direkt auf ein Modell geschlossen werden, welches über den Frequenzbereich definiert wird.

Arbeitsweise

Ein Messtor eines TDRs beinhaltet einen Sprunggenerator und ein Sampling-Oszilloskop. Diese sind wie in Abbildung 4.1 gezeigt noch im Gerät miteinander verbunden.

Um eine Messung durchzuführen, wird ein Sprung mit einer typischen Anstiegszeit von 30-70 ps und einer Amplitude von 200 mV in 50Ω erzeugt. Über das Messtor ist der

4 Modellerstellung und Signalfilterung

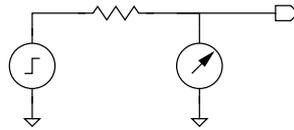


Abbildung 4.1: Ersatzschaltbild eines Messtores eines TDRs, bestehend aus Sprunggenerator und Oszilloskop

auszumessende Übertragungskanal angeschlossen. Die Sprungfront verlässt das Gerät, läuft durch den zu testenden Kanal, und wird an eventuell vorhandenen Impedanzdiskontinuitäten reflektiert. Diese reflektierten Signale laufen zurück zum Messtor, und werden dort über das Sampling-Oszilloskop detektiert. In Abbildung 4.2 ist ein solches Messergebnis abgebildet.

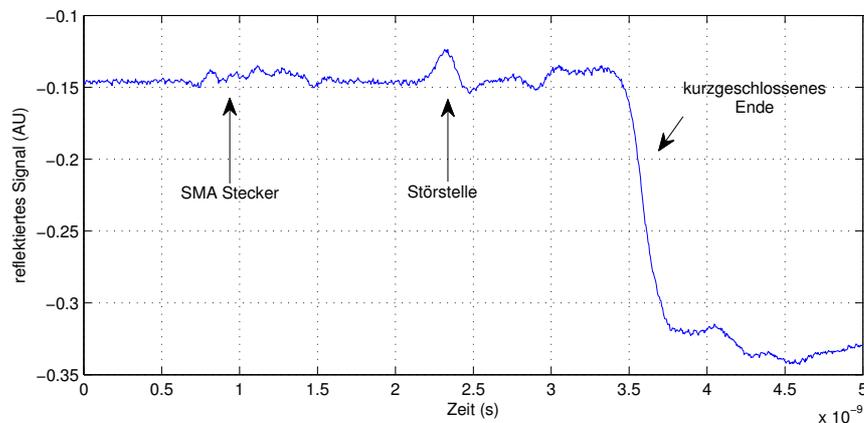


Abbildung 4.2: Messung einer ca. 25 cm langen, am Ende kurzgeschlossenen Teststrecke auf FR-4 mit SMA-Steckern an beiden Enden des Leiters und Störstelle im zweiten Drittel der Teststrecke

Ein TDR-Gerät kann oft noch in einem weiteren Modus betrieben werden, um TDT-Messungen durchzuführen. Hierbei wird über ein Messtor wie gehabt ein Signal erzeugt, das dann allerdings nicht am offenen oder kurzgeschlossenen Ende des Kabels reflektiert wird, sondern über einen weiteren Oszilloskopeingang aufgezeichnet wird. Insbesondere durchläuft hierbei das Signal die Leiterstrecke nur einmal, und wird weniger durch eventuell vorhandene Störstellen verzerrt.

Modellerstellung

Es existieren einige Veröffentlichungen (z.B. [17]), in denen beschrieben wird, wie aus Messdaten eines TDRs eine Impulsantwort des Kanals und daraus ein elektrisches Modell erstellt werden kann. Der einfachste Ansatz geht über die Beziehung

4.1 Modellerstellung durch Zeitbereichsreflektometrie

$$H(\omega) = \frac{R(\omega)}{P(\omega)} \quad (4.1)$$

mit der Kanalübertragungsfunktion H , Fouriertransformierten R des reflektierten Signals und Fouriertransformierten P des erregenden Signals. Approximiert man das erregende Signal durch die Sprungantwort eines minimalen Verbindungsstückes bei einer TDT-Messung, so kann über das Verhältnis (4.1) die Impulsantwort des Kanals approximiert werden. In den Abbildungen 4.3 sind die Zeitfunktionen besagter Signale aufgezeichnet.

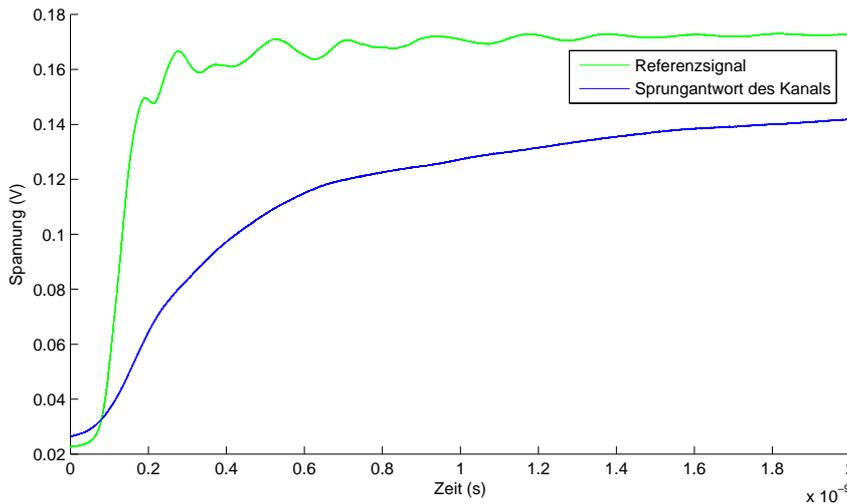


Abbildung 4.3: Graphen von Zeitfunktionen des erregenden Signals und des Signals nach Durchlaufen der Leiterstrecke

Wird der Quotient der fouriertransformierten Signale gebildet, und das Ergebnis in den Zeitbereich zurücktransformiert, ergibt sich die Impulsantwort des Kanals zu der in Abbildung 4.4 gezeigten Zeitfunktion.

Leider ist das Ergebnis unbrauchbar. Die errechnete Impulsantwort ist nur während einer sehr kurzen Zeit von Null verschieden, erwartet werden würde eine Zeitfunktion ähnlich der Impulsantwort eines einfachen RC -Tiefpasses.

Wird hingegen die erregende Funktion als ideale Sprungfunktion angenommen, kann durch Ableitung des aufgezeichneten Zeitsignals die Impulsantwort des Kanals ermittelt werden. In Abbildung 4.5 ist dies aufgezeichnet.

Auch dieses Signal ist unbrauchbar. Die Form ist zwar grob wie erwartet, jedoch ist die Impulsantwort stark verrauscht und die Skalierung übertrieben. Dies rührt wohl durch den Umstand her, dass bei Bildung des Differenzenquotienten Werte nahe Null durcheinander geteilt werden. Schon bei kleinen, durch Rauschen verursachte Messfehler wird das Ergebnis dann unbrauchbar. Deshalb wurde bei dieser Messung durch Durchschnittsbildung über 1000 Messreihen versucht, die Effekte durch thermisches Rauschen zu mi-

4 Modellerstellung und Signalfilterung

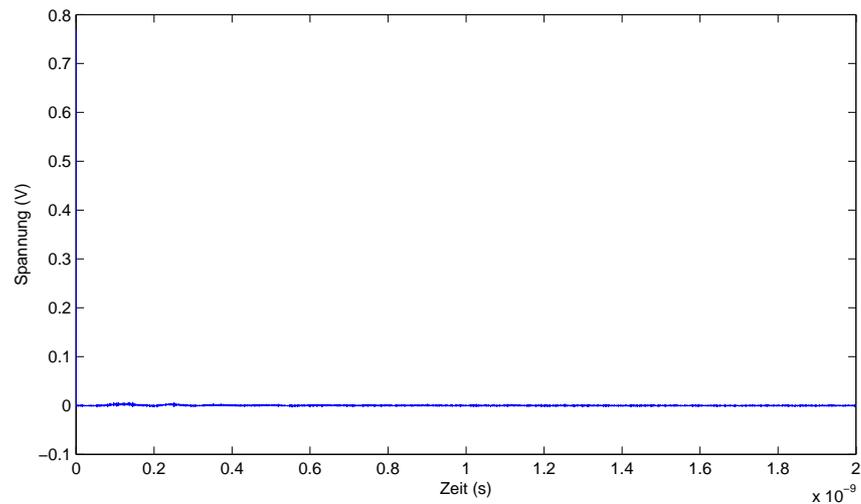


Abbildung 4.4: Berechnete Impulsantwort des Übertragungskanals. Ergebnis ist unbrauchbar

nimieren. Durch Bandbegrenzung der Impulsantwort auf 5 GHz können diese Effekte etwas kompensiert werden, die Skalierungsprobleme bleiben jedoch bestehen.

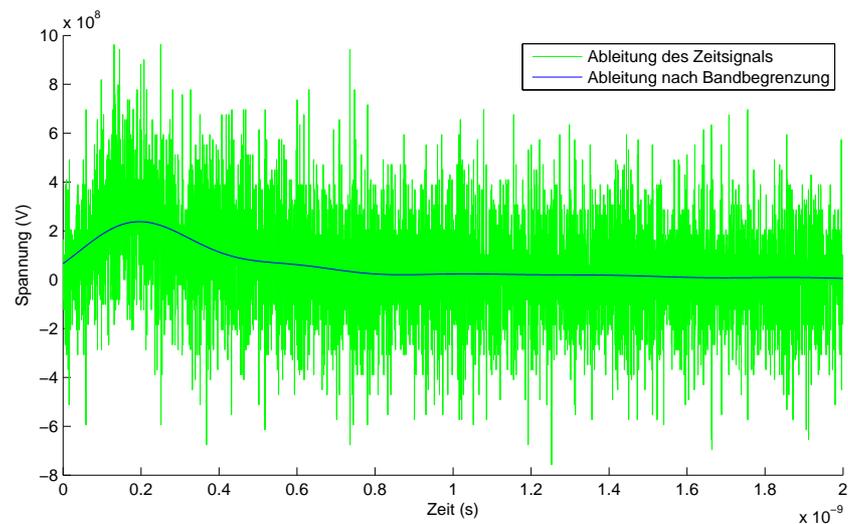


Abbildung 4.5: Zeitliche Ableitung des Signals und Ergebnis nach Bandbegrenzung auf 5 GHz

In den betrachteten Veröffentlichungen wurden noch einige andere, verfeinerte Verfahren mit fortgeschrittenen numerischen Methoden beschrieben, die dieses Problem adressieren und allesamt gute Ergebnisse liefern sollen, jedoch konnten die Ergebnisse

nicht nachvollzogen werden. Somit wurde eine Modellerstellung auf diese Art verworfen. Trotzdem besteht mit Hilfe eines TDRs prinzipiell die Möglichkeit, durch Fensterung des aufgezeichneten Zeitsignals einzelne Komponenten einer Übertragungsstrecke isoliert zu charakterisieren.

4.2 Modellerstellung über Datenblattwerte

In [10] ist für die in Abschnitt 2.1 erarbeitete Übertragungsfunktion eine Vorgehensweise beschrieben, wie über einen Fit von Kanalparametern ein elektrisches Modell anhand der Dämpfungswerte des Leitersystems erstellt werden kann.

Der Ausbreitungsfaktor ist ähnlich wie in Gleichung (A.6) beschrieben

$$\gamma = \sqrt{(j\omega L_0 + R(\omega)) (j\omega C(\omega))}.$$

Dabei wurde für L_0 die Induktivität angenommen, die sich einstellt, wenn Frequenzen betrachtet werden, für die der Leitungswellenwiderstand $\sqrt{L/C}$ ist. Ferner wurde die Komponente G' aus Ersatzschaltbild A.1 durch eine komplexe Beschreibung der Kapazität ersetzt. Dann wird der Serienwiderstand zu einer Funktion der Frequenz, um den Skin-Effekt modellieren zu können. In Formeln:

$$R(\omega) = \sqrt{(R_{DC})^2 + (R_{AC}(\omega))^2}$$

mit Gleichstromwiderstand R_{DC} und Parameter R_{AC} , der weiter modelliert wird als

$$R_{AC}(\omega) = R_0 \sqrt{\frac{2j\omega}{\omega_0}} = R_0 (1 + j) \sqrt{\frac{\omega}{\omega_0}}.$$

Über R_{AC} wird der Verlust an Leitfähigkeit, der durch den Skin-Effekt entsteht, modelliert. Dieser wirkt sich erst ab einer gewissen Frequenz ω_0 aus.

Die Quadratwurzel Summe der Quadrate der beiden Widerstandskomponenten werden zur gemeinsamen frequenzabhängigen Widerstandsfunktion vereinigt, die laut [10] den Übergang von Gleich- zu Wechselstrom für viele Anwendungsfälle korrekt modellieren soll.

Ferner gilt

$$L_0 = \frac{Z_0}{v_0}$$

und

$$C_0 = \frac{1}{Z_0 v_0},$$

4 Modellerstellung und Signalfilterung

was mit

$$C(\omega) = C_0 \left(\frac{j\omega}{\omega_0} \right)^{\frac{-2\theta_0}{\pi}}$$

die frequenzabhängige, komplexwertige Kapazität $C(\omega)$ modelliert.

Die Übertragungsfunktion ergibt sich zu

$$H(\omega, l) = e^{-l\gamma(\omega)}$$

mit Kanallänge l . Während bei der in Anhang A über einen Parameter x die Position auf dem Übertragungskanal parametrisiert wurde, ist für diesen Anwendungsfall nur die absolute Länge des Verbindungsnetzwerkes relevant.

Über die Beziehung

$$-20 \log_{10}(|H(\omega, l)|) \tag{4.2}$$

kann die Dämpfung des Kanals in dB in Abhängigkeit der Frequenz und der Leitungslänge angegeben werden.

Mit Hilfe von Gleichung (4.2) können mit frequenzabhängigen Dämpfungswerten und Werten für die charakteristische Impedanz Z_0 , Ausbreitungsgeschwindigkeit v_0 und Gleichstromwiderstand R_{DC} , die oft in den entsprechenden Datenblättern angegeben werden, über einen Fit mit der Dämpfungsfunktion die fehlenden Parameter R_{AC} und θ_0 ermittelt werden. Ein entsprechendes Gnuplot-Skript befindet sich in Anhang B.1.

Für ein Kabel mit vier differentiellen Paaren mit Signalleiterstärken von 22 AWG ergibt sich aus den Angaben im Datenblatt die in Abbildung 4.6 gezeigte Interpolation. In Anhang B.1 ist die Vorgehensweise für dieses Beispiel dokumentiert.

Soweit nicht anders gekennzeichnet, werden für die anschließenden Simulationen auf eine Kanalübertragungsfunktion dieses speziellen Kabels zurückgegriffen, weil von diesem im Gegensatz zu den übrigen betrachteten Kabeln ein längeres Stück verfügbar ist.

4.3 Bandbreite von Rechteckimpulsen

Mit Hilfe der diskreten Fouriertransformation kann ein durch einen Taktgenerator erzeugtes und per Oszilloskop aufgezeichnetes Taktsignal auf seine Frequenzanteile hin untersucht werden. Ein solches mit einer Frequenz von 1 MHz und Amplitude von 1 V ist in 4.7 abgebildet.

Da es sich um ein abgetastetes Signal handelt, kann die diskrete Fouriertransformation benutzt werden, um das Spektrum dieses Signals zu erhalten. In Abbildung 4.8 sind die Frequenzanteile aufgezeichnet. Der Bereich, in dem das Spektrum von Null verschiedene Werte aufweist, heißt Bandbreite des Signals.

4.3 Bandbreite von Rechteckimpulsen

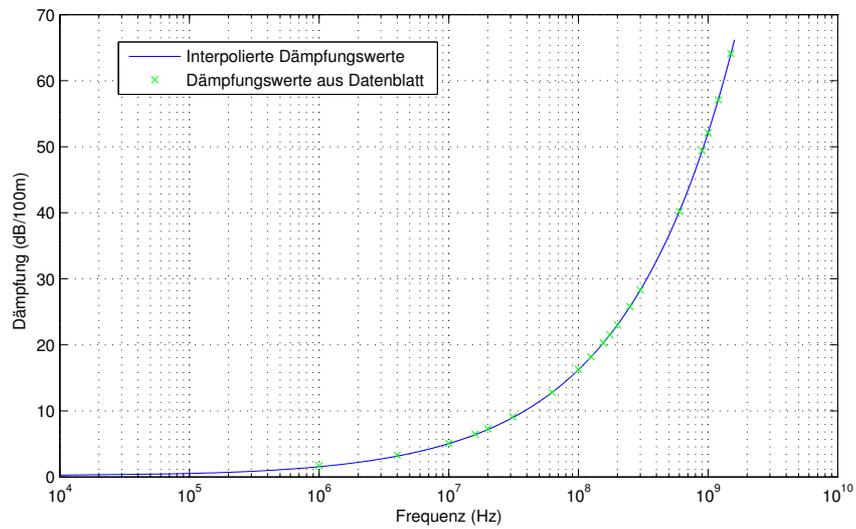


Abbildung 4.6: Diskrete und interpolierte Dämpfungswerte

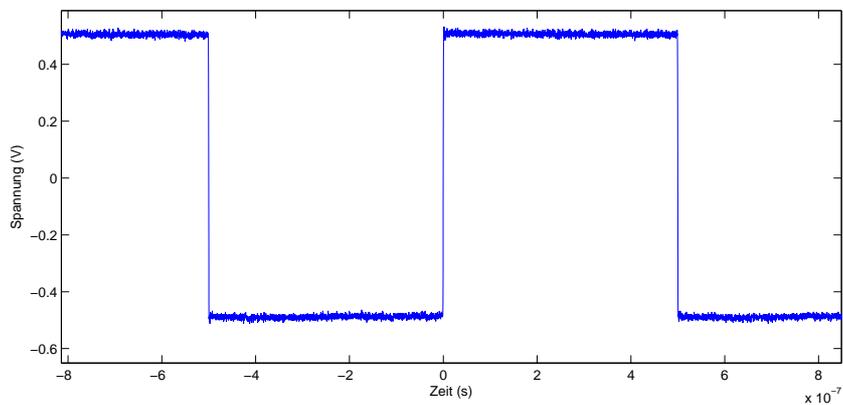


Abbildung 4.7: Oszilloskopaufnahme eines Taktsignals mit Frequenz 1 MHz und Amplitude 1 V

4 Modellerstellung und Signalfilterung

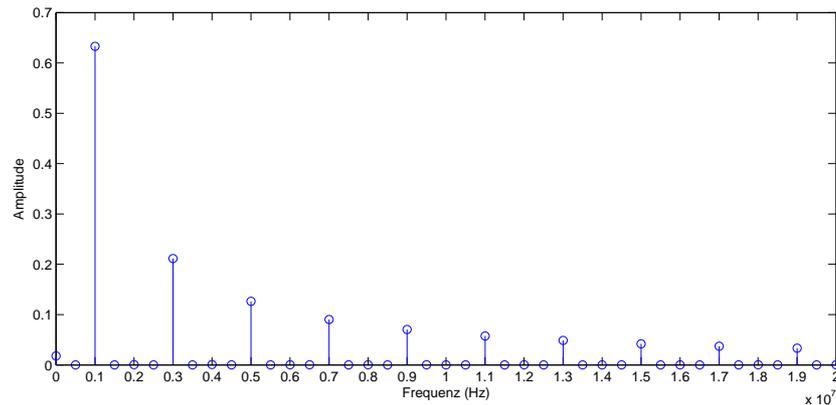


Abbildung 4.8: Ausschnitt aus dem positiven Betragsspektrum des Taktsignals aus 4.7. Die Höhe der Punkte entspricht der relativen Amplitude einer trigonometrischen Basisfunktion für diese Frequenzkomponente

Da das Originalsignal eine Frequenz von 1 MHz aufweist, besitzt die Frequenz bei 1 MHz die größte Amplitude. Nachfolgend sind die höchsten Amplituden abnehmend mit jeweils 2 MHz Abstand verteilt. Um ein Gefühl für die Bandbreite des Nutzsignals zu bekommen, wird es im Folgenden bandbegrenzt, das heißt die Signalanteile ab einer gewissen Frequenz ausgeblendet.

Das Oszilloskop bietet die Möglichkeit, eine analoge Bandbegrenzung auf 20 MHz zuzuschalten. In Abbildung 4.9 sind ein durch Weglassen aller spektralen Anteile über 20 MHz errechnetes, und einmal durch analoge Bandbegrenzung am Oszilloskop verzerrtes Taktsignal übereinandergelegt.

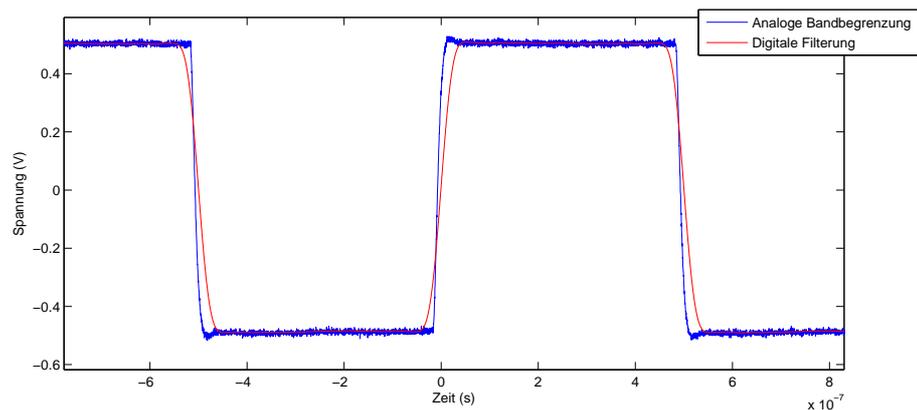


Abbildung 4.9: Das Taktsignal aus Abbildung 4.7, einmal durch ein digitales, und ein anderes Mal durch ein analoges Filter auf 20 MHz bandbegrenzt

4.3 Bandbreite von Rechteckimpulsen

Die leichte Abweichung in der Flankensteilheit liegt in der Benutzung einer Fensterfunktion zur Unterdrückung von Überschwängern beim Ausschneiden der gewünschten Frequenzanteile begründet.

Wie in 4.7 außerhalb der Pegelwechsel zu sehen, ist das aufgezeichnete Signal verrauscht. Dies spiegelt sich im Spektrum durch hohe Frequenzanteile mit geringen Amplituden wider. Schön zu sehen ist, dass nur bei der digitalen Filterung das hochfrequente Rauschen herausgefiltert wird, da dieses im vom Oszilloskop aufgezeichneten Signal nach dem Bandpassfilter bei der Abtastung auftritt.

Stärkere Reduzierung der Bandbreite wirkt sich wie in Abbildung 4.10 gezeigt direkt auf die Steilheit der Signalflanken aus.

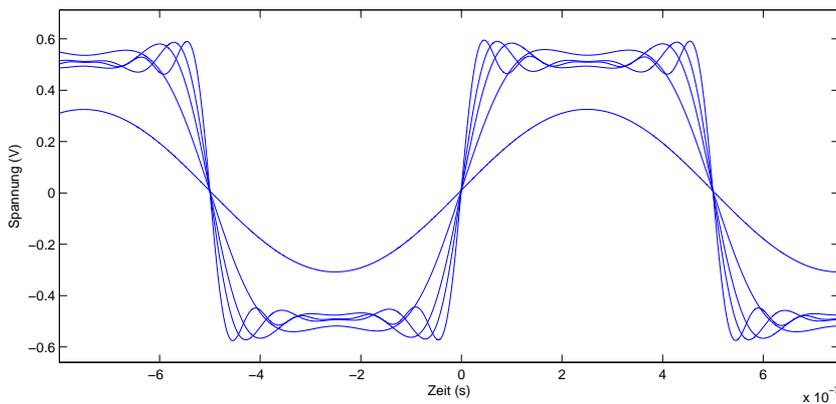


Abbildung 4.10: Bandbegrenzung des Signals auf 0, 1, 2, 3, 10 Oberwellen der Signalfrequenz. Mit Erhöhung der Anzahl an Oberwellen und somit der Bandbreite des Signals werden die Flanken steiler und die einzelnen Signalphasen klarer voneinander unterscheidbar. Im Unterschied zur Abbildung 4.9 wurde hier keine Fensterfunktion verwendet, sondern das Signal hart ausgeschnitten, was der Grund für die Überschwinger ist

Wenn nur noch die der Signalfrequenz entsprechenden Frequenz zur Rekonstruktion des Zeitsignals herangezogen werden kann, ist die Flankensteilheit am schlechtesten. Mit einer immer größeren Anzahl an betrachteten Oberwellen nähert sich das Signal immer mehr einer idealen Rechteckform an.

Wie in Abbildung 4.10 zu sehen ist, benötigt man in grober Näherung eine Bandbreite, die mindestens ein bis zwei Oberwellen in einer relevanten Amplitude umfasst, um eine Flankensteilheit zu erreichen, mit der die einzelnen Taktphasen klar voneinander unterscheidbar sind. Dies kann für eine erste Abschätzung hilfreich sein, um anhand der Dämpfungsspezifikation eines Kabels zu entscheiden, ob es für eine gewünschte Datenrate und Länge geeignet ist.

4.4 Signalfilterung zum Ausgleichen der Kanalverzerrungen

Das Taktsignal aus dem vorigen Abschnitt kann als Datenstrom interpretiert werden, bei dem in jeder Symbolperiode ein Pegelwechsel auftritt.

Die Dämpfungseigenschaften eines typischen Verbindungsnetzwerkes sind eine Funktion der Frequenz und der Länge. Durch die frequenzabhängigen Dämpfungseigenschaften werden Teile breitbandiger Signale ungleichmäßig bedämpft. Infolgedessen kommt es zu Verzerrungen des Signals.

Ist die Länge eines Kabels gegeben und eine fehlerfreie Signalübertragung bei einer bestimmten Datenübertragungsrate nicht möglich, existiert die Möglichkeit, das Signal beim Sender so vorzuverzerrern, dass es nach Durchlaufen des Kanals möglichst störungsfrei am Empfänger ankommt. Allgemein muss dafür die Energie der Signalanteile mit höheren Frequenzanteilen im Verhältnis zu denen mit niedrigeren Frequenzanteilen verstärkt werden. Prinzipiell ist es egal, ob diese frequenzabhängige Verstärkung vor oder nach Durchlaufen der Leiterstrecke vorgenommen wird.

Emphasis

Um die Auswirkungen der Tiefpassfilterung durch einen Übertragungskanal näher zu untersuchen, wird ein isolierter Rechteckpuls von 1,25 ns Länge und 0,6 V Höhe nach Tiefpassfilterung durch ein typisches Verbindungsnetzwerk¹ und Bandbegrenzung auf 20 GHz in Abbildung 4.11 gezeigt.

Deutlich zu erkennen ist neben einer größeren Anstiegszeit der Flanken eine Verbreiterung des Pulses. Wird der Rechteckpuls zur Kodierung eines Datensymbols verwendet, so interferiert also jeweils ein Symbol mit den nachfolgenden Datensymbolen. Die Symbole laufen ineinander, und sind schwieriger voneinander zu unterscheiden. Um dies zu verbessern, muss vor allem das lange, nur langsam abklingende Signalanhängsel nach dem Pulsmaximum verkleinert werden.

Wenn jetzt die fallende Flanke des erregenden Pulses tiefer fällt, kann die Impulsantwort des gefilterten Rechteckpulses schneller eine Grundlinie erreichen. Ein solches Schema ist in Abbildung 4.12 abgebildet.

Die Signalteile, die zeitlich nach dem Hauptpuls gelagert sind, werden *Postcursor* genannt.

¹tatsächlich handelt es sich bei der Übertragungsfunktion des Tiefpasses um die eines 14,17 m langen Stückes des Kabels, welches als Muster zur Verfügung gestellt wurde. Die Übertragungsfunktion wurde mit der in Abschnitt 4.2 beschriebenen Methode aus Datenblattwerten gewonnen. Die gewählte Länge liegt im Wunsch nach einer bestimmten zeitlichen Überlagerung der Kurven im Plot begründet

4.4 Signalfilterung zum Ausgleichen der Kanalverzerrungen

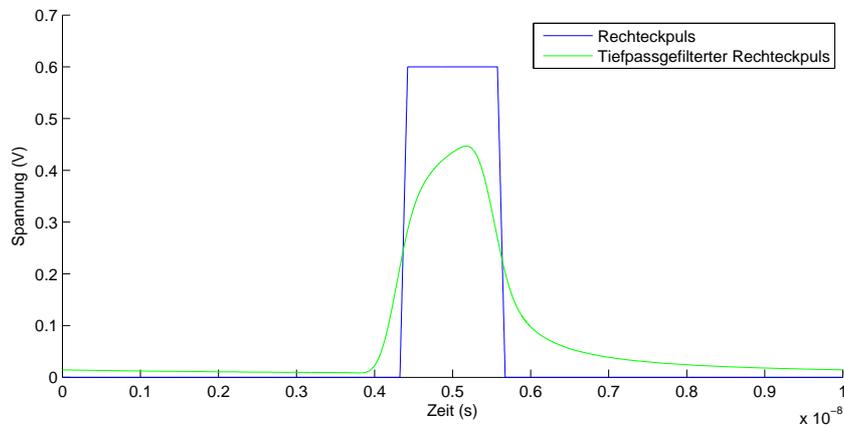


Abbildung 4.11: Erregender Rechteckpuls und Form dieses Pulses nach Filterung durch die Übertragungsfunktion eines typischen Kabels

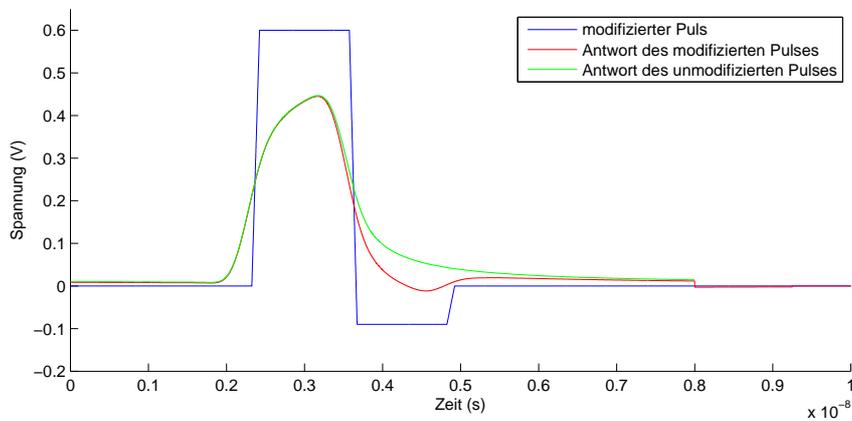


Abbildung 4.12: Durch Vergrößerung der Falltiefe nach dem Pulsmaximum nähert sich das gefilterte Signal schneller der Grundlinie an

4 Modellerstellung und Signalfilterung

Die Filterwirkung kann wie in Abbildung 4.13 gezeigt durch stärkere Signalverzerrung noch weiter verbessert werden. Hier wird sowohl die steigende als auch die fallende Flanke durch einen kurzen, entgegengesetzt gerichteten Puls geschärft. Insbesondere findet jetzt die Filterung nicht mehr im vollen Symbolabstand, sondern im halben Symbolabstand statt. Teile vor dem Hauptpuls heißen entsprechend *Precursor*.

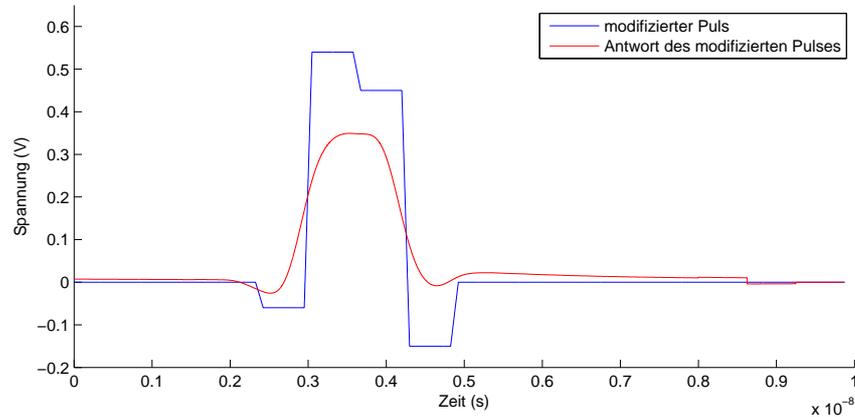


Abbildung 4.13: Pulsmodifikation im halben Symbolabstand mit Unterstützung sowohl der steigenden als auch der fallenden Flanke

Durch diese einfachen Maßnahmen kann die Länge der Impulsantwort eines zur Signalisierung verwendeten Datensymbols verkleinert werden, so dass die zeitliche Dauer möglichst nur auf eine Symbolperiode beschränkt ist.

Interessant ist die spektrale Energieverteilung der einzelnen Pulsformen. In Abbildung 4.14 sind die Spektren der drei vorgestellten Pulsformen abgebildet.

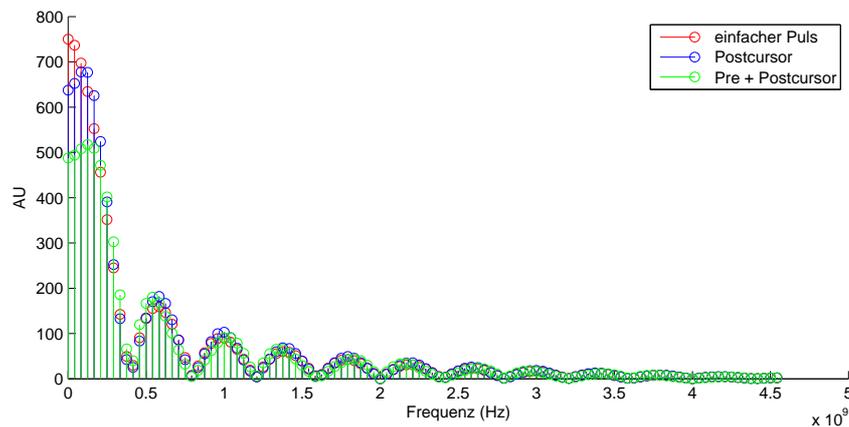


Abbildung 4.14: Ausschnitt der positiven Betragsspektren der einzelnen vorgestellten Pulsformen. Durch die Pulsfilterung werden tiefe Frequenzen bedämpft

4.4 Signalfilterung zum Ausgleichen der Kanalverzerrungen

Augenscheinlich ist der Bandbreitenbedarf jeweils ähnlich, nur ist die Energieverteilung unterschiedlich. Die verzerrten Pulsformen bedämpfen jeweils die Signalteile mit niedrigen Frequenzen, um die Impulsantwort des Datensymbols zeitlich zu verkürzen.

Senderseitige Signalverbesserung wird allgemein als *Emphasis* bezeichnet. Prinzipiell kann die Energie von hohen Frequenzanteilen auf zwei Arten vergrößert werden: einmal absolut und einmal relativ durch bedämpfen der niedrigen Frequenzanteile. Ersteres wird *Preemphasis*, letzteres *Deemphasis* genannt. Die bisher vorgestellten Pulsformen sind allesamt den Deemphasis-Filtern zuzurechnen.

FIR-Filter

Die bisher vorgestellten Sendersignale können durch FIR-Filter erzeugt werden. Bei FIR-Filtern ist das Ausgangssignal nicht nur von dem aktuellen Symbol im Datenstrom abhängig, sondern noch zusätzlich von der Historie der bisher übertragenen Symbole. Ist $D(n)$ das aktuell zu übertragende Datum, kann der aktuelle Signalwert $S(n)$ durch

$$S(n) = m_0 D(n) + m_1 S(n-1) + m_2 S(n-2) + \dots + m_N S(n-N)$$

mit Gewichten m_i aus der Historie der bisherigen Symbole gefunden werden. Sind die Datensymbole binär mit 0 und 1 kodiert, vereinfacht sich die Multiplikation zu einer bedingten Addition der einzelnen Gewichte.

Die Größe der Filtergewichte m_i wird durch die Übertragungseigenschaften des Kanals bestimmt. Für einen Ausgangstreiber, der eine solche Signalfolge erzeugen soll, bedeutet dies, dass er nicht mehr wie ein einfacher Schalter zwischen zwei Spannungsniveaus hin- und herwechseln kann, sondern mehr wie ein DAC arbeiten muss.

Während prinzipiell die zeitlichen Abstände zwischen den Filterstufen kleiner als die Dauer einer Datensymbolperiode sein können, werden diese jedoch bei schnellen Serialisierern aus Implementierungsgründen üblicherweise identisch gewählt, das heißt die einzelnen Filterstufen arbeiten im Symboltakt. Durch die üblicherweise ohnehin schon vorhandenen Taktinformationen und Infrastruktur kann eine Historie der letzten N Datensymbole in einem Schieberegister einfach vorgehalten, und zur Bestimmung der jeweiligen Ausgangssignalamplitude herangezogen werden.

Nach dem Abtasttheorem kann bei dieser Rate nur eine Filterwirkung für Frequenzen kleiner der halben Symbolfrequenz erzielt werden. Folglich können mit FIR-Filtern nur die vorgestellten Deemphasis-Filter realisiert werden. Der Hauptnachteil dieser Methode ist, dass ein Teil der Signalamplitude zur Pulsformung benutzt wird. Die verbleibende Nutzsignalamplitude am Sender ergibt sich zu

$$A \left(1 - \sum_{i=1}^N |m_i| \right),$$

4 Modellerstellung und Signalfilterung

wobei A die größtmögliche Signalamplitude ist, die der Sender erzeugen kann. Die Signalamplitude am Empfänger hängt zusätzlich noch von der Dämpfung des Kanals bei der Symbolfrequenz ab.

Perfekter Ausgleich der Leitungscharakteristik

Ein perfekter Ausgleich der Leitungscharakteristik kann mit einer Signalfilterung mit der Inversen der Übertragungsfunktion des Kanals erreicht werden. Wird die betrachtete Bandbreite auf 20 GHz begrenzt², und ein Rechteckpuls mit der inversen Kanalübertragungsfunktion gefiltert, ergibt sich die in Abbildung 4.15 gezeigte Pulsform.

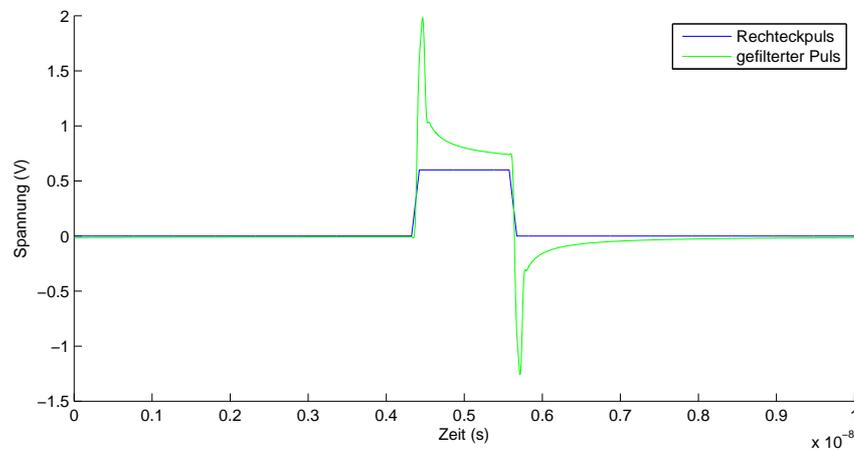


Abbildung 4.15: Pulsform nach Filterung mit der Inversen der Kanalübertragungsfunktion

Einerseits wird hier im Vergleich zum Originalpuls die Flankensteilheit deutlich erhöht und andererseits der absolute Spannungshub vor allem bei den Pegelwechseln vergrößert. Entsprechend kann im Spektrum 4.16 eine Überhöhung aller und besonders der hohen Frequenzanteile beobachtet werden.

Leider sind die Anforderungen an die Ausgangstreiberstufen, um einen wie in Abbildung 4.15 gezeigten Signalverlauf zu erzeugen, zu groß, als dass diese bei Datenraten im Bereich von mehreren Gbit/s noch realisierbar wären.

²Das für die Modellierung der Kanalübertragungsfunktion verwendete Kabel ist nur bis 1,5 GHz spezifiziert, und daher nicht beliebig extrapolierbar. Bei einem realen Verbindungsnetzwerk wird es ab einer gewissen Frequenz zu einem abweichenden Dämpfungsverlauf kommen. Mit einer immer größeren betrachteten Bandbreite nimmt die Flankensteilheit des Signals weiter zu

4.4 Signalfilterung zum Ausgleichen der Kanalverzerrungen

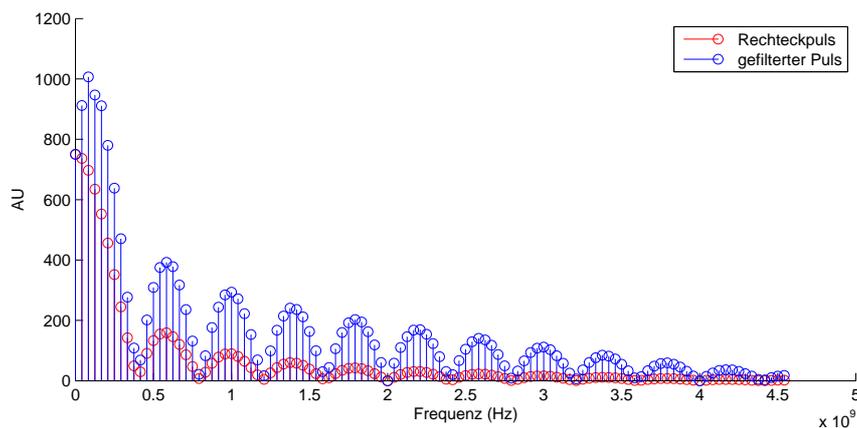


Abbildung 4.16: Ausschnitt aus dem positiven Betragsspektrum der mit der Inversen der Kanalübertragungsfunktion gefilterten Pulsform und Spektrum des einfachen Rechteckpulses

Simulation eines Symbolstroms

Die einfachste Form der Datenkodierung ist NRZ oder 2-PAM. Ein binäres 1-Symbol entspricht dort einem High-Pegel und ein binäres 0-Symbol entspricht einem Low-Pegel. Zur Übertragung dieser Symbole werden entsprechende Pulse benutzt, das heißt um ein 1-Symbol zu senden wird eine gewisse Zeit T ein High-Pegel auf eine Leitung gelegt, und um ein 0-Symbol zu übertragen entsprechend ein Low-Pegel. Dies ist in Grafik 4.17 zu sehen.

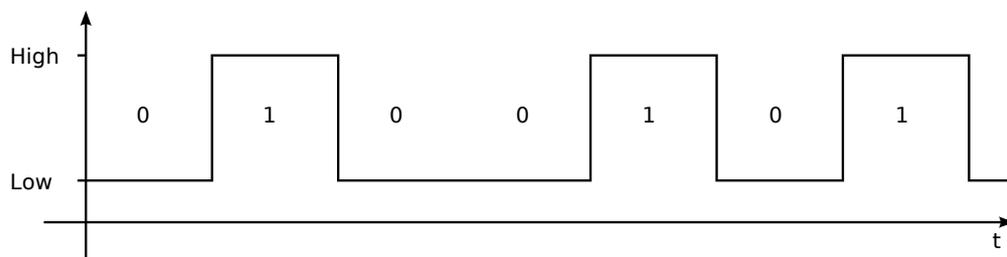


Abbildung 4.17: Ausschnitt aus einem NRZ-kodierten Datenstrom

Diese Form der Symbolkodierung ist ob des trivialen Kodierungsaufwandes weit verbreitet.

Wird ein solcher Symbolstrom über einen Übertragungskanal geleitet, treten die im letzten Abschnitt gezeigten Verzerrungen auf. Durch die zeitliche Ausbreitung der zur Datenkodierung benutzten Pulse auf einen Bereich, der größer ist als eine Symboldauer, kommt es zu Interferenzen zwischen aufeinanderfolgenden Datensymbolen. Dies äußert

4 Modellerstellung und Signalfilterung

sich in einer datenabhängigen Veränderung der maximalen und minimalen Pegel.

In Abbildung 4.18 ist ein NRZ-kodierter Strom mit einer Symboldauer von 1,25 ns oder 800 Mbit/s aus Rechtecksymbolen abgebildet. Das Empfängersignal, wie es sich am Ende einer 14 m langen Übertragungsstrecke einstellen würde, ist darübergelegt.

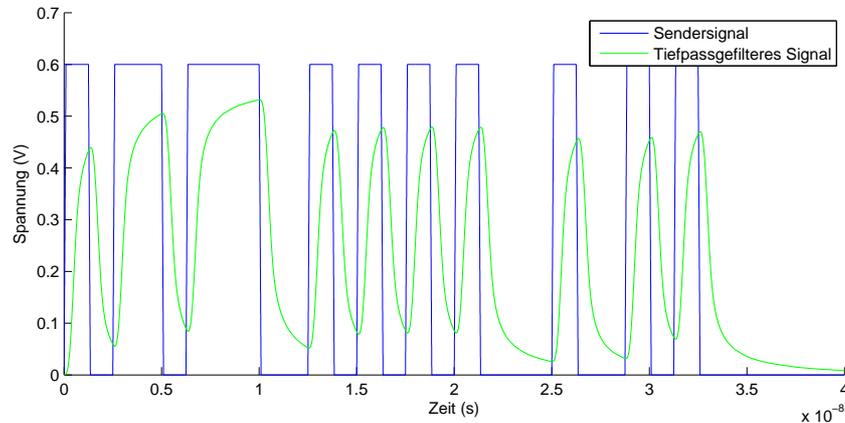


Abbildung 4.18: ein rechteckförmiges Sendersignal wird durch die frequenzabhängige Dämpfung des Verbindungsnetzwerkes verzerrt

Um eine größere Datenbasis zu betrachten, wird ein pseudozufälliger Datenstrom mit einer maximalen Länge von sieben aufeinanderfolgenden, identischen Symbolen in Augendiagramm 4.19 periodisch übereinander gelegt. Durch die Interferenzen der Einzelsymbole ist die vertikale Augenöffnung am Empfänger etwas kleiner als am Sender, dort beträgt die Signalamplitude 600 mV.

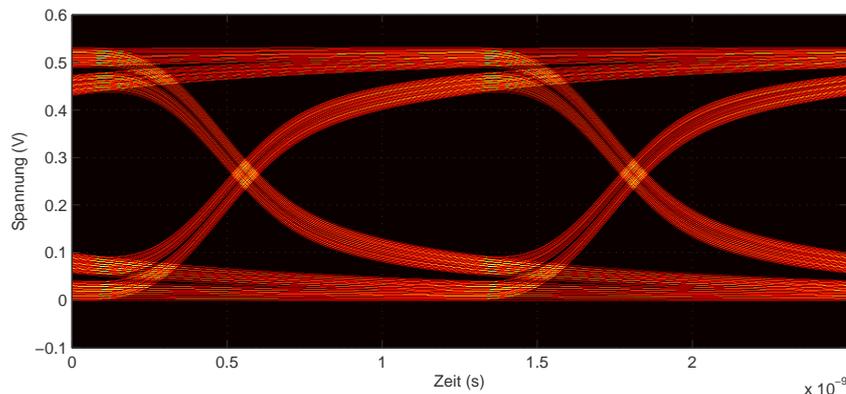


Abbildung 4.19: Augendiagramm des Signals aus Abbildung 4.18. Zu erkennen ist eine Verkleinerung der Augenöffnung im Vergleich zu den erregenden Rechteckpulsen

4.4 Signalfilterung zum Ausgleichen der Kanalverzerrungen

Während in den meisten Fällen dieses Signal noch sehr gut detektierbar sein sollte, vergrößert sich mit zunehmender Länge des Übertragungskanals die Dämpfungswirkung, was eine größere zeitliche Ausdehnung jedes einzelnen Symbols zur Folge hat. Dem Augendiagramm 4.20 liegt eine Kanallänge von 40 m zugrunde. Hier beträgt die Differenz zwischen minimalem High-Pegel und maximalem Low-Pegel nur noch einen Bruchteil der Eingangsamplitude.

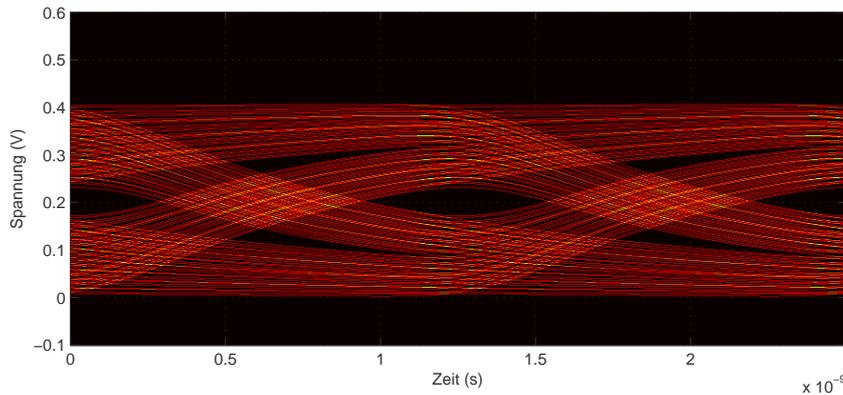


Abbildung 4.20: Augendiagramm bei 800 Mbit/s und 40 m langem Verbindungsnetzwerk

Die freie Fläche innerhalb eines Augendiagramms ist also ein Maß für die Güte eines Signals. In ihrer horizontalen Ausdehnung zeigt eine große freie Fläche eine große Toleranz gegenüber Abtastzeitpunktverschiebungen (Jitter) an und deutet in seiner vertikalen Ausdehnung auf die Störsicherheit gegenüber von externen Einkopplungen hin. Die freie Fläche wird auch aufgrund ihrer charakteristischen Form als „Auge“ bezeichnet.

Bei einer Erhöhung der Kabellänge um weitere 10 m ist das Auge vollständig geschlossen (Abbildung 4.23(a)). Entsprechend kann aus dem übertragenen Signal der gesendete Symbolstrom nicht mehr rekonstruiert werden, da keine Schwelle angegeben werden kann, über der das detektierte Signal als ein 1-Symbol interpretiert werden soll, oder als ein 0-Symbol.

Um das Signal zu verbessern und eine Detektierung nach Durchlaufen der Übertragungsstrecke zu ermöglichen, können die einzelnen Symbole wie gezeigt vorverzerrt werden, sodass die Impulsantwort eines Symbols sich zeitlich weniger weit ausdehnt, sondern möglichst nur innerhalb einer Periodendauer von 0 verschieden ist. Die sich ergebenden Impulsantworten eines einfachen Rechteckpulses und einer auf diese Kanallänge abgestimmte Folge von zwei Rechteckpulsen ist in Abbildung 4.21 abgebildet.

Im Symbolstrom ergeben sich für die unterschiedlichen Erregungen dann die in den Abbildungen 4.22 gezeigten Spannungsverläufe an Sender und Empfänger.

Das sich ergebende Augendiagramm 4.23(b) aus einem viel längeren Datenstrom zeigt, dass zwar die maximalen Signalamplituden kleiner sind, jedoch keine Intersymbolin-

4 Modellerstellung und Signalfilterung

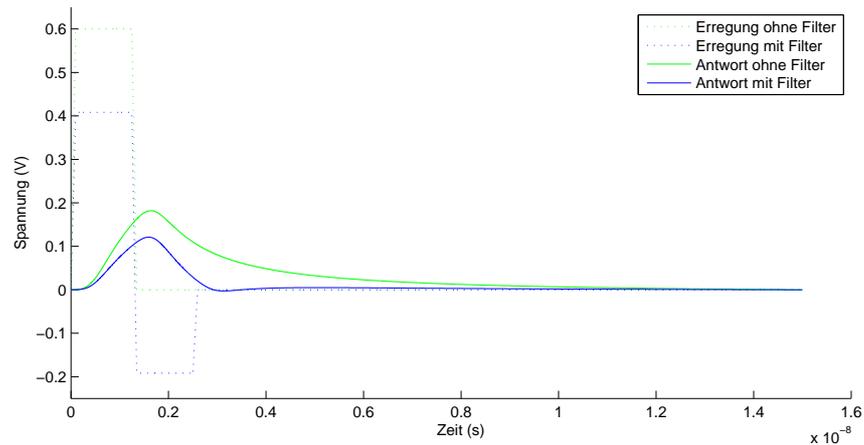
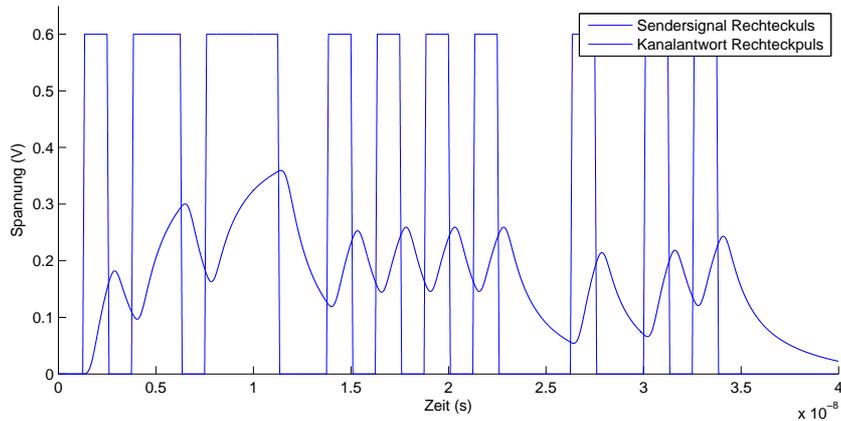


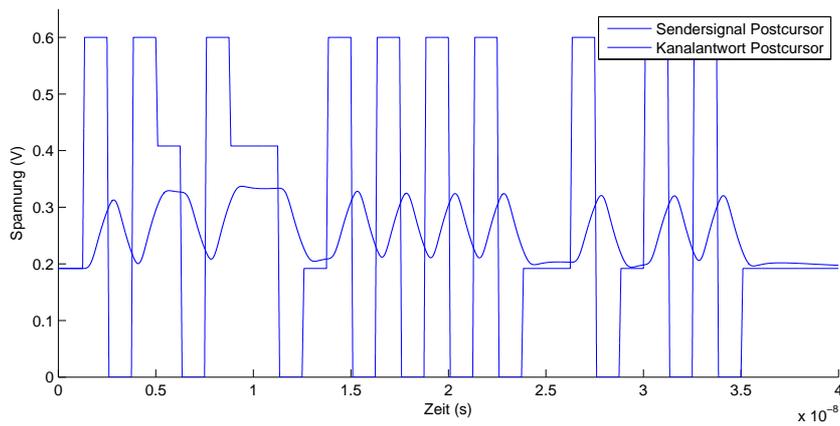
Abbildung 4.21: Erregungspulsfolge und Impulsantwort nach Tiefpassfilterung durch einen 50 m langen Kanal. Zusätzlich abgebildet ist die Impulsantwort eines einfachen Rechteckpulses mit identischer Signalamplitude

terferenzen mehr auftreten. Somit kann am Empfänger klar zwischen den einzelnen Zuständen im Abtastzeitpunkt unterschieden werden. Auch ist sowohl das Signal-zu-Rausch-Verhältnis (vertikale Augenöffnung), als auch die Toleranz bezüglich Jitter (horizontale Augenöffnung) maximiert.

4.4 Signalfilterung zum Ausgleichen der Kanalverzerrungen



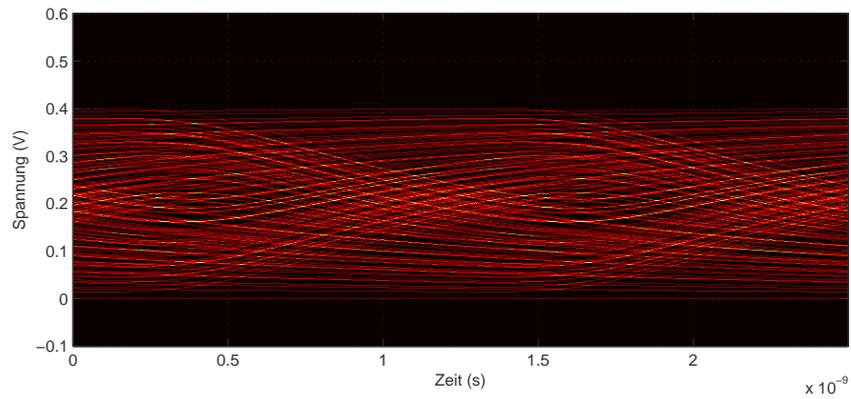
(a) Erregung mit einfachen Rechtecksymbolen



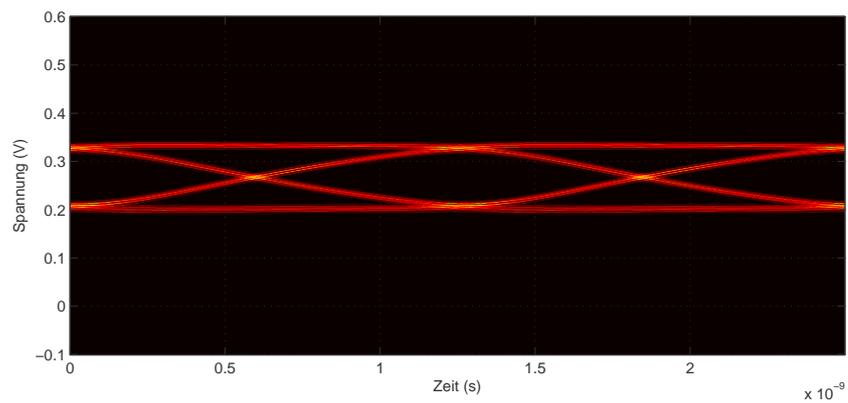
(b) Erregung mit Signalvorverzerrung bei identischer Signalenergie

Abbildung 4.22: Spannungsverläufe an Sender und Empfänger für unterschiedliche Erregungen bei einer Kanallänge von 50 m und einer Symbolrate von 800 Mbit/s

4 Modellerstellung und Signalfilterung



(a) ohne Signalverzerrung



(b) mit Signalverzerrung

Abbildung 4.23: Augendiagramme bei 800 Mbit/s und 50 m langen Kanal

Signalvorverzerrung mit mehr Filterstufen

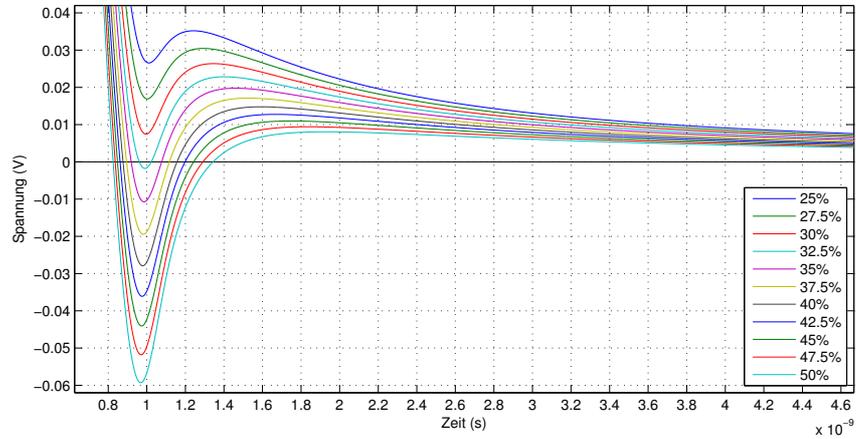
Mitunter kann die Impulsantwort des Erregungssignals ab einer gewissen Länge des Verbindungsnetzwerkes und einer gewissen Datenrate mit nur einer Filterstufe nicht zufriedenstellend minimiert werden. Mit weiteren Filterstufen kann dann eine weitere Verbesserung des Signals erreicht werden. Die folgenden Vergleiche finden bei einer simulierten Übertragungsrate von 2,5 Gbit/s, einer Anstiegszeit des Signals von 150 ps auf 1,2 V unter Verwendung eines 20 m langen Testkabels statt.

In Abbildung 4.24(a) sind Ausschnitte nach der fallenden Signalflanke der Impulsantworten bei einstufiger Filterung mit verschiedenen Gewichten dieser Stufe aufgezeichnet. Je schneller sich das Signal der hervorgehobenen Grundlinie annähert, desto kleiner sind die Verzerrungen, die es beim nachfolgenden Symbol verursacht, und desto besser die Filterwirkung.

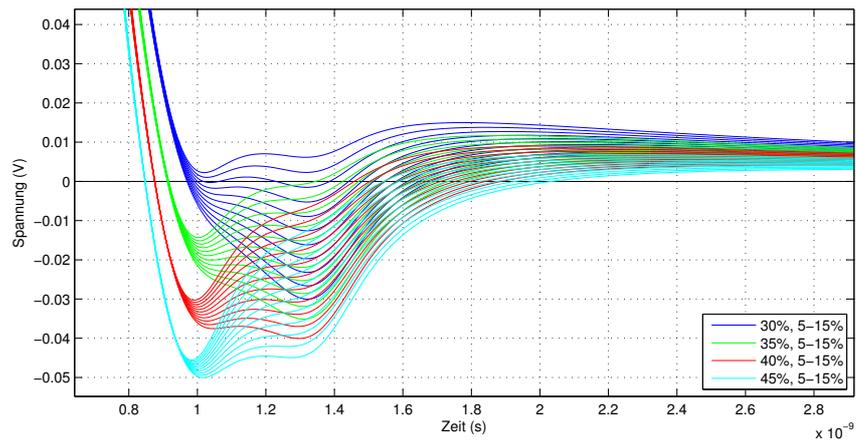
Bei einer zweistufigen Filterung 4.24(b) kann dies noch etwas genauer und schneller gewährleistet werden.

Für einen konkreten Anwendungsfall bleibt abzuwägen, wie viele Filterstufen eingebaut werden sollen, da diese Platz kosten und die Ansteuerung des Treibers verkomplizieren. Eventuell ist es ausreichend, nur eine Filterstufe vorzusehen, und dafür die Signalamplitude zu maximieren.

4 Modellerstellung und Signalfilterung



(a) Einstufige Filterung mit verschiedenen Gewichten



(b) Zweistufige Filterung mit verschiedenen Gewichten. Farblich zusammengefasst sind die Impulsantworten mit identischen ersten Gewichten

Abbildung 4.24: Relevante Bereiche der Impulsantworten bei unterschiedlichen Filtergewichten und unterschiedlicher Filterstufenanzahl. Die Prozentangaben beziehen sich auf die Größe des Filtergewichts, bezogen auf die maximale Signalamplitude. Im Beispiel liegt diese bei 1,2V

4.5 Verifikation des Modells

Um die Qualität des Simulationsmodells zu überprüfen, wird anhand eines Vergleiches der vertikalen und horizontalen Öffnungen simulierter und ausgemessener Augendiagramme der Fehler abgeschätzt, mit der die Simulation im Vergleich zum Messergebnis behaftet ist.

Die Kabellänge beträgt jeweils 42 m des Testkabels. Für die Signalerregung wird ein Puls-generator mit einer wählbaren Musterfolge benutzt, dessen Anstiegszeiten mit < 110 ps für einen Signalhub > 1 V und < 90 ps für einen Signalhub < 1 V spezifiziert sind. Da die tatsächlichen Anstiegszeiten für die Testszenarien nicht genau bekannt sind, werden sie in der Simulation auf diese Werte gesetzt.

Es werden zwei Messreihen mit unterschiedlichen Signalamplituden und Flankenanstiegszeiten durchgeführt. Zunächst wird der Pulsgenerator auf einen differentiellen Signalhub von 600 mV bei Erzeugung einer pseudozufälligen Sequenz, die der eines LFSRs mit dem Polynom $x^7 + x^6 + 1$ entspricht (vgl. 5.1) eingestellt. Bei dieser ist die maximale Länge von aufeinanderfolgenden gleichen Datenwerten auf 7 beschränkt. In der Simulation wird die Anstiegszeit mit 90 ps gewählt. Für Simulation und Messung werden also identische Amplituden und Symbolfolgen verwendet.

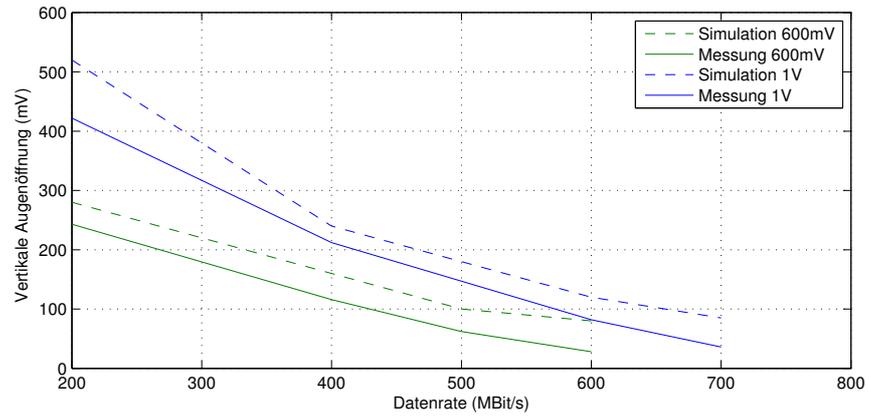
In einer zweiten Messreihe wird die Signalamplitude auf 1 V erhöht, und die Anstiegszeiten in der Simulation auf 110 ps erhöht.

Die Teststrecke ist am Empfängerende mit 100Ω terminiert, was der charakteristischen Impedanz des Testkabels entspricht. Danach wird das Signal über eine differentielle Probe mit ausreichender Bandbreite abgenommen, und durch ein Oszilloskop mit großer Bandbreite visualisiert. Dabei arbeitet das Oszilloskop in einem kontinuierlichen Modus, und wird über ein weiteres vom Pulsgenerator erzeugtes Taktsignal getriggert, so dass sich wie in einem Augendiagramm die Abtastpunkte zu Vielfachen der Symboldauer synchronisiert werden. Die Messwerte werden nach Durchlaufen von einigen tausend Musterfolgen über die Messcursor des Oszilloskops ausgemessen. Hierbei wird wie auch in der Simulation die jeweils größte horizontale und vertikale Augenöffnung notiert.

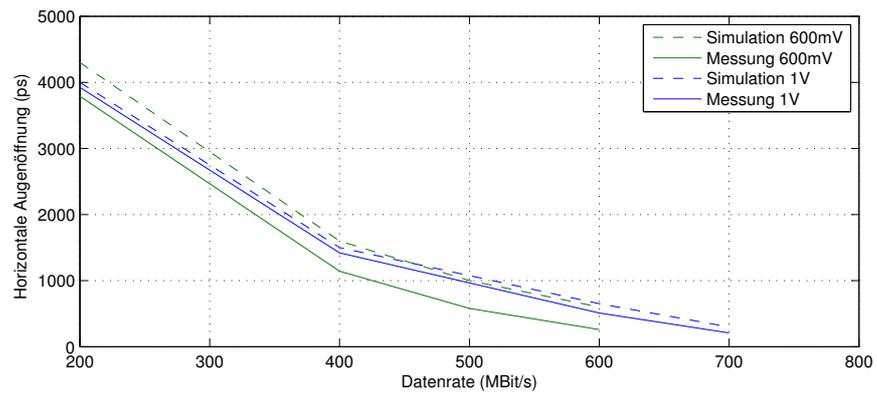
In den Graphen 4.25 sind die Ergebnisse des Vergleichs aufgetragen, zusätzlich sind in Anhang C die Ergebnisse der Simulationen in tabellarischer Form aufgeführt.

Die Diskrepanzen lassen sich einerseits durch die nicht perfekte Anbindung des Testkabels an die Messgeräte, und andererseits durch die kleine Unsicherheit in der tatsächlichen Flankensteilheit des Pulsgenerators erklären. Auch ist nicht bekannt, wie genau die Dämpfungswerte aus dem Datenblatt, die dem Simulationsmodell zugrunde liegen, tatsächlich von dem verwendeten Testkabel erreicht werden. Ferner ist es möglich, dass

4 Modellerstellung und Signalfilterung



(a) Vertikale Augenöffnungen



(b) Horizontale Augenöffnungen

Abbildung 4.25: Vergleich der Simulationsergebnisse mit den Messergebnissen der Augenöffnungen bei unterschiedlichen Datenraten und Signalamplituden

4.6 Überlegungen zu unterschiedlichen Verbindungskanälen

die Terminierung am Ende der langen Teststrecke nicht perfekt ist, sodass nicht die gesamte Signalenergie das Kabel verlassen kann. Außerdem ist es denkbar, dass die beiden Signalleiter eine leichte Differenz in ihrer Länge aufweisen.

Eine weitere potentielle Fehlerquelle liegt in der Länge des betrachteten pseudozufälligen Datenstroms, der den Simulationsergebnissen zugrunde liegt. Zwar handelt es sich jeweils um die gleiche Symbolfolge wie beim Pulsgenerator, jedoch werden aus Komplexitätsgründen bei der Simulation nur 1000 Datensymbole betrachtet, während der Messung eine deutlich längere Sequenz von mehreren 10000 Symbolen zugrunde liegt.

Die Simulationsergebnisse sind durchweg besser als die Messergebnisse, so dass bei diesen von den bestmöglichen Bedingungen ausgegangen werden kann, die in der Praxis nicht erreicht werden. Um Anwendungen mit Hilfe dieser Simulationsmethode zu planen, sollte daher ein Sicherheitsspielraum einkalkuliert werden. Mit diesen Einschränkungen zeigt das Simulationsergebnis einen deutlichen Bezug zur Realität auf.

4.6 Überlegungen zu unterschiedlichen Verbindungskanälen

Mit der im Abschnitt 4.2 beschriebenen Vorgehensweise werden einige weitere Verbindungsnetzwerke modelliert. Der Verlauf ihrer Dämpfungsfunktionen ist in Abbildung 4.26 gezeigt.

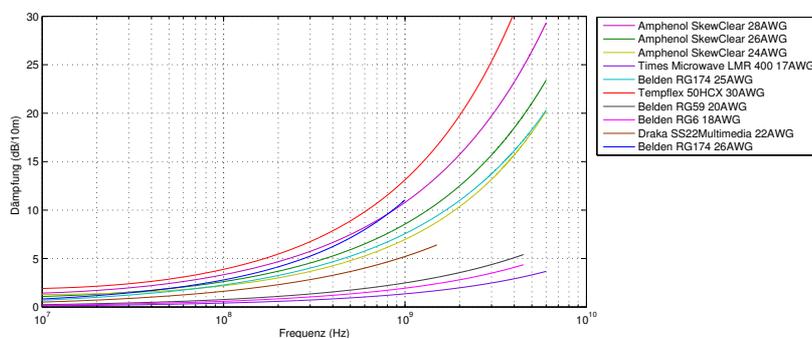


Abbildung 4.26: Dämpfungsverläufe einiger Kabel mit verschiedenen Leiterquerschnitten

Da es bisher keine präzise spezifizierten Anforderungen an die Datenübertragungsstrecke bezüglich Länge und Übertragungsgeschwindigkeit gibt, wird im Folgenden anhand der Modelle eine Aussage zum Potential der unterschiedlichen Kabel getroffen.

Übertragungsgeschwindigkeit bei Länge von 15 Metern

Wird die Kanallänge auf 15 m festgelegt, und ein NRZ-Signal mit Signalamplitude von 1,2V mit Anstiegszeiten von 150 ps betrachtet, ergeben sich für unterschiedliche Leitungen unterschiedliche Datenraten, für die eine erfolgreiche Signalübertragung noch möglich ist. Als Kriterium wird die Öffnung des Augendiagramms des Signals nach Durchlaufen des Kanals herangezogen. Um mit einem schnellen, seriellen IO-Puffer eines Xilinx Virtex5 direkt kommunizieren zu können, muss ein differentieller Signalhub von mindestens 200 mV am Empfänger anliegen. Somit wird untersucht, welche Datenrate mit und ohne Signalverzerrung bei einem Spannungshub von 1,2V am Sender möglich ist, dass sich diese Signalamplitude am Empfänger einstellt. In Abbildung 4.27 sind die sich ergebenden vertikalen Augendiagrammöffnungen in mV für unterschiedliche Leitungsqualitäten gegen die Symbolperiodendauern aufgetragen.

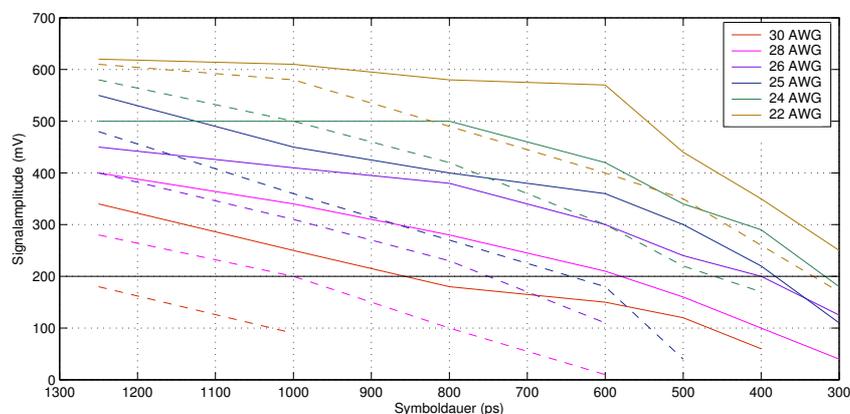


Abbildung 4.27: Öffnungen der sich bei verschiedenen Übertragungsgeschwindigkeiten ergebenden Augendiagramme in mV für verschiedene Leitungsqualitäten und eine Verbindungsnetzwerklänge von 15 m. Bei Signalisierung ohne Signalverzerrung ist der Graph unterbrochen dargestellt. Die minimale Eingangssignalamplitude eines GTP-Eingangspuffers eines Virtex5 ist hervorgehoben

Je größer der Querschnitt des Signalleiters ist, desto höhere Datenraten können über das jeweilige Verbindungsnetzwerk übertragen werden.

Die simulierten Augenöffnungen sind theoretische Werte, und stellen jeweils den günstigsten Fall dar. Es sind keinerlei Umweltfaktoren wie Pulsnebensprechen, Homogenitätsdiskontinuitäten oder Jitter des erzeugenden Signals berücksichtigt. Allerdings können die Simulationsergebnisse als grobe Orientierung dienen, um abschätzen zu können, welche Querschnitte für welche Zieldatenrate mindestens erforderlich sind. In Anhang B.2 ist der verwendete Quellcode für Matlab aufgeführt.

Länge des Verbindungsnetzwerkes bei einer Symbolrate von 2,5 Gbit/s

Wird die Symbolrate fix mit 2,5 Gbit/s angenommen, kann mit den einzelnen Kabeln eine unterschiedliche Reichweite angegeben werden für die die Signalamplitude noch ausreichend groß ist, damit sie von einem GTP-Eingangspuffer direkt detektiert werden kann. In Abbildung 4.28 sind die mit den gleichen Einschränkungen wie oben zu betrachtenden Simulationsergebnisse aufgetragen. Die Ergebnisse ohne Signalvorverzerrung wurden nicht geplottet.

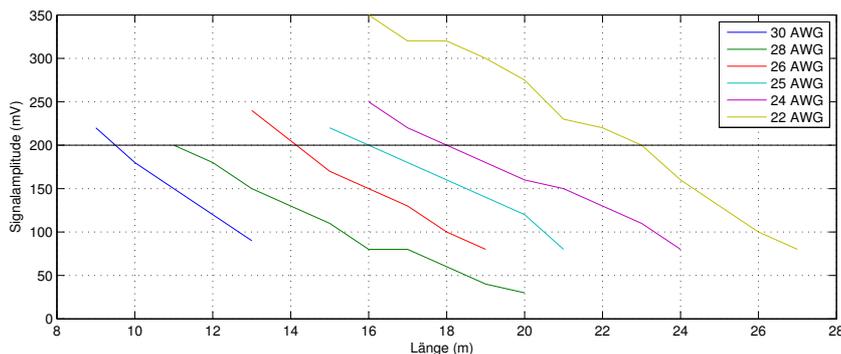


Abbildung 4.28: Öffnung der Augendiagramme bei 2,5 Gbit/s für unterschiedliche Kabel und Längen

Die Kurvenverläufe sind unregelmäßig, weil zwischen den einzelnen Messpunkten die Filtergewichte optimiert wurden. Je nach Gesamtlänge des Verbindungsnetzwerkes werden unterschiedliche Querschnitte benötigt, damit das Signal die minimale Spezifikation eines Virtex5 GTP-Eingangspuffers bezüglich der Signalamplitude erfüllt. Eine Kanallänge von 10 bis 23 m scheint mit den betrachteten Querschnitten realisierbar.

Leitungswellenwiderstand und Ausbreitungsgeschwindigkeit

Die Dämpfungseigenschaften eines Verbindungsnetzwerkes sind unabhängig von der charakteristischen Impedanz des Leiters. Bei den betrachteten Kabeltypen beispielsweise sind die Vertreter der Größen 30, 25, 20, 18 und 17 AWG Koaxialkabel mit charakteristischen Impedanzen von 50 und 75 Ω , während die Repräsentanten mit Querschnitten von 28 – 22 AWG allesamt Zweidrahtleitungen mit einem Leitungswellenwiderstand von 100 Ω sind.

Die Dämpfung bei den für die Datenübertragung im Multigigabitbereich interessanten Frequenzen liegt üblicherweise in Regionen, in denen die Konduktivität durch Skin-Effekt und dielektrische Verluste negativ beeinflusst werden. Verminderung des Skin-Effekts schafft neben Veredelung der Oberfläche mit einer glatten Silberschicht nur die Vergrößerung des Leiterquerschnitts. Insbesondere sollten keine flexiblen, aus mehreren

4 Modellerstellung und Signalfilterung

Litzen bestehende Innenleiter verwendet werden, weil die Packungsdichte dieser immer schlechter ist, und somit immer eine effektiv kleinere Fläche als ein starrer Rundleiter erreicht.

Dielektrische Verluste sind am geringsten für Luftdielektrika. Es existieren sowohl für Koaxial- als auch für Zweidrahtleitungen Produkte, die einen hohen Luftanteil im Dielektrikum aufweisen, sei es durch Einsatz von Stegen oder helixartigen Umwicklungen, die Signalleiter und Schirm voneinander trennen, oder durch Einsatz von geschäumten Materialien. Allgemein steigt mit höherem Luftanteil die Ausbreitungsgeschwindigkeit im Leiter an, und nähert sich c an. Es gilt für die üblicherweise verwendeten, nicht ferromagnetischen Materialien

$$v_0 = \frac{1}{\sqrt{LC}} \approx \frac{c}{\sqrt{\epsilon_r}}$$

Es existieren Produkte, die eine Ausbreitungsgeschwindigkeit im Bereich von $0,87c$ aufweisen. Einfache PET oder PTFE Dielektrika weisen typischerweise ein v_0 von $0,66c$ bis $0,75c$ auf. Da keine besonders große Spannungsfestigkeit für die Signalleitungen erforderlich ist, ist der Einsatz eines Kabels mit einer möglichst hohen Ausbreitungsgeschwindigkeit empfehlenswert, nicht weil diese für das Signal relevant wäre, sondern weil es ein Indiz für ein weniger verlustbehaftetes Dielektrikum ist.

Je kleiner die Dielektrizitätskonstante des Materials zwischen den Leitern ist, desto geringer kann darüberhinaus der Abstand sein, um eine bestimmte Kapazität einzustellen. Wie in Abschnitt 2.1 gezeigt, berechnet sich die charakteristische Impedanz eines Leiters ab einer gewissen Frequenz zu

$$Z_0 = \sqrt{\frac{L}{C}}$$

Somit kann bei konstanter charakteristischer Impedanz bei einem Dielektrikum mit kleinem ϵ_r letztendlich ein kompakterer Leiter gefertigt werden, da Hin- und Rückleiter näher beieinander liegen dürfen.

Bezüglich des absoluten Werts der charakteristischen Impedanz ergibt sich, dass zumindest für Koaxialkabel und begrenzt auch für Zweidrahtleiter für ein Leitersystem mit höherer charakteristischer Impedanz, konstantem Querschnitt des Innenleiters und identischem Dielektrikum die äußeren Dimensionen kleiner werden müssen. Oder für identische Außenmaße kann ein größerer Signalleiter verwendet werden, was eine geringere Dämpfung zur Folge hat.

Zusammengefasst besitzt das kompakteste Verbindungsnetzwerk eine möglichst hohe Impedanz, ein Luftdielektrikum und einen starren, nicht ferromagnetischen Innenleiter mit einer ausreichend dicken, glatten Silberschicht.

Single-ended oder differentielle Signalisierung

Schwieriger ist die Wahl zwischen single-ended oder differentieller Signalisierung. Differentielle Verbindungsnetzwerke haben den Vorteil, dass sie resistenter gegen Pulsnebensprechen sind, sofern die Störungen gleichsinnig auf beide Leiter wirken. Da ferner die schnellen Ausgangstreiberstufen üblicherweise sowieso ein differentielles Signal liefern, und die zugehörigen Eingangspuffer ein ebensolches erwarten, liegt es nahe, dieses auch über ein differentielles Verbindungsnetzwerk zu transportieren. Allerdings muss dabei sichergestellt werden, dass beide Leitungen *exakt* gleich lang sind. Qualitativ hochwertige Kabel verwenden aus diesem Grund keine verdrehten, sondern parallel geführte Leiter [4]. Trotzdem wird der Längenunterschied innerhalb eines differentiellen Signalpaares eines so optimierten Kabels mit < 100 ps pro 10 m Kabel angegeben³. Dies ist bei ausgedehnten Netzwerken, die mit Symbol Dauern im Bereich von wenigen 100 ps arbeiten, eine potentielle Quelle für Signalverzerrungen dar.

Auf der anderen Seite muss bei Wahl eines single-ended Verbindungsnetzwerkes das Signal von einer differentiellen Treiberstufe zunächst auf nur eine Leitung gebracht werden. Wird dazu nur ein Ausgang, beispielsweise der des positiven Zweigs des differentiellen Treibers benutzt, wird nur die halbe Signalamplitude genutzt, was inakzeptabel ist. Mit Hilfe von Transformatoren oder *Baluns* besteht die Möglichkeit, ein differentielles in ein single-ended-Signal unter Beibehaltung der Signalenergie zu transformieren. Ein ähnlicher Transformator beim Empfänger könnte einerseits für eine AC-Kopplung, und andererseits für eine abermalige Transformation in ein differentielles Signal zur Ansteuerung eines differentiellen Eingangspuffers dienen. Die Transformationsverluste einiger vom Frequenzbereich her ungefähr in Frage kommender Baluns liegen allerdings typischerweise je nach Datenrate im Bereich von 1 bis 3,5 dB, was je nach Verbindungsnetzwerk zwischen 1 und 4 m Kabelstrecke entsprechen würde [16].

Koaxialkabel werden selten in einer gemeinsamen Umhüllung konsolidiert. Bei differentiellen Verbindungsnetzwerken hingegen ist es üblich, zwischen 2 und 24 Paaren in einem gemeinsamen Mantel zu vereinigen, eine Schemazeichnung dazu ist in Abbildung 4.29 abgebildet.

Das Pulsnebensprechen zwischen den Paaren bleibt hierbei mit ungefähr -60 dB [4] vernachlässigbar klein. Ein Größenvergleich von Außendurchmessern eines 50Ω Koaxialkabels mit einem einzelnen Paar eines 100Ω Zweidrahtleitersystem ist bei identischen Innenleiterstärken von 24 AWG in Abbildung 4.30 gezeigt.

Die absolute Fläche ist beim Koaxialkabel mit $3,66 \text{ mm}^2$ etwas geringer, als die Fläche der Zweidrahtlösung mit $4,94 \text{ mm}^2$ (Rechteckapproximation). Ein single-ended Verbindungsnetzwerk wird also mit Koaxialkabeln letztendlich etwas kompakter ausfallen, sofern man die Transformationsverluste nicht mit einer entsprechenden Vergrößerung des Leiterquerschnitts kompensiert.

³diese Spezifikationsgrenze erscheint sehr hoch gegriffen

4 Modellerstellung und Signalfilterung

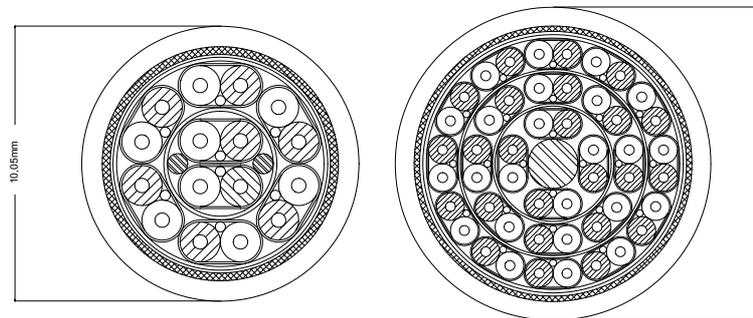


Abbildung 4.29: Kabel mit 8 und 24 differentiellen Paaren. Zeichnung nicht Maßstabgetreu nach [4]

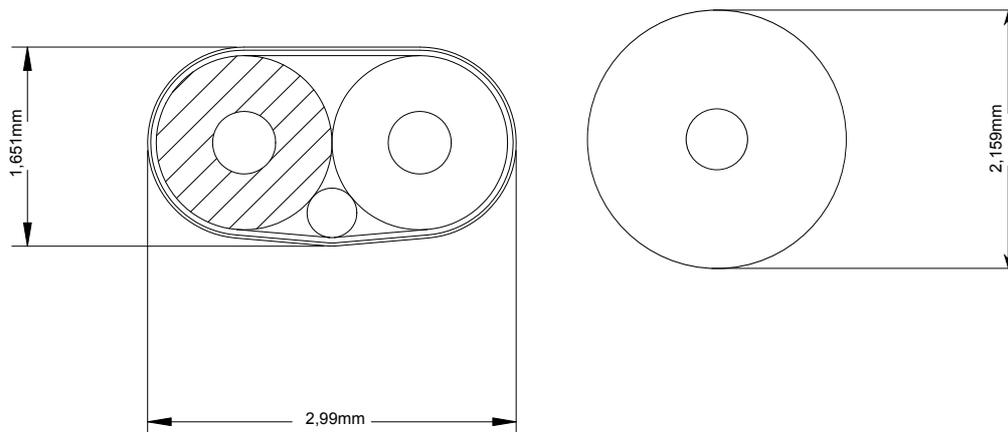


Abbildung 4.30: Maßstabgetreue Darstellung der Querschnitte eines Zweidrahtleiters und Koaxialkabels mit $100\ \Omega$ und $50\ \Omega$ charakteristischer Impedanz und identischen Signalleiterquerschnitten ohne umgebende PVC-Hülle. Nach [4] und [5]

Letztendlich ist die Lösung mit vielen differentiellen Paaren wohl etwas einfacher zu realisieren, gerade durch den Wegfall der Transformatoren, und die Verfügbarkeit von vielen differentiellen Paaren in einem gemeinsamen, relativ kompakten Kabel. Das Problem der Laufzeitunterschiede innerhalb der differentiellen Paare kann durch Ausmessen und Anpassen mit Hilfe eines TDR-Geräts gelöst werden.

4.7 Alternative Symbolkodierungen

In Abschnitt 4.4 wurden die Daten binär mit einem Bit pro Datensymbol und Symbolperiode Informationsgehalt kodiert. Wenn pro Symbolperiode mehr als nur ein Bit übertragen wird, vergrößert sich entsprechend die Datenrate bei gleicher Symbolrate.

Während 2-PAM genau zwei Zustände aufweist, sind auch Kodierungen mit mehr Zuständen denkbar. 4-PAM beispielsweise kodiert mit vier Zuständen pro Datensymbol jeweils einen Informationsgehalt von zwei Bits. Allgemein: n -PAM kodiert $\log_2 n$ Bits an Informationen pro Datensymbol.

Dies bedeutet, dass bei etwa identischem Bandbreitenbedarf auf dem Verbindungsnetzwerk doppelt so viele Nutzdaten übertragen werden können, oder respektive genau so viele Nutzdaten bei doppelter Symbolperiodendauer. Dies wiederum verschiebt die Bandbreite, die das Signal auf einem Kabel benötigt in einen günstigeren Frequenzbereich, in dem die Verbindungsstrecke eine geringere Dämpfung aufweist.

Allerdings wird durch die Benutzung von verschiedenen Amplituden zur Datenkodierung natürlich das Signal-zu-Rausch-Verhältnis des Signals schlechter.

Bei einer Länge des Verbindungsnetzwerkes von 50 m ist, wie in Abbildung 4.23(a) zu sehen, eine Signalisierung bei einer Übertragungsrate von 800 MSym/s mit einfachen Rechteckpulsen nicht möglich. Dies gilt natürlich genauso für eine 4-PAM Kodierung der Daten. Allerdings kann über die gleichen Überlegungen wie bei 2-PAM eine verzerrte Pulsfolge gesendet werden, die dann nach Durchlaufen des Verbindungsnetzwerkes in einem geöffneten Augendiagramm 4.31 und somit einem entscheidbaren Signal resultiert.

Leider bieten übliche FPGAs nicht die Möglichkeit, ein solches Signal direkt zu dekodieren. Auch für andere Kodierungsschemata wie QAM müsste zusätzlich ein separater Empfänger gebaut werden, der das ankommende Signal in einen für den FPGA verständlichen Datenstrom übersetzt.

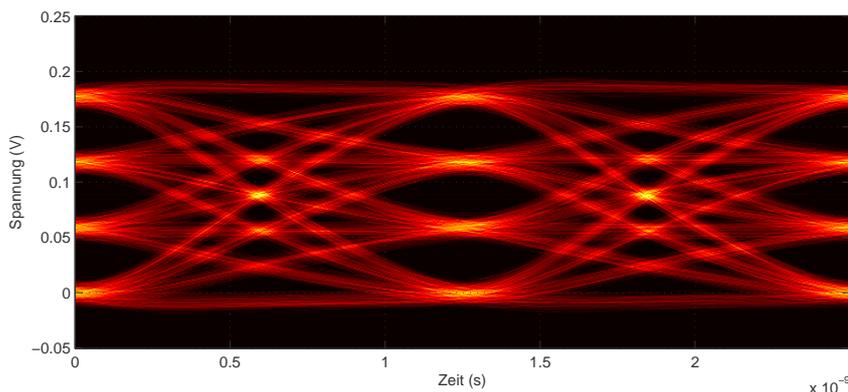


Abbildung 4.31: Augendiagramm des sich am Empfänger nach einer Kabellänge von 50 m ergebenden Signals bei einer Rate von 800 MSym/s unter Anwendung von Signalverzerrung. Die einzelnen Augenöffnungen entsprechen den Signal-zu-Rausch-Abständen der einzelnen Entscheidungsschwellen untereinander. Die initiale Sendersignalamplitude ist doppelt so groß wie die in Abbildung 4.23(b) zugrunde gelegte, und beträgt 1,2 V

4.8 Weitere Möglichkeiten der Signalfilterung

Durch die Analyse der Mechanismen, die zu einer Signalverzerrung führen, wurde deutlich, dass über eine geschickte Dämpfung der niedrigen Frequenzanteile die Signalqualität am Empfänger verbessert werden kann. Der einfachste Lösungsansatz besteht darin, mit einem Teil der Signalenergie die Energie der tiefen Frequenzanteile zu verringern. Dadurch wird Energie verschwendet, einerseits weil die zur Dämpfung benutzte Energie nicht mehr für den Signalhub zur Verfügung steht, und andererseits mit dieser Energie ein Teil eventuell anderweitig nutzbare Signalenergie neutralisiert wird. Für verlustleistungssensible Anwendungen ist dieser Ansatz also doppelt ungünstig. Im Folgenden werden einige Alternativen zum FIR-Filter vorgestellt.

Pulsweitenmodulation des Sendersignals

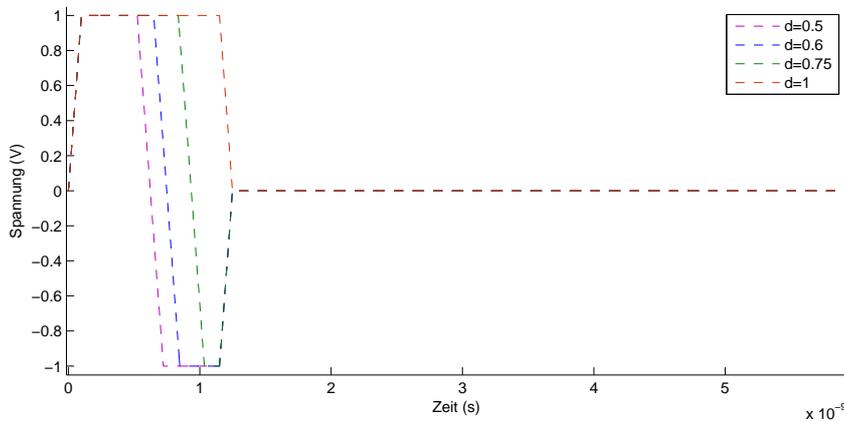
In [12] wird eine auf Pulsweitenmodulation basierende Technik zum Ausgleich der Charakteristik des Verbindungsnetzwerks gezeigt. Im Gegensatz zum FIR-Filter findet die Dämpfung kleiner Frequenzanteile zeit- und nicht amplitudenbasiert statt. Infolgedessen muss der Ausgangstreiber nicht als DAC realisiert werden, dafür muss der Ausgangstreiber in kürzeren Abständen als dem Symbolabstand umschalten.

4.8 Weitere Möglichkeiten der Signalfilterung

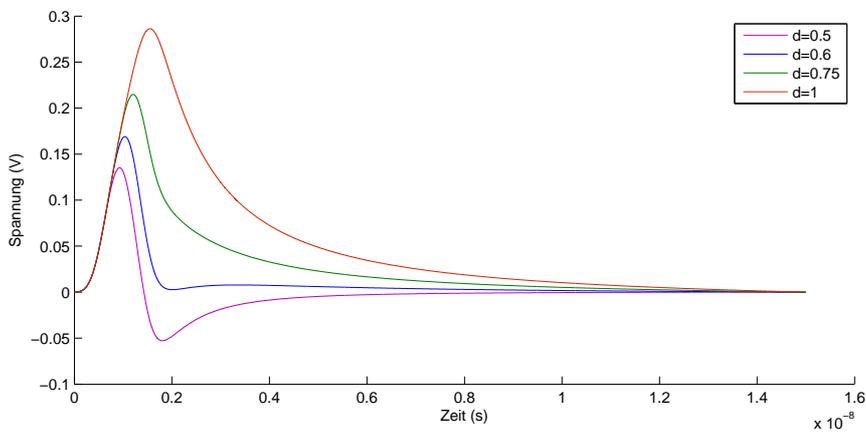
Das Sendersignal wird folgendermaßen definiert als

$$P_{\text{PWM}}(t) = \begin{cases} 1 & \text{für } -T_s/2 \leq t < (d - 1/2)T_s \\ -1 & \text{für } (d - 1/2)T_s \leq t < T_s/2 \\ 0 & \text{sonst,} \end{cases}$$

wobei d für das Tastverhältnis und T_s für die Symboldauer steht. Bei einem Tastverhältnis von 100% entspricht das Ausgangssignal einem Rechteckpuls mit der Dauer T_s . Im Diagramm 4.32 sind die Pulsformen und Kanalimpulsantworten für verschiedene Werte von d aufgezeichnet. Das betrachtete Verbindungsnetzwerk ist immer noch ein 50 m langes Stück des Musterkabels.



(a) Erregung mit unterschiedlichen Tastverhältnissen d



(b) Impulsantworten für die unterschiedlichen Erregungen

Abbildung 4.32: Erregung und Impulsantwort nach 50 m Kabel

Die Kanalimpulsantwort besitzt für ein Tastverhältnis von $d \approx 0,6$ eine minimale Länge.

4 Modellerstellung und Signalfilterung

Mit einem solchen Signalisierungsschema könnte genau wie beim FIR-Filter das Signal so vorverzerrt werden, dass es beim Empfänger ohne Intersymbolinterferenz ankommt. Diese Herangehensweise behebt nicht das Problem, das Teile der zur Verfügung stehenden Signalamplitude zur Dämpfung herangezogen werden, besitzt aber im Vergleich zum FIR-Filter eine einfachere Einstellmöglichkeit. Allerdings werden erhöhte Anforderungen an den Ausgangstreiber gestellt, der schneller als im eigentlichen Symbolabstand schalten muss.

Experimentell wurde in [12] solch ein in einer 130 nm-Technologie implementiertes Kommunikationssystem mit einer maximalen Datenrate von 5 Gbit/s erfolgreich über eine Leiterstrecke von 25 m RG58 Koaxialkabel getestet, welches üblicherweise eine Innenleiterstärke von etwa 22 AWG aufweist. Allerdings beträgt die vertikale Augenöffnung dann auch nur noch etwa 30 mV.

Passive Filterschaltung

Die Pulsformung muss nicht unbedingt durch ein digitales Filter realisiert werden, eine analoge Filterschaltung aus passiven Bauelementen kann bei richtiger Dimensionierung exakt die gleiche, oder sogar eine bessere Filterwirkung erzielen, da sie nicht wie digitale Filter durch das Abtasttheorem limitiert sind.

Allerdings müssen die für diese Frequenzbereiche notwendigen Bauelemente so klein und präzise sein, dass die Filterschaltung aus Gründen der kleineren parasitären Effekte integriert aufgebaut werden müssen. Durch diesen Ansatz wird keine Nutzsignalenergie für die Dämpfung des Ausgangssignals verschwendet und es steht eine größere Signalamplitude das Nutzsignal zur Verfügung.

In [13] wird eine analoge Filterschaltung vorgestellt, die auf einem *RLC*-Hochpass basiert. In Abbildung 4.33 ist die vorgeschlagene Filterschaltung abgebildet.

Weil die in der Veröffentlichung angegebenen Bauteilgrößen für eine Datenübertragungsrate von 20 Gbit/s ausgelegt waren, wurden diese entsprechend der ebenfalls angegebenen Formeln modifiziert, damit das Filter für eine Datenrate von 2,5 Gbit/s verwendbar ist. Ferner wurde das Verbindungsnetzwerk mit einer Dämpfung von 7 dB bei der Nyquist-Frequenz gewählt. Die sich über die in [13] angegebenen Formeln ergebenden Bauteilgrößen sind dann

$$R_1 = 19 \Omega \quad R_2 = 55 \Omega \quad L = 8,9 \text{ nH} \quad C = 3,5 \text{ pF}$$

Die Dämpfungseigenschaften des Filters sind in Abbildung 4.34 aufgezeichnet.

Wird das Filter differentiell aufgebaut (Abbildung 4.33(b)), und durch ideale Spice-Quellen mit 50 Ω Innenwiderstand und Pegeln zwischen 1,3 und 1,8 V erregt, zeigt das Ausgangssignal den in Augendiagramm 4.35 gezeigten Spannungsverlauf.

Die Filterwirkung geht in die richtige Richtung, bei Pegelwechseln zeigt das Signal eine deutliche Überhöhung der Amplitude. Ferner ist die Dauer der Filterwirkung kürzer als

4.8 Weitere Möglichkeiten der Signalfilterung

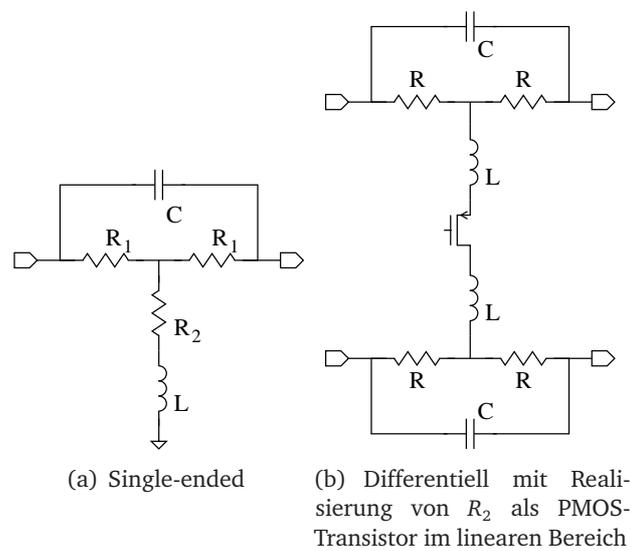


Abbildung 4.33: Vorgeschlagene Topologien für ein passives Filter

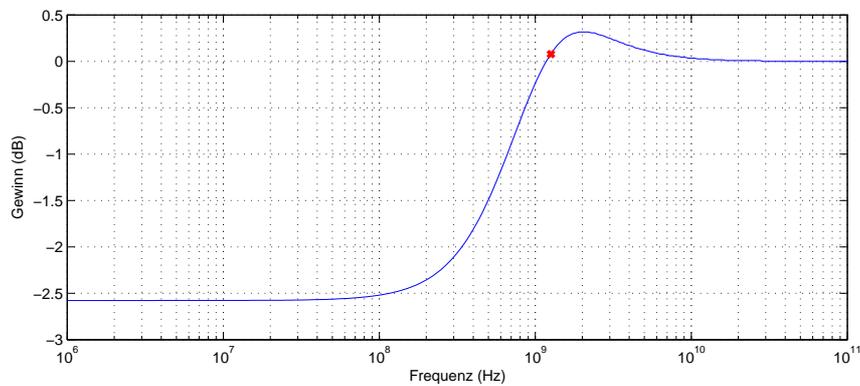


Abbildung 4.34: Gewinn der analogen Filterschaltung. Rot markiert ist die Nyquist-Frequenz des Signals bei einer Übertragungsrate von 2,5 Gbit/s

4 Modellerstellung und Signalfilterung

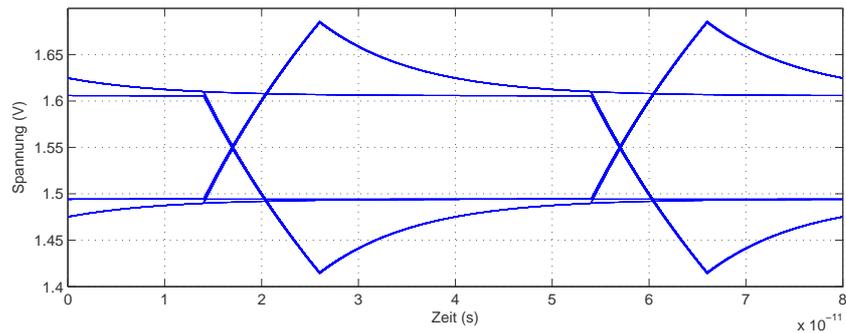


Abbildung 4.35: Augendiagramm des durch die passive Filterschaltung verzerrten Ausgangssignals idealer Spice-Quellen mit Pegeln zwischen 1,8 und 1,3 V und 50Ω Innenwiderstand

eine volle Symbolperiodendauer, daher werden mit diesem Filter auch höhere Frequenzen als die Nyquist-Frequenz des Signals verzerrt.

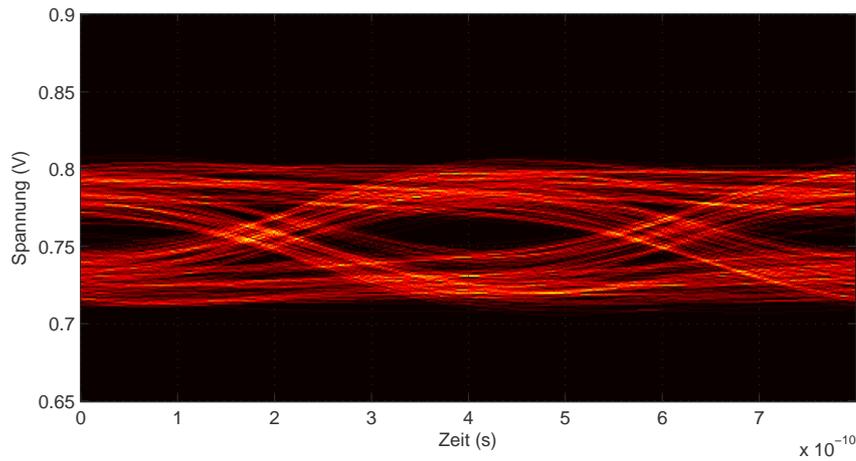
Die Simulation der Übertragungsstrecke mit angeschlossenem Virtex5 ergaben keinerlei Verbesserung der möglichen Reichweite. Eventuell muss eine andere Dämpfungseigenschaft bei der Wahl der Bauteilparameter angegeben werden, oder die Treiberstufe einen deutlich geringeren Innenwiderstand aufweisen. In der zitierten Veröffentlichung wurde dafür eine bipolare Endstufe eingesetzt. Die sich bei unterschiedlichen (empfängerseitigen) Equalizereinstellungen am Virtex5 ergebenden Augendiagramme wurden mit der gleichen Methode wie der in Abschnitt 3.4 benutzten simuliert. Für eine Kabellänge von 13 m sind die Ergebnisse in Abbildung 4.36 visualisiert.

Die Implementierung eines solchen Filters ist herausfordernd. Zum einen sind die vom Halbleiterhersteller verfügbaren, charakterisierten Induktivitäten sehr viel kleiner, als die bei dieser Datenrate eingesetzten, zum anderen ist die Streuung der Parameter durch Prozessvariationen gerade bei passiven Bauelementen in einem typischen CMOS-Prozess groß. Ferner ist die Filterwirkung nur sehr begrenzt einstellbar, so dass die Kanaleigenschaften schon im Vorhinein bekannt sein müssen. Eventuell könnte das Filter mit zuschaltbaren Kapazitäten oder Widerständen in seiner Filterwirkung einstellbar gestaltet werden.

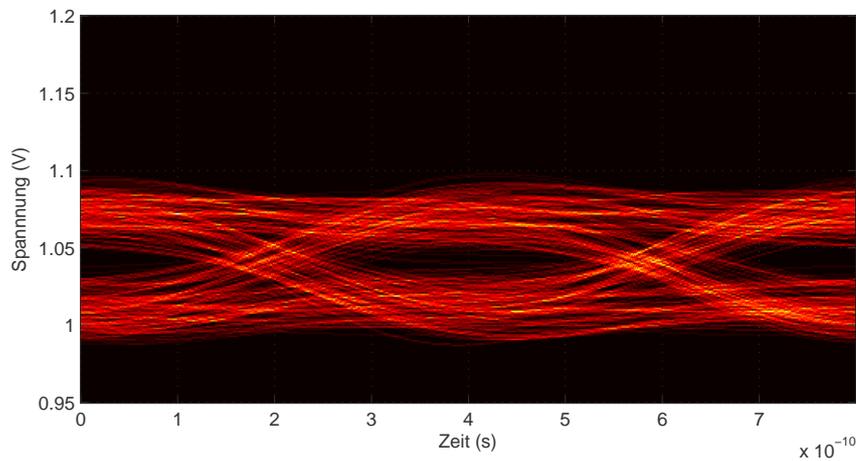
Eine weitere Möglichkeit besteht in der Auslagerung des passiven Filters in ein weiteres Bauteil. Die Firma National bietet neben aktiven Repeatern auch passive Equalizer an, die allerdings wohl auf die Dämpfungseigenschaften von FR4 hin optimiert sind. Eventuell ist dies ein Weg, um ohne Verlust von Signalhub trotzdem das Signal mit einer Vorverzerrung zu senden.

Zusammengefasst kann durch Einsatz eines passiven Equalizers zwar theoretisch mehr Signalenergie genutzt werden, allerdings ist die technische Realisierung schwierig.

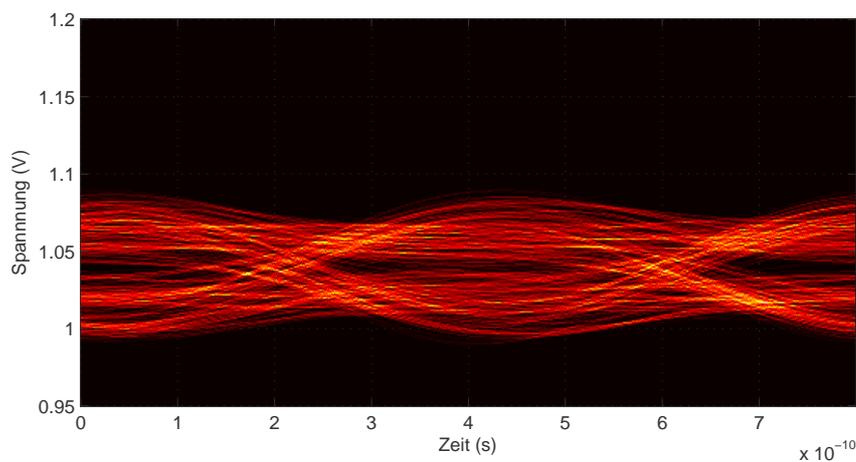
4.8 Weitere Möglichkeiten der Signalfilterung



(a) Augendiagramm des Signals vor dem Equalizer



(b) Augendiagramm des Signals nach dem Equalizer bei „Moderate Boost“



(c) Augendiagramm des Signals nach dem Equalizer bei „Large Boost“

Abbildung 4.36: Augendiagramme der Signale der OASE-Treiberstufe bei einer Kabellänge von 13 m bei Verwendung der gleichen Simulationemethode wie in Abschnitt 3.4. Die Resultate bringen keine Verbesserung der nutzbaren Reichweite, allenfalls das Signal ohne Empfangsequalization ist deutlich besser als in 3.14(a)

Equalization

Eine Signalfilterung ist nicht nur senderseitig möglich, sondern kann auch im Empfänger vorgenommen werden. Senderseitige Signalverbesserungsmethoden werden unter dem Begriff *Equalization* zusammengefasst.

Emphasis und Equalization sind gleichzeitig für einen Übertragungskanal einsetzbar, in [11] wird allerdings empfohlen, zuerst die Möglichkeiten mit Equalization auszureizen, und erst wenn dies keine ausreichende Signalgüte ermöglicht, die Signalvorverzerrung am Sender zuzuschalten.

Es existieren passive und aktive Varianten von Equalizern. Bei passiven Implementierungen wird aus integrierten Spulen, Kondensatoren und Widerständen eine Filterschaltung auf engem Raum aufgebaut. Eine detaillierte Beschreibung einer Filterschaltung findet sich in [8]. Die dort vorgeschlagene Schaltung ist in Abbildung 4.37 wiedergegeben.

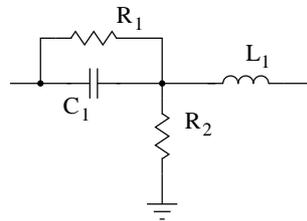


Abbildung 4.37: Schaltplan eines passiven Equalizers

Augenscheinlich besitzt diese Filterschaltung Ähnlichkeiten zu der zuvor betrachteten passiven Filterschaltung. Sie weist Nullstellen bei $|\omega_z| = 1/R_1C_1$ und Polstellen bei $1/[(R_1||R_2)C_1]$. Die Induktivität L_1 soll die Eingangskapazität des nachgeschalteten Verstärkers neutralisieren und wurde deshalb nicht weiter betrachtet. Signalkomponenten nahe der Nullstellenfrequenz werden abgedämpft, während Signalkomponenten in Polnähe verstärkt werden.

Aktive Equalizer benutzen Verstärkerschaltungen, die das verzerrte Eingangssignal nicht-linear verstärken. Dabei werden wie bei den anderen Verfahren auch die hohen Frequenzanteile stärker als die tiefen Frequenzanteile verstärkt. Multi-Gigabit-Transceiver, wie sie beispielsweise in FPGAs der Virtex-Serien der Firma Xilinx eingebaut sind, bringen beispielsweise einen solchen programmierbaren Equalizer mit. Ein entsprechendes Blockdiagramm aus [20] ist in Abbildung 4.38 abgebildet.

Aus dem Blockdiagramm kann auf ein Hochpassfilter geschlossen werden, das digital eingestellt werden kann. Nach der separat vom restlichen Signal erfolgten Verstärkung der hochfrequenten Signalanteile werden die beiden Signalpfade wieder gemischt, bevor sie von der Clock-and-Data Recovery Einheit weiterverarbeitet werden. Dabei müssen zuvor die Phasenunterschiede der beiden Signalpfade ausgeglichen werden.

4.8 Weitere Möglichkeiten der Signalfilterung

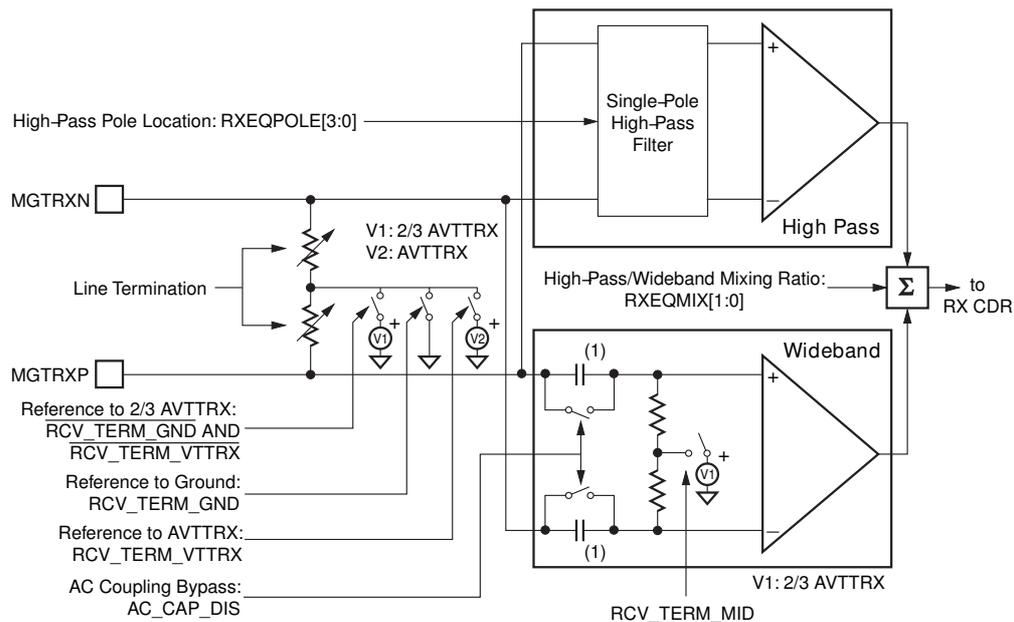


Abbildung 4.38: Blockdiagramm der Beschaltung des Eingangspuffers GTP eines FPGAs der Virtex5 Serie. Hochfrequente Signalanteile werden durch ein entsprechendes Filter vom Eingangssignal separiert, getrennt vom Gesamtsignal verstärkt und dann vor der weiteren Signalverarbeitung wieder zusammengemischt. Nach [20]

4 Modellerstellung und Signalfilterung

Für die mit höheren Datenraten spezifizierten Eingangspuffer GTX, die für die Simulation mit dem OASE-Ausgangstreiber benutzt wurden, zeigt Xilinx leider keine entsprechenden Blockdiagramme.

Equalizer am Ende oder in der Mitte eines Übertragungskanals besitzen eine Information über den Grad der Störung ihres Eingangssignals. Somit können sie adaptiv gestaltet werden, das heißt ihre Filterwirkung den Kanalgegebenheiten selbstständig anpassen. Bei dieser Art von Equalizern wird in einer Initialisierungsphase vom Sender ein definiertes Muster gesendet, welches dem Empfänger bekannt ist. Durch Vergleich der Signale können dann die Parameter eines Filters gefunden bzw. optimiert werden.

Diese Möglichkeit besteht bei einstellbaren Filtern am Anfang eines Übertragungskanal nicht, sie müssen also vor der Inbetriebnahme entsprechend den Kanalparametern eingestellt werden, falls nicht anderweitig eine Rückmeldung über die sich am Empfänger einstellende Signalqualität stattfindet.

5 Implementierung eines Leitungstreibers

Relativ kurzfristig ergab sich die Möglichkeit, einen Teil eines Chips mit einer Testschaltung zu füllen. Durch die Einschränkungen bezüglich Platz und Zeit mussten allerdings einige Vereinfachungen zu einem tatsächlich sinnvoll benutzbaren Transmitter gemacht werden.

So wurde beispielsweise das Problem einer möglichst jitterarmen Takterzeugung ausgelagert. Ferner verfügt das Design über keine Dateneingänge, sondern erzeugt entweder ein pseudozufälliges Muster oder einen Zahlenstrom von 0 bis 255.

Wie bereits ausgeführt, ist das Hauptproblem bei der schnellen seriellen Datenübertragung über eine große Distanz die frequenzabhängige Dämpfung des Signals. Sind Leitungsdimensionen und Leitungslänge festgelegt, ist die Kommunikation bis zu einer gewissen Datenrate möglich. Soll die Datenrate vergrößert werden, besteht die Möglichkeit mit einer Signalvorverzerrung die effektive Reichweite des Verbindungsnetzwerkes zu vergrößern. Da für eine einfache, senderseitige Signalvorverzerrung ein Teil der Signalamplitude zur Dämpfung von einzelnen Frequenzanteilen des Signals benutzt wird, ergibt sich die Notwendigkeit, im Sender ein möglichst großes Signal zu erzeugen. Der Leitungstreiber wurde daher darauf ausgelegt, dass er einen differentiellen Signalhub von 1,2 V Spitze-Spitze erzeugen kann.

Um dem Tiefpasscharakter des Verbindungsnetzwerkes entgegenzuwirken, wurde ein variabler, dreistufiger FIR-Filter eingebaut, der das zu übertragene Signal so vorverzerrt, dass es nach Durchlaufen des Kabels unverzerrt am Empfänger ankommt. Die einzelnen Filtergewichte sind dabei in ihrer Stärke begrenzt einstellbar. Aus Platzgründen wurden die einzelnen Filterstufen nicht gleich stark ausgelegt, sondern bereits grob den erwarteten Einsatzanforderungen angepasst. So kann die erste Stufe des Filters ein differentielles Signal im Bereich von 1 V erzeugen, während die zweite und dritte Stufe nur einen deutlich kleineren Anteil von 150 mV und 50 mV an der Gesamtsignalamplitude haben. Wie sich herausstellen sollte, sind die zweite und dritte Stufe zumindest für das später betrachtete Testszenario zu klein dimensioniert.

Aufgrund des großen Signalhubs ergibt sich architekturbedingt die Notwendigkeit, verhältnismäßig große Ströme durch die Transistoren der letzten Stufe zu leiten. Durch im Abschnitt 5.2 näher erläuterten Bedingungen mussten die Eingangspegel der Treiberendstufe auf diese Verhältnisse angepasst werden.

5 Implementierung eines Leitungstreibers

Nach einem Überblick über alle Komponenten der Testschaltung und deren Verbindungen, werden die einzelnen Schaltungselemente separat vorgestellt.

5.1 Überblick über den synthetisierten CMOS-Teil

In Abbildung 5.1 ist die Topologie des submittierten Testchips aufgezeichnet. Es sind sämtliche digitale, von außen manipulierbare Steuerungssignale der einzelnen Untermodule gezeigt. Diese sind allerdings, sofern es sich um langsame Signale handelt, nicht einzeln aus dem Chip herausgeführt, sondern werden über ein Schieberegister in einer Konfigurationsphase gesetzt. Nicht gezeigt sind die von außen einstellbaren Biasspannungen der nicht-CMOS-Teile des Testchips.

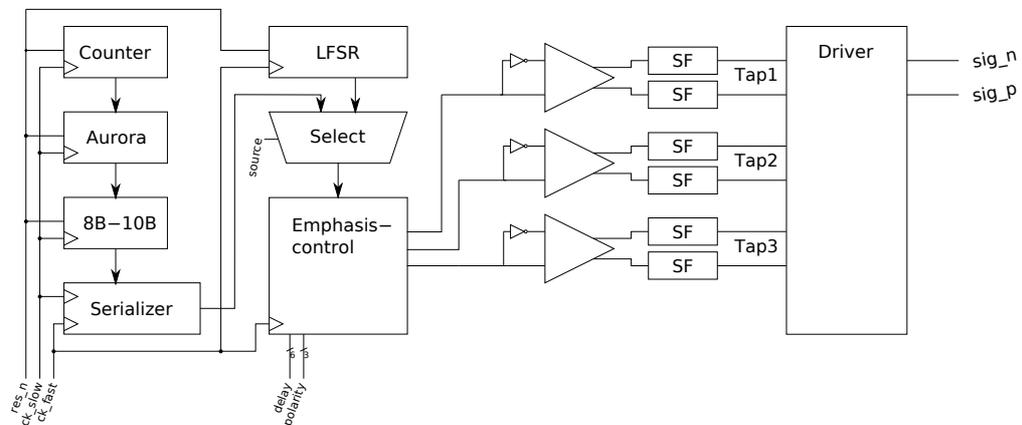


Abbildung 5.1: Topologie des Testchips

Ein interessantes Detail ist die Kombination von verschiedenen Logikfamilien. Von links beginnend bis hin zum Block *Emphasis-Control* wurde CMOS verwendet, dessen Komponenten aus einer am Lehrstuhl entwickelten, strahlenharten Standardzellenbibliothek entnommen wurden. Die anschließenden Puffer sind in einer abgewandelten Version der ebenfalls am Lehrstuhl entwickelten DCL ausgeführt. Bei der nächsten Stufe handelt es sich um Sourcefolger, die die Signalpegel so verändern, dass der sich anschließende CML-Treiber bei den entsprechend großen Strömen betrieben werden kann.

Im Folgenden werden die einzelnen Blöcke detailliert dargestellt.

Counter

Hierbei handelt es sich um einen Binärzähler mit 9 Bit. Wie in Abbildung 5.2 gezeigt, werden die unteren 8 Bits als Datenbus herausgeführt und für den Aurora-Encoder be-

5.1 Überblick über den synthetisierten CMOS-Teil

nutzt, mit dem neunten Bit wird periodisch ein *data_valid*-Signal erzeugt. Der Inkrementer wird mit *ck_slow* getaktet und liefert sofern er kein Stop-Signal vom nachgelagerten Aurora-Encoder erhält mit jedem Taktzyklus ein neues Datum. Dabei wechseln sich jeweils 256 Zyklen mit einem gesetzten und einem rückgesetztem *data_valid*-Signal ab.

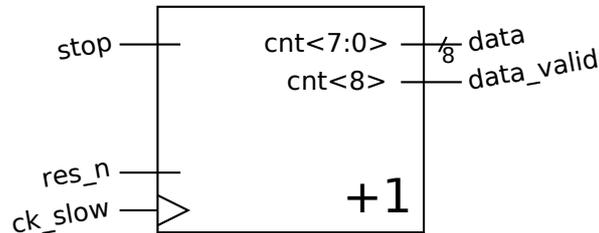


Abbildung 5.2: Binärzähler als Datenquelle mit *data_valid*-Signal

Aurora-Encoder

Die Firma Xilinx bietet für ihre Produkte mit Multi-Gigabit-Transceivern ein leichtgewichtiges Link-Layer Protokoll an. Für dieses ist eine kostenfreie Lizenz und Spezifikation [18] verfügbar. Dabei wird ausdrücklich erlaubt, das Protokoll in einem ASIC umzusetzen. Xilinx stellt *Intellectual Property* (IP) in Form von Cores zur Verfügung, die FPGA-seitig dem Benutzer eine einfache und verifizierte anbieten.

Das Protokoll definiert einige Eigenschaften, die die Kommunikationsteilnehmer erfüllen müssen. So werden erlaubte elektrische Pegel, Takt- und Datenkodierung, Initialisierungssequenzen, Verhalten im Fehlerfall und die Nutzerdatenmarkierung im Datenstrom definiert. Ferner werden bei einer mehrkanaligen Übertragungsstrecke oder einer Übertragungsstrecke mit Rückkanal die Datenaufteilung auf die einzelnen Kanäle und Flusskontrollmechanismen festgelegt. Es beinhaltet explizit keine Fehlererkennung und -korrektur außerhalb der im Rahmen der 8B/10B-Kodierung vorgesehenen Mechanismen.

Das Link-Layer Protokoll untergliedert sich in fünf notwendige Phasen. Der eingebaute Aurora-Encoder implementiert diese und modifiziert den Datenstrom entsprechend:

Initialisierung

Bevor über den Kanal Nutzdaten versendet werden können, muss sich der Empfänger auf den Sender einsynchronisieren, das heißt der zur Abtastung des Empfangssignal benutzte Takt muss synchron zum Takt der Datensymbole sein. Dies wird durch eine Initialisierungssequenz sichergestellt, die eine gewisse Zeit lang ein bestimmtes Muster sendet, welches genügend Transitionen bietet, um etwaige Phasenverschiebungen beispielsweise mit einer PLL korrigieren zu können.

5 Implementierung eines Leitungstreibers

Validierung

Direkt nach der Initialisierungsphase schließt sich eine Validierungsphase an, in der wiederum ein bestimmtes Muster gesendet wird. Mit Hilfe dieses Musters werden die Grenzen von einzelnen 8-Bit Datenworten gefunden und markiert. So wird auch gleichzeitig die Integrität des Kanals verifiziert.

Idle

Nach der Validierungsphase könnten direkt Daten versendet werden, sollten allerdings noch keine zur Verfügung stehen, wird eine Idle-Sequenz gesendet, die keine Nutzdaten überträgt, jedoch genügend Transitionen in den Datenstrom einfügt, dass die PLL im Empfänger auf den Datenstrom synchronisiert bleibt.

Idle-Sequenzen werden immer dann gesendet, wenn keine Nutzdaten zur Verfügung stehen.

Datenübertragung

Sobald *data_valid* gesetzt wird, interpretiert der Aurora-Encoder die Werte am Dateneingang als gültig und versendet diese. Um Beginn und Ende des Datenstroms zu markieren, werden spezielle Sequenzen vor und hinter den kodierten Nutzdaten eingefügt. Falls der Datenstrom aus einer ungeraden Anzahl von 8-Bit-Worten besteht, wird er mit einer weiteren speziellen Sequenz zu einer geraden Anzahl aufgefüllt.

Clock Compensation

Clock Compensation Characters sind spezielle Zeichen, die in den Datenstrom periodisch alle 10000 Zeichen eingefügt werden müssen. Dadurch kann ein Taktratenunterschied von bis zu 200 ppm (S. 38 [18]) zwischen Sender und Empfänger ausgeglichen werden.

Implementierung

Der hier verwendete Aurora Encoder geht auf eine frühere Diplomarbeit [14] am Lehrstuhl für Schaltungstechnik und Simulation zurück. Die in Verilog erstellte Funktionsbeschreibung wurde mit einem Synthesewerkzeug unter Verwendung der strahlenharten Standardzellenbibliothek in eine Schaltung übersetzt und manuell in den Chip integriert. In Abbildung 5.3 ist die Schnittstelle des Logikblocks aufgezeichnet, die Leitungen *stop* und *valid* dienen zur Kommunikation mit der Datenquelle, in diesem Fall der Binärzähler. Mit dem Anschluss *control* wird dem nachgeschalteten 8B/10B Encoder mitgeteilt, ob es sich beim aktuellem Datenwort um ein Daten- oder ein Kontrollzeichen handelt.

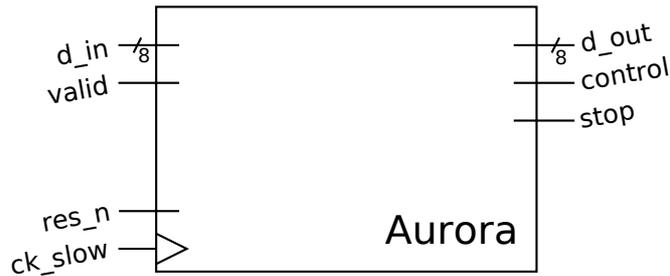


Abbildung 5.3: Interface des Aurora-Encoders

8B/10B-Enkoder

Die Aurora-Spezifikation verlangt, dass der Datenstrom 8B/10B¹ kodiert ist, um eine gleichstromfreie Übertragung zu gewährleisten. Ferner wird durch die 8B/10B-Kodierung die maximale Länge von Zeichen ohne Pegelwechsel auf fünf begrenzt. Zusammen bildet das die Grundvoraussetzungen für AC-gekoppelte Übertragungskanäle.

Sämtliche Sequenzen, die zur Initialisierung, Validierung und Clock Compensation benutzt werden, werden in den 12 im 8B/10B-Standard vorgesehenen Kontrollzeichen abgebildet.

Auch dieser Teil geht auf die Arbeit [14] zurück.

Serialisierer

Um die nun 10 Bit breiten Datenworte über einen einzelnen Kanal übertragen zu können, muss dies natürlich zehnfach schneller geschehen, als die Daten parallel angeliefert werden. So ergibt sich die Notwendigkeit eines phasengleichen, zehnfach schnelleren Taktes *ck_fast* zusätzlich zur *ck_slow*. Wie eingangs erwähnt, wurde die nichttriviale Aufgabe diese Takte zu erzeugen ausgelagert, sie werden durch einen geeigneten Pulsgenerator extern erzeugt und eingespeist.

Die Architektur des Serialisierers besteht aus einer parallelen Ladeeinrichtung, deren Ansteuerung mit einem aus dem langsamen Taktsignal *ck_slow* abgeleiteten Signal vorgenommen wird, und einer Kette von seriell verbundenen Flipflops, die mit dem schnellen Takt *ck_fast* betrieben werden.

Im Vergleich zur Implementierung aus [14] wurde die Struktur leicht verändert, dass sie zur Generierung des *load*-Signal nicht mehr die fallende Flanke von *ck_fast* benutzt, da dies einen die maximale Geschwindigkeit begrenzenden, kritischen Pfad darstellt. Zum Preis einer zusätzlichen Registerstufe kann dieser Pfad entschärft werden.

¹es existiert auch eine Spezifikationsvariante mit einer 64B/66B-Kodierung

5 Implementierung eines Leitungstreibers

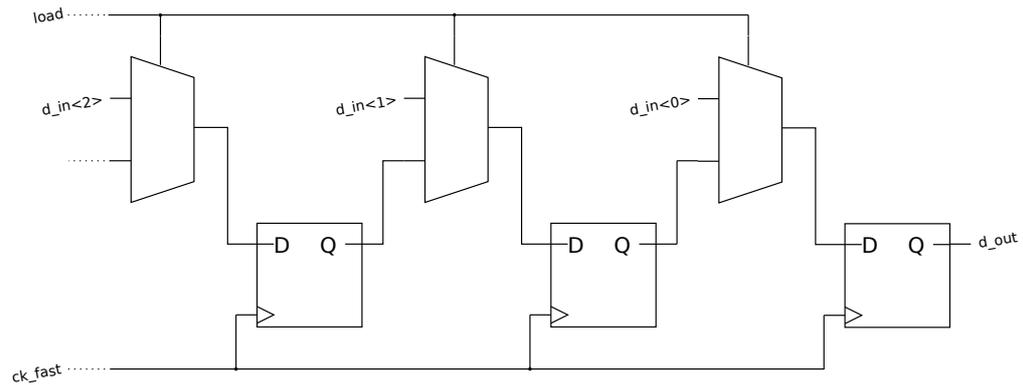


Abbildung 5.4: Die letzten 3 Bits des Serialisierers nach [14]

Linear Feedback Shift Register

Um eine kompakte, schnelle Datenquelle zu realisieren, fiel die Wahl auf ein *Linear Feedback Shift Register*. Gewählt wurde ein LFSR bestehend aus sieben D-Flipflops und einem Abgriff zwischen den letzten beiden Flipflops, was dem Polynom $x^7 + x^6 + 1$ entspricht. Ein entsprechendes Blockdiagramm ist in Abbildung 5.5 gezeichnet.

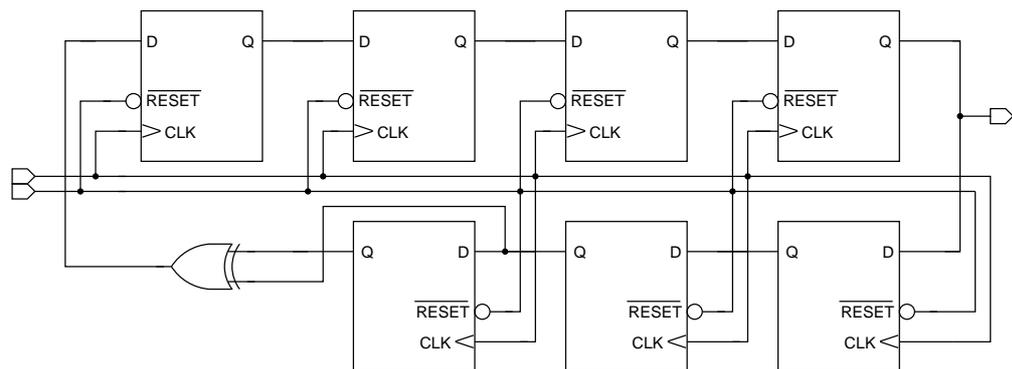


Abbildung 5.5: LFSR mit dem Polynom $x^7 + x^6 + 1$

Es handelt sich hierbei um ein sogenanntes *volles* LFSR, das heißt es durchläuft $2^7 - 1$ Zustände, bevor die Sequenz sich wiederholt. Wie in Abbildung 5.6 visualisiert, haben LFSRs allgemein die Eigenschaft, dass sie zwei oder mehr sich nicht überschneidende Zustandsfolgen besitzen. Bei vollen LFSRs muss der Zustand, in dem alle Flipflops den Wert 0 haben, vermieden werden, da dieser als einziger Zustand stabil ist und sich bei angelegtem Taktsignal keine Ausgangssignaländerung einstellt. Um diesen Zustand zu vermeiden, wird ein beliebiges Flipflop (oder alle) beim Reset nicht auf Null, sondern auf Eins zurückgesetzt.

LFSRs werden oft für Built-In Self-Tests verwendet, weil sie platzsparend implementier-

5.1 Überblick über den synthetisierten CMOS-Teil

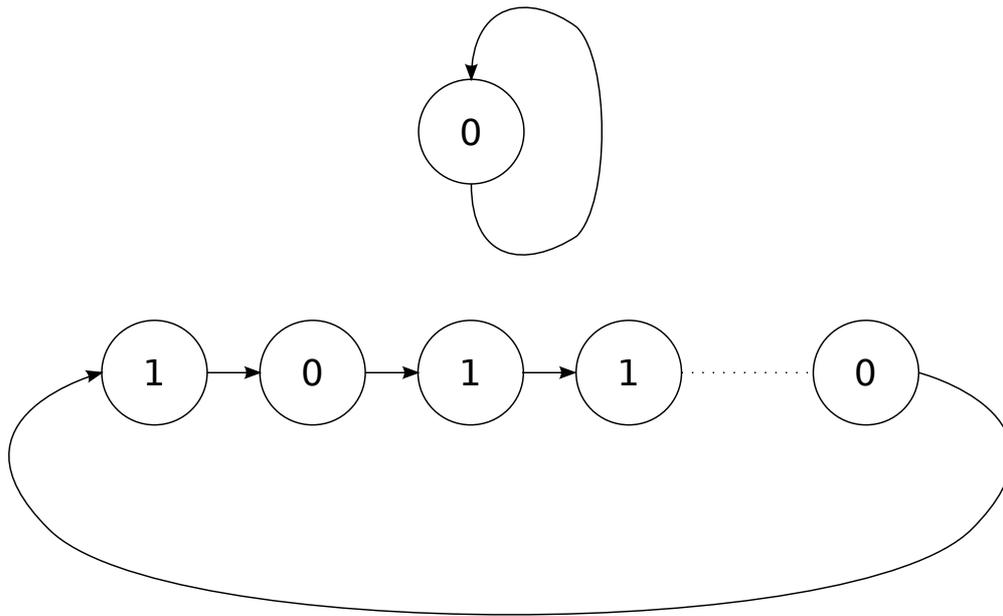


Abbildung 5.6: Mögliche Musterfolgen eines vollen LFSRs

bar sind, und durch die einfache Struktur mit hohen Taktfrequenzen betreibbar sind. Alle FPGAs von Xilinx mit Multi-Gigabit-Transceivern verfügen über die Möglichkeit, eine pseudozufällige Sequenz mit der höchstmöglichen Übertragungsgeschwindigkeit über ihre Transmitter auszugeben. Nach (S.112 [20]) kann der Anwender zwischen drei verschiedenen Polynomen wählen, die alle einen bestimmten Einsatzzweck haben. Das gewählte Polynom findet Anwendung beim Testen von 8B/10B-kodierten Kanälen, da prinzipbedingt die längste konsekutive Folge von gleichen Zustandswerten auf sieben beschränkt ist, was etwas länger als die von der 8B/10B Kodierung garantierte maximale Folge von fünf aufeinanderfolgenden gleichen Symbolwerten ist. Sollte nun innerhalb einer Initialisierungsphase ein solches Muster erfolgreich für einige Sekunden bei voller Datenrate übertragen werden können, so kann mit einer gewissen Sicherheit von einer fehlerfreien Übertragungstrecke ausgegangen werden.

Die anderen im FPGA-Transceiver eingebauten LFSRs sind 23 und 31 Bit lang und besitzen die Polynome $x^{23} + x^{18} + 1$ und $x^{31} + x^{28} + 1$.

Das im Testchip eingebaute LFSR liefert mit jedem Zyklus von *ck_fast* einen neuen Wert, der direkt vom Block Emphasis-Control verarbeitet wird. Wie in ([20] S. 149) beschrieben, besitzt eine die Empfangseinheit im FPGA ein gleichartiges LFSR nebst eines speziellen Logikblocks, der nach einer gewissen Zeit die Musterfolge des lokalen LFSRs auf den Datenstrom synchronisiert, der von einem im Sender befindlichen LFSR erzeugt wird. Nach dieser Einsynchronisationsphase kann der Empfänger erkennen, ob ein Bitfehler vorliegt, und inkrementiert für jedes fehlerhaft übertragene Datum einen Zähler.

Während sich der optimale Abtastzeitpunkt in der Mitte der Öffnung des Augendia-

5 Implementierung eines Leitungstreibers

gramms maximal weit von den Transitionen entfernt befindet, existiert bei den Eingangspuffern GTX und GTP die Möglichkeit, den Abtastzeitpunkt in 128 Schritten vom Zeitpunkt der ersten Transition bis zur zweiten vor- und zurück zu schieben ([20] S. 146). Kombiniert mit dem eben beschriebenen Fehlerzähler können so Bit Error Rate Tests durchgeführt werden. Gerade wenn die Übertragungsrate so groß ist, dass das Signal nicht mehr mit einem Oszilloskop darstellbar ist, oder keine Möglichkeit mehr besteht, um verzerrungsfrei das Signal abzugreifen, ist diese Option sehr attraktiv. Ferner ist diese Methode auch am akkuratesten, weil die Übertragungsstrecke mit genau den gleichen bzw. mit etwas ungünstigeren Parametern betrieben wird, als auch beim Nutzdatenbetrieb vorherrschen.

Somit kann relativ komfortabel überprüft werden, ob die Qualität der Übertragungsstrecke ausreichend für die angestrebte Übertragungsgeschwindigkeit ist, sprich keine Bitfehler auftreten und eine Aussage über die Störsicherheit des Kanals getroffen werden.

Emphasis-Control

Es existieren zwei voneinander unabhängige Datenquellen im Design, der Binärzähler als Datenquelle mit sämtlichen der Aurora-Spezifikation entsprechenden Kodierungskomponenten bis hin zum Serialisierer, und das eben besprochene LFSR. Zwischen diesen beiden Quellen kann per Konfigurationsregister ausgewählt werden.

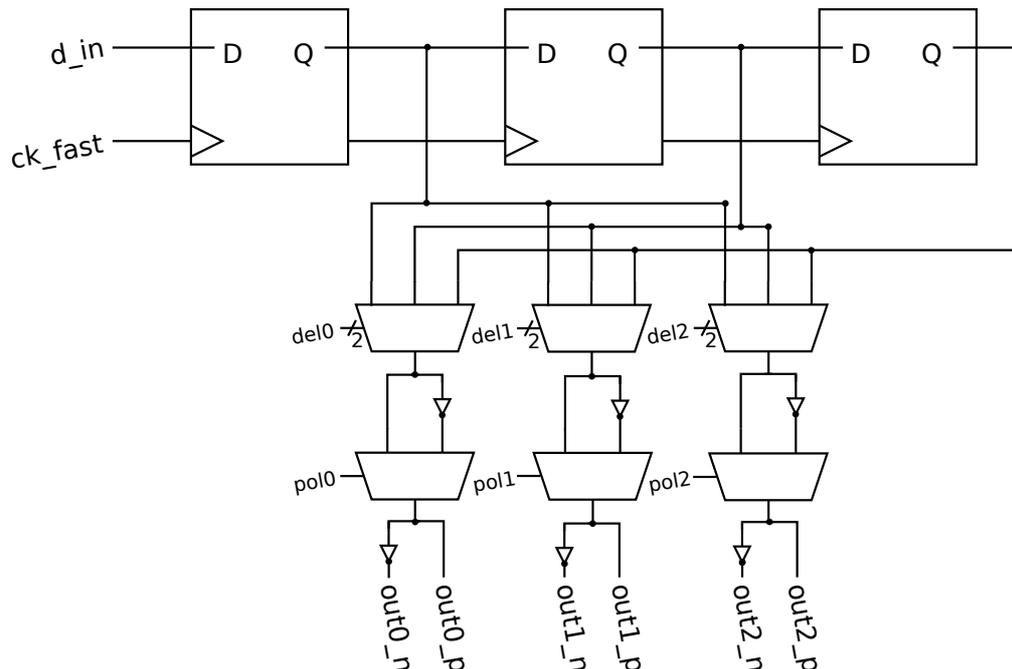


Abbildung 5.7: Konfigurierbare Verzögerung und Polarität der einzelnen Filterstufen

5.1 Überblick über den synthetisierten CMOS-Teil

Unabhängig von der ausgewählten Datenquelle arbeitet der Block Emphasis-Control immer gleich. Wie in Abbildung 5.7 dargestellt wird der ankommende serielle Datenstrom auf drei differentielle Kanäle verteilt. Jeder dieser Kanäle ist Teil einer Stufe des FIR-Filters, und übernimmt die notwendige zeitliche Verzögerung der einzelner Datensymbole. Da im Vorhinein nicht klar war, welche Konfiguration die besten Ergebnisse bringt, wurde Wert auf eine hohe Flexibilität der Ansteuerung gelegt. So können die einzelnen Datenströme konfigurierbar um bis zu drei Taktzyklen verzögert und in ihrer Polarität vertauscht werden.

Denkbar ist beispielsweise eine Konfiguration, in der die Filterwirkung abgeschaltet ist, wenn alle drei Filterstufen gleichzeitig und ohne Verzögerung oder Polaritätswechsel angesteuert werden.

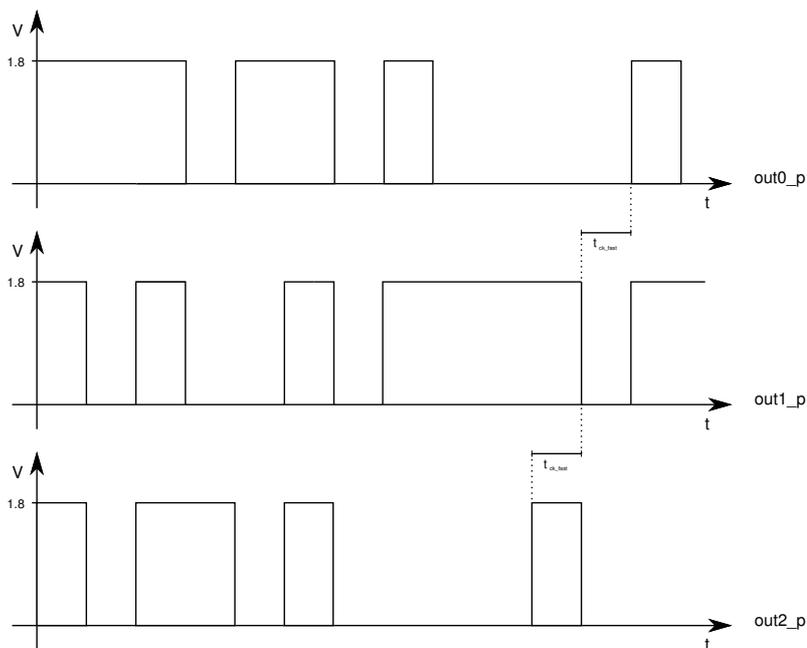


Abbildung 5.8: Verzögerte und invertierte Datenströme zur Ansteuerung der verschiedenen Filterstufen

5 Implementierung eines Leitungstreibers

Genauso leicht kann eine Konfiguration ausgewählt werden, in der die erste Stufe um einen, die zweite Stufe um zwei und die dritte Stufe um drei Taktzyklen verzögert wird, bei gleichzeitiger Invertierung in der zweiten Stufe. Dies ist in Abbildung 5.8 gezeigt.

Zwischenfazit

Die bis hierhin aufgeführten Schaltungsblöcke wurden alle in Verilog geschrieben und mit *Cadence First Encounter* unter Verwendung einer am Lehrstuhl entwickelten, strahlenharten CMOS-Standardzellenbibliothek synthetisiert. Es wurde eine Schaltfrequenz von 1 GHz angestrebt, die trotz einer kleinen Veränderung am Serialisierer um etwa 200 ps verfehlt wurden. Da nicht bekannt ist, wie belastbar die Abschätzungen bezüglich der maximal erreichbaren Taktfrequenz sind, muss jedoch letztendlich eine Messung zeigen, mit welcher Geschwindigkeit die Schaltung betrieben werden kann.

Alle Blöcke nehmen insgesamt eine Fläche von ungefähr $500 \cdot 100 \mu\text{m}^2$ ein, wobei noch zusätzlich rund $25 \mu\text{m}$ an allen Seiten für Stromversorgung hinzukommen. In Abbildung 5.21 ist der Bereich des Testchips farblich hervorgehoben, der von diesem synthetisierten Logikblock vereinnahmt wird.

5.2 Ausgangstreiber

Im Wesentlichen besteht der implementierte FIR-Filter aus einer Schaltung zum Vorhalten der Historie des Datenstroms und einer Schaltung zum Aufsummieren der einzelnen Gewichte.

Mit Hilfe des CMOS-Blocks *Emphasis-Control* werden drei zueinander jeweils um bis zu zwei Symbolperioden verschobene und invertierte Signale aus dem Datenstrom erzeugt. Um aus diesen verzögerten Datenströmen ein vorverzerrtes Ausgangssignal zu erzeugen, müssen sie in einem einzelnen Treiber aufsummiert werden, wobei die Signale der einzelnen Verzögerungsstufen unterschiedlich gewichtet werden müssen.

Da die Ausgangstreiberstufe differentiell ausgelegt ist, ergeben sich die Spannungsverläufe der beiden Zweige beispielsweise zu den in 5.9 skizzierten.

Weil die nachfolgenden Schaltungsteile nur zur Ansteuerung des eigentlichen Leitungstreibers benutzt werden, wird im Folgenden die Beschreibung des Testchips ausgehend von der Treiberendstufe vorgenommen.

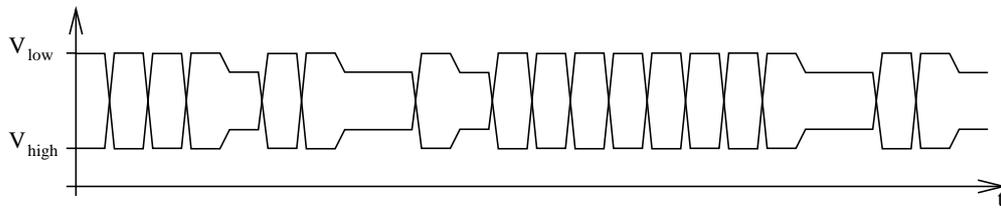


Abbildung 5.9: Möglicher Ausgangsspannungsverlauf der beiden differentiellen Zweige des Ausgangstreiber bei einer einstufigen Filterwirkung

CML-Treiberstufe

Um ein vorverzerrtes Ausgangssignal zu erzeugen, wird eine abgewandelte Version der Grundsaltung des differentiellen Paares benutzt. Ein Schaltbild der Treiberendstufe ist in Abbildung 5.10 gezeigt.

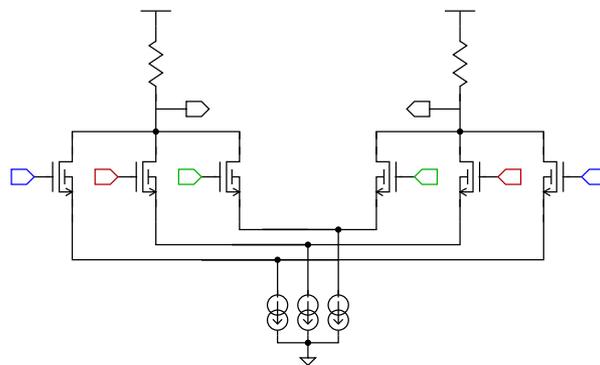


Abbildung 5.10: CML-Leitungstreiber. die Ströme durch den rechten und linken Zweig werden durch drei voneinander unabhängig ansteuerbare NMOS-Schalttransistoren gesteuert. Die farblich gleich markierten Eingänge werden mit einem differentiellen Signal belegt. Je nach Ansteuerung stellen sich unterschiedliche Ausgangsspannungen ein

Um die drei unterschiedlichen Filtergewichte zu realisieren, sind die Stromquellen und die zugehörigen Schalttransistoren in drei Gruppen eingeteilt, die jeweils einen Bruchteil des Gesamtstroms in den einen oder den anderen Zweig leiten.

Da Ströme viel einfacher als Spannungen addierbar sind, werden die drei das jeweilige Filtergewicht repräsentierenden Ströme an einem gemeinsamen Lastwiderstand zusammengeführt und erzeugen in ihrer Summe die Ausgangsspannungspegel.

Da kommerzielle Verbindungsnetzwerke üblicherweise eine Odd-Mode Impedance von 50Ω aufweisen², wurden die Lasten als ohmsche Widerstände mit dieser Impedanz aus-

²und quasi die gesamte Messtechnik mit dieser charakteristischen Impedanz arbeitet

5 Implementierung eines Leitungstreibers

gelegt, was gleichzeitig als Quellenterminierung des differentiellen Verbindungsnetzwerkes gegen die positive Versorgungsspannung dient.

Eine maximal große Spannungsdifferenz wird erzeugt, indem der Gesamtstrom aus allen drei Stromquellen entweder vollständig durch den positiven oder den negativen Zweig geleitet wird. Um das Signal aus der Treiberendstufe für eine Signalverzerrung abzuschwächen, wird über die dreigeteilte Stromquelle ein Teil des Gesamtstroms durch den jeweils anderen Zweig geleitet, was einerseits den Stromfluss durch den einen Zweig verkleinert, und andererseits den Stromfluss durch den anderen Zweig vergrößert. Somit ergibt sich die gewünschte Veränderung der Ausgangsspannungen abhängig von der Ansteuerung der einzelnen Teilstufen.

Zur Signalverzerrung werden einzelne Stufen mit einer Verzögerung und einem negativen Gewicht versehen, das heißt die Polarität ihrer Ansteuerung wird vertauscht. Dies verkleinert die maximal erreichbare Signalamplitude. Um die gewünschte Filterwirkung zu erreichen, und dennoch über einen genügend großen Signalhub zu verfügen, muss der Gesamtstrom durch das differentielle Paar möglichst groß sein.

Für die verwendeten Transistoren wird vom Hersteller eine Versorgungsspannung von 1,8V empfohlen. Dies zusammen mit der gewählten Lastimpedanz von $50\ \Omega$ lässt bei einem möglichst großen Ausgangssignal nur noch wenig Spannungsreserven für den Betrieb der Schalttransistoren und ihrer Stromquellen übrig.

Während zunächst versucht wurde einen Gesamtstrom aller Stromquellen von 28 mA zu erreichen, zeigten Simulationen, dass sowohl die Schalttransistoren als auch die notwendigen Stromquellen um einen solchen Strom zu erzeugen und zu verteilen unverhältnismäßig groß werden. Ein Gesamtstrom von 24 mA erschien eher realisierbar. Die High- und Lowpegel des Ausgangssignal liegen dann nach Gleichung (3.2) bei 0,9 und 1,5 V.

Auf dem Testchip sind die Stromquellen als NMOS-Transistoren mit jeweils einer einzeln herausgeführten Biasspannung ausgelegt. Allgemein nimmt die Stromleitfähigkeit eines Transistors mit Vergrößerung der Drain-Source-Spannung zu.

Da die NMOS-Schalttransistoren möglichst klein sein sollen, damit die umzuladenden Eingangskapazitäten minimal sind, muss die Drain-Source-Spannung dieser Transistoren möglichst groß sein. Deshalb wird zunächst eine Drain-Source-Spannung für die Stromquellen gesucht, mit der der gewünschte Strom fließen kann. Simulationen zeigen, dass dies ab etwa 250 mV der Fall ist. Der größte Transistor, der einen Anteil von 20 mA am Gesamtstrom liefert, weist dann eine Breite von 2,4 µm bei einer Länge von 500 nm auf.

Mit der damit festgelegten Drain-Source Spannung der Schalttransistoren von

$$V_{\text{low}} - 250\ \text{mV} = 750\ \text{mV}$$

werden diese so dimensioniert, dass sie in *Sättigung* jeweils die Ströme leiten können, die von der ihr zugeordneten Quelle erzeugt werden. Für den Zweig mit 20 mA äußert

sich dies in einem Verhältnis W/L von $148\ \mu\text{m}$ zu $180\ \text{nm}$.

Damit die einzelnen Schalter, wie in den Gleichungen (3.2) beschrieben, trotz des vergrößerten Stroms noch in Sättigung betrieben werden, ist es notwendig, den ansteuernden High-Pegel auf ein geringeres Niveau als die positive Versorgungsspannung zu bringen. Da durch die invertierende Charakteristik des Treibers bei einer solchen Ansteuerung ein Low-Signal erzeugt wird, ist die sich an den NMOS-Schaltern einstellende Drainspannung $V_{\text{low}} = 900\ \text{mV}$. Durch die Sättigungsbedingung

$$V_{DS} \geq V_{GS} - V_{Th}$$

darf der High-Pegel, der einen Schalttransistor ansteuert, maximal eine Schwellenspannung größer als V_{low} sein. Dies entspricht beim gewünschten Signalhub also einer Spannung von $1,4\ \text{V}$.

Um einen High-Pegel am Ausgang eines Zweiges zu erzeugen, muss der entsprechende Schalttransistor sperren. Dies wird über eine Ansteuerung mit einer Gate-Source-Spannung unterhalb der Schwellenspannung realisiert. Für eine festgelegte Sourcespannung von $250\ \text{mV}$ entspricht dies einer maximalen Spannung von $750\ \text{mV}$, im Allgemeinen ist allerdings eine etwas kleinere Spannung gewünscht, weil bedingt durch die Dimensionierung der Schalttransistoren auch die Leckströme groß sind.

Prinzipiell ist die Erzeugung von Signalen, die sich innerhalb dieser Grenzen bewegen mit einer entsprechend kleinen Versorgungsspannung kein Problem. Da aber jede zusätzliche Versorgungsspannung einen erhöhten Aufwand für das in den Detektor einzubauende PCB bedeutet, wurde ein anderer Weg gewählt, um Signale mit solchen Pegeln zu erzeugen: Die durch den CMOS-Block *Emphasis Control* erzeugten Signale werden über DCL-Puffer verstärkt und über Sourcefolger auf die erforderlichen, kleineren Pegel gebracht, die dann den eben beschriebenen Treiber ansteuern.

In Abbildung 5.11 ist das simulierte Ausgangssignal des Treibers mit einer Signalverzerrung gezeigt.

DCL-Puffer

Bei der DCL-Logikfamilie handelt es sich um eine am Lehrstuhl für Schaltungstechnik und Simulation entwickelte differentielle Stromlogikfamilie. In Abbildung 5.12 ist das Schaltbild des Inverters dieser Logikfamilie aufgezeichnet.

Eine Besonderheit der DCL-Logikfamilie stellt die nichtlineare Last dar. In ihr befindet sich ein PMOS-Transistor, welcher als Stromquelle betrieben wird, und ein NMOS-Transistor, der wie in Abbildung 5.13(a) gezeigt diode-connected in Vorwärtsrichtung angeschlossen ist. Beide Transistoren sind in Abbildung 5.13(b) durch idealisierte Bauelemente ersetzt.

5 Implementierung eines Leitungstreibers

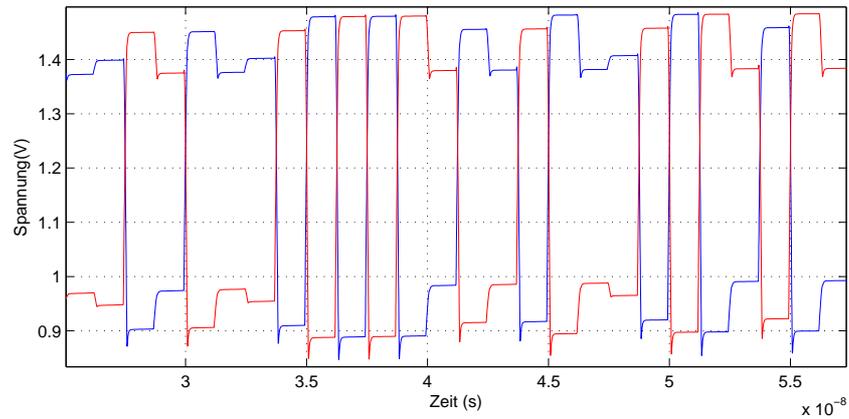


Abbildung 5.11: Simulation des Ausgangssignals der CML-Treiberstufe mit Signalvorverzerrung. Die Ansteuerung der zweiten und dritten Filterstufe erfolgt um einen bzw. zwei Takte verzögert zur ersten Stufe. Die die zweite Stufe ansteuernden Signale sind invertiert

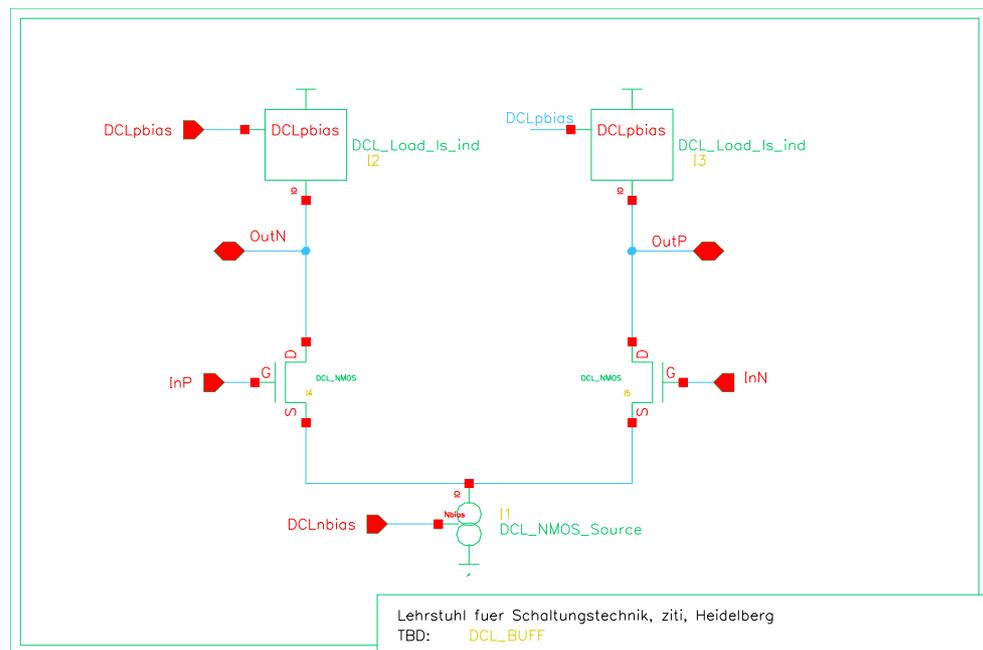


Abbildung 5.12: Schaltbild eines DCL-Puffers

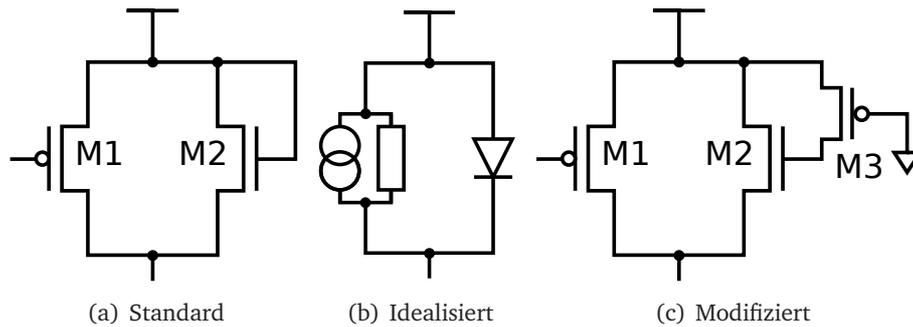


Abbildung 5.13: DCL-Lasten

Soll am Ausgang des positiven Zweigs ein High-Pegel erzeugt werden, wird der Schalttransistor mit einer Gate-Source-Spannung angesteuert, die unterhalb der Schwellenspannung des Schalttransistors liegt. Als Folge sperrt dieser Transistor, und über den Zweig kann kein Strom mehr fließen. Folglich stellt sich ein High-Pegel im Bereich der positiven Versorgungsspannung am Ausgang ein.

Interessanter ist die Erzeugung des Low-Pegels im negativen Zweig. Durch die differentielle Signalisierung wird der Schalttransistor mit einem Pegel im Bereich der positiven Versorgungsspannung angesteuert, sodass die Gate-Source-Spannung größer als die Schwellenspannung des Transistors ist. Infolgedessen wird der Transistor voll durchgesteuert, und der gesamte Strom, der durch das Gatter fließt, wird über diesen Zweig geführt. Als Folge des endlichen Innenwiderstandes der Last und des diode-connected Transistors sinkt die Drainspannung am Schalttransistor bzw. die Sourcespannung am diode-connected Transistor. Die Ausgangssignalspannung dieses Zweiges fällt also ausgehend von der positiven Versorgungsspannung ab. Dadurch nimmt der Strom durch den diode-connected Transistor $M2$ exponentiell zu und begrenzt schließlich das Low-Level. Das Spannungsniveau bei der dieses Verhalten auftritt hängt vor allem von der Schwellenspannung des Transistors $M2$ ab.

Die eingebaute DCL-Last ist, wie in Abbildung 5.13(c) zu sehen, noch in einem Detail weiter modifiziert. So handelt es sich bei dem Transistor $M2$ üblicherweise um einen Triple-Well NMOS-Transistor mit regulärer Schwellenspannung, auf dem betrachteten Teil des Testchips ist dieser aus dem Wunsch nach einem nicht zu kleinen Low-Pegel der DCL-Stufen als Zero-VT NMOS-Transistor ausgeführt. Des weiteren ist das Gate des diode-connected Transistors nicht direkt an die positive Versorgungsspannung angeschlossen, sondern über einen weiteren, voll durchgesteuerten PMOS-Transistor $M3$, der als aktiver Widerstand gegen die positive Versorgungsspannung wirkt. Durch diese spezielle Anschaltung wird ein sogenanntes Peaking erreicht, welches den dynamischen Bereich des Gatters etwas verbessert.

Schaltverhalten eines DCL-Puffers

Weil Stromquelle und Last als aktive Bauelemente ausgeführt sind, müssen die Arbeitsbereiche dieser Transistoren durch Biasspannungen eingestellt werden. Dabei ist die Wahl der Spannungen nicht unabhängig: Soll mehr Strom durch die Quelle fließen, muss natürlich auch die Stromleitfähigkeit der Last angepasst werden, damit die steigenden und fallenden Flanken des Ausgangssignals in etwa symmetrisch sind.

Durch die Gesamtstrommenge kann wie in 5.14 gezeigt einerseits die Flankensteilheit etwas angepasst werden, sie hat jedoch vor allem einen Einfluss auf den absoluten Pegel eines Low-Signals.

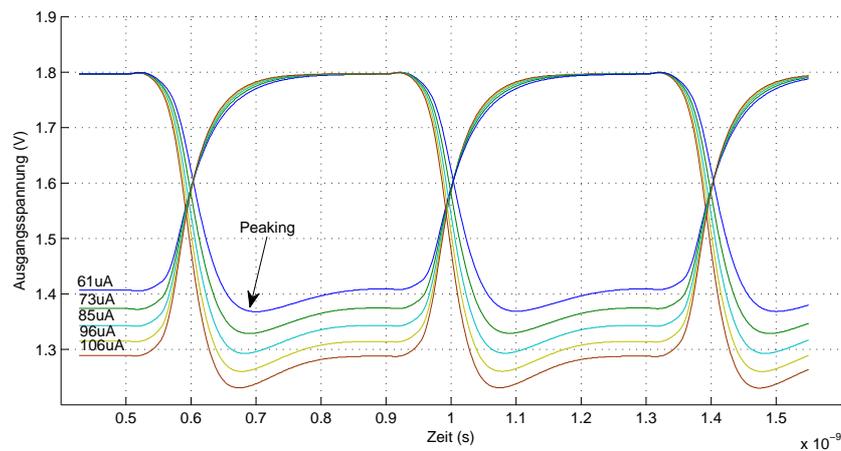


Abbildung 5.14: Ausgangsspannungspegel des mittleren von drei in Reihe geschalteten DCL-Puffern bei unterschiedlichen Gesamtströmen. Die Beule nach der fallenden Flanke wird durch das Peaking erzeugt, und verbessert die Steilheit der fallenden Flanke, sowie den Umladevorgang der nachfolgenden Logikstufe etwas

Durch das Peaking fällt das Ausgangssignal zunächst etwas tiefer als es sich statisch einstellt. Dadurch wird der Umschaltvorgang des nachfolgenden Logikgatters beschleunigt. Allerdings ist die Flankensteilheit in jedem Fall mit Abfallzeiten³ zwischen 58 und 66 ps bzw. Anstiegszeiten zwischen 86 und 110 ps ausreichend schnell.

Pufferkette

Wenn ein Puffer eine größere Kapazität als die Eingangskapazität eines nachfolgenden Puffer umladen muss, vergrößert sich die Zeit, die zum Umladen erforderlich ist. Infol-

³Zeitdifferenz zwischen dem Erreichen von 10% und 90% der Signalamplitude eines Zweigs des differentiellen Paares

gedessen sinkt die Flankensteilheit des Ausgangssignals des Puffers. Da der noch näher beschriebene Sourcefolger relativ groß ist und somit eine große Eingangskapazität besitzt, ist es notwendig, mehrere DCL-Puffer parallel zu schalten, damit die Kapazität des Sourcefolgers ausreichend schnell umgeladen werden kann.

Da aber andererseits die Eingangskapazität der den Sourcefolger ansteuernden DCL-Pufferstufe linear mit der Menge an verwendeten Puffern ansteigt, muss die diese ansteuernde Stufe wieder durch parallel treibende Puffer angesteuert werden.

Üblicherweise wird eine binäre Skalierung der Anzahl der parallel treibenden Puffer gewählt, das heißt die Anzahl der parallel arbeitenden Puffer wird von einer zur nächsten Stufe hin verdoppelt. Durch Simulation kann ein ausreichend schneller Umladevorgang der Eingangskapazität eines Sourcefolgers mit 16 parallel arbeiten DCL-Puffern beobachtet werden, infolgedessen ergibt sich bei binärer Skalierung eine minimale Tiefe von fünf Treiberstufen.

Da die Ansteuerung des ersten DCL-Puffers über CMOS-Signale aus dem synthetisierten Logikteil erfolgt, entspricht der Low-Pegel 0 V und somit keinem Spannungsniveau, welches durch Ansteuerung mit einem DCL-Gatter erreicht werden würde. Infolgedessen sind die Anstiegszeiten des ersten Puffers asymmetrisch, was sich bis ans Ende der Pufferkette fortpflanzt. Um diesen Effekt zu verringern wird ein weiterer DCL-Puffer vor die Pufferkette geschaltet. Die Ausgangsspannungsverläufe der ersten, zweiten und letzten Stufe der Pufferkette sind in Abbildung 5.15 aufgetragen. Zum Ende der Pufferkette hin nähern sich die Anstiegszeiten der steigenden und fallenden Flanke an, was in einem symmetrischen Ausgangssignal resultiert. Ein symmetrisches Ausgangssignal ist gerade bei einer AC-Kopplung essentiell, da dann normalerweise die differentiellen Signalleitungen gegeneinander mit der differentiellen Impedanz des Verbindungsnetzwerkes terminiert werden. Sollte das übertragene Signal asymmetrisch sein, heben sich die Energien nicht vollständig auf, und es kommt zu Reflektionen. In Abbildung 5.16 ist ein typisches Terminierungsschema für differentielle Signalisierungen abgebildet.

Somit ergibt sich die Gesamttiefe der DCL-Pufferkette zu sechs Stufen, und die absolute Anzahl der Einzelpuffer beträgt

$$1 + 1 + 2 + 4 + 8 + 16 = 32.$$

5 Implementierung eines Leitungstreibers

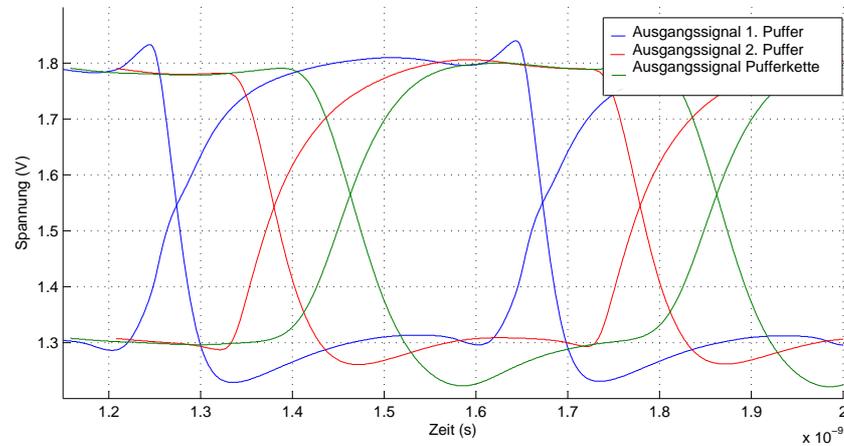


Abbildung 5.15: Ausgangsspannungsverläufe der ersten, zweiten und letzten Stufe der DCL-Pufferkette. Mit dem Ausgangssignal der letzten Stufe der Pufferkette wird der nachgeschaltete Sourcefolger angesteuert

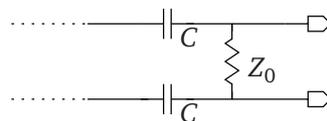


Abbildung 5.16: Typisches Terminierungsschema für AC-gekoppelte Übertragungskä-näle. Die empfängerseitige Terminierung erfolgt dabei üblicherweise mög-lichst dicht am Ende des Übertragungskanals, oft sogar im selben Ge-häuse, in der auch der Empfänger sitzt. Ist das ankommende Signal asymmetrisch, können sich die Signalenergien am Terminierungswider-stand nicht neutralisieren. Typische Größen für die Kapazitäten sind 100 nF

Sourcefolger

Die Ausgangssignale des positiven und negativen Zweigs der letzten Stufe der DCL-Pufferkette werden mit Hilfe zweier Sourcefolger auf kleinere Spannungsniveaus gebracht. Ein abstrahierter Sourcefolger ist in Abbildung 5.17 gezeichnet.

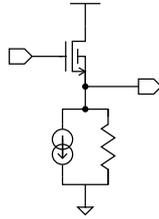


Abbildung 5.17: Abstrahierter Sourcefolger

Sobald die Eingangsspannung größer als die Schwellenspannung des NMOS-Transistors ist, fängt dieser an zu leiten und die Ausgangsspannung folgt der Eingangsspannung im Abstand einer Schwellenspannung. Bedingt durch den endlichen Innenwiderstand der Stromquelle ist die Steigung der in Abbildung 5.18 aufgetragenen Kennlinie etwas flacher als der Verlauf der Eingangsspannung. Die Stromquelle ist auf dem Testchip wieder als NMOS-Transistor mit einer herausgeführten Biasspannung ausgeführt.

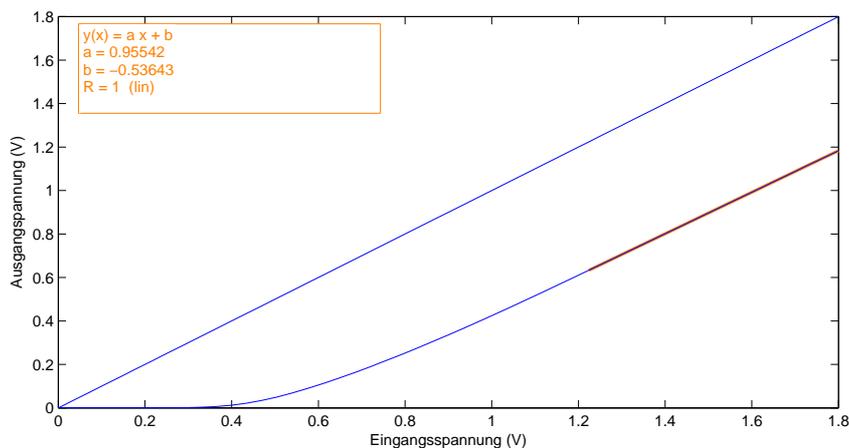


Abbildung 5.18: Eingangsspannung und sich ergebende Ausgangsspannung des Sourcefolgers. Die Ausgangsspannung folgt der Eingangsspannung im Abstand von etwa einer NMOS-Schwellenspannung. Der Bereich, in dem der Sourcefolger bei Schaltvorgängen betrieben wird, wurde zusätzlich mit einer Ausgleichsgeraden versehen

Um die durch die DCL-Puffer erreichte Flankensteilheit auch an den nachfolgenden CML-Treiber weitergeben zu können, wird neben einer guten Linearität besonderen Wert auf

5 Implementierung eines Leitungstreibers

eine hohe Bandbreite des Sourcefolgers bei Belastung mit der Eingangskapazität des nachgelagerten Schaltungselements gelegt. Wie in Abbildung 5.19 zu sehen, liegt bei Betrachtung einer Amplitude, die im Bereich der Spannungsdifferenz zwischen High- und Lowpegel der DCL-Logik ist, die 3 dB-Bandbreite des Sourcefolgers bei etwa 6 GHz, was für angestrebte Anstiegszeiten der Flanken im Bereich von 100-200 ps ausreichend ist.

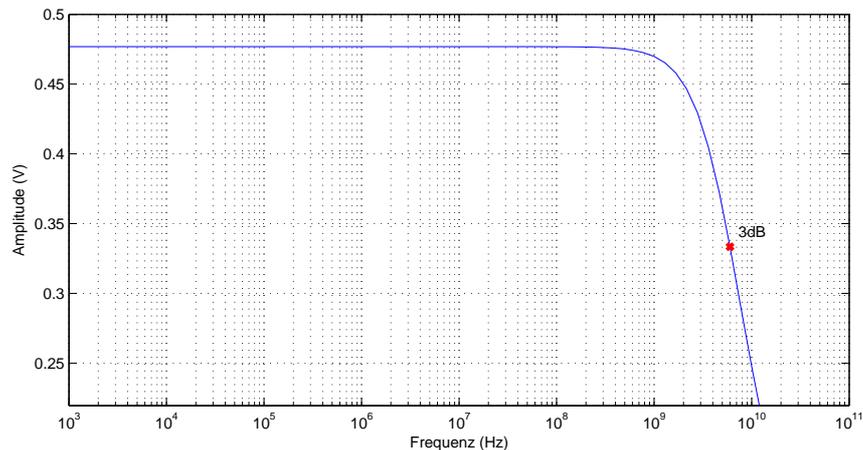


Abbildung 5.19: AC-Simulation des Sourcefolgers. Die 3 dB-Bandbreite liegt bei Belastung mit der Eingangskapazität der nachfolgenden Stufe bei ungefähr 6 GHz. Angenommen wurde eine Amplitude, die der Spannungsdifferenz von High- und Lowpegel der ansteuernden DCL-Logik entspricht

Wahl der Biasspannungen

Die Wahl der einzelnen Biasspannungen ist wegen der teilweise gegensätzlichen Auswirkungen auf das Ausgangssignal ein iterativer Prozess. Beim Ausgangstreiber angefangen stellt sich mit Wahl der Biasspannungen der einzelnen Stufen die Sourcespannung der Schalttransistoren ein. Damit die Schalttransistoren der einzelnen CML-Treiberstufen jeweils in Sättigung und gesperrtem Zustand betrieben werden können, müssen die Biasspannungen von DCL und Sourcefolger entsprechend gewählt werden. Dabei bewirkt eine Erhöhung der Biasspannung der DCL-Stromquelle einen kleineren Low-Pegel des DCL-Signals und somit auch nach dem Sourcefolger eine verringerte Amplitude. Dadurch wird der jeweilige Zweig der Ausgangstreiberstufe stärker abgeschaltet, und der Ausgangsspannungspegel erhöht sich, bis hin zum theoretischen Wert von V_{high} . Allerdings werden durch zu kleine Pegel der ansteuernden Signale die Flanken des Ausgangstreiberersignals asymmetrisch, was gerade bei AC-Kopplung unerwünscht ist.

Die Erhöhung der Biasspannung des Sourcefolgers hat einen ähnlichen Effekt, nur verschiebt sie sowohl den Low- als auch den High-Pegel des die Ausgangstreiberstufe an-

steuernden Signals. Somit muss ein Kompromiss aus ausreichender Spannung zum Abschalten eines Zweiges und einem Signal mit möglichst identischen Flankenanstiegszeiten gefunden werden.

Die durch Simulationen gefundenen Biasspannungen resultieren dann in unterschiedlichen Signalpegeln der einzelnen Bausteine des Treibers. In Abbildung 5.20 sind diese gemeinsam aufgezeichnet.

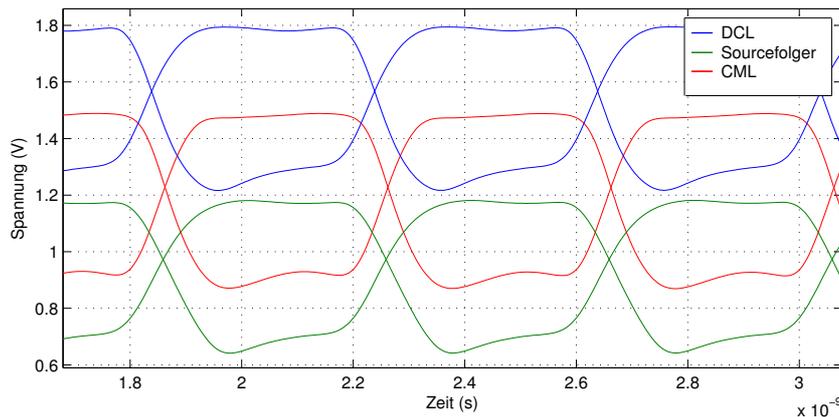


Abbildung 5.20: Ausgangssignale der einzelnen Komponenten des Ausgangstreibers. Das Ausgangssignal der DCL-Pufferkette wird von den Sourcefolgern auf kleinere Signalpegel gesenkt, welche dann die drei hier parallel arbeitenden Stufen des CML-Ausgangstreibers ansteuern

Für einzelnen Komponenten ist mit den Biasspannungen der jeweilige Stromverbrauch festgelegt. Ein einzelner DCL-Puffer benötigt etwa $100 \mu\text{A}$ und ein Sourcefolger etwa $1,5 \text{ mA}$.

Da die Schaltungen zur Ansteuerung jeder Stufe des FIR-Filters identisch sind, ergibt sich eine Gesamtzahl von drei Pufferketten und sechs Sourcefolgern, um den Ausgangstreiber anzusteuern. Der Strombedarf der Komponenten Pufferkette, Sourcefolger und Ausgangstreiber addieren sich dann zu etwa 10 , 10 und 24 mA . Bei einer Versorgungsspannungshöhe von $1,8 \text{ V}$ verbraucht somit eine Treiberstufe ohne ansteuernde CMOS-Logik rund 80 mW .

In Abbildung 5.21 ist das Layout des Testchips abgebildet.

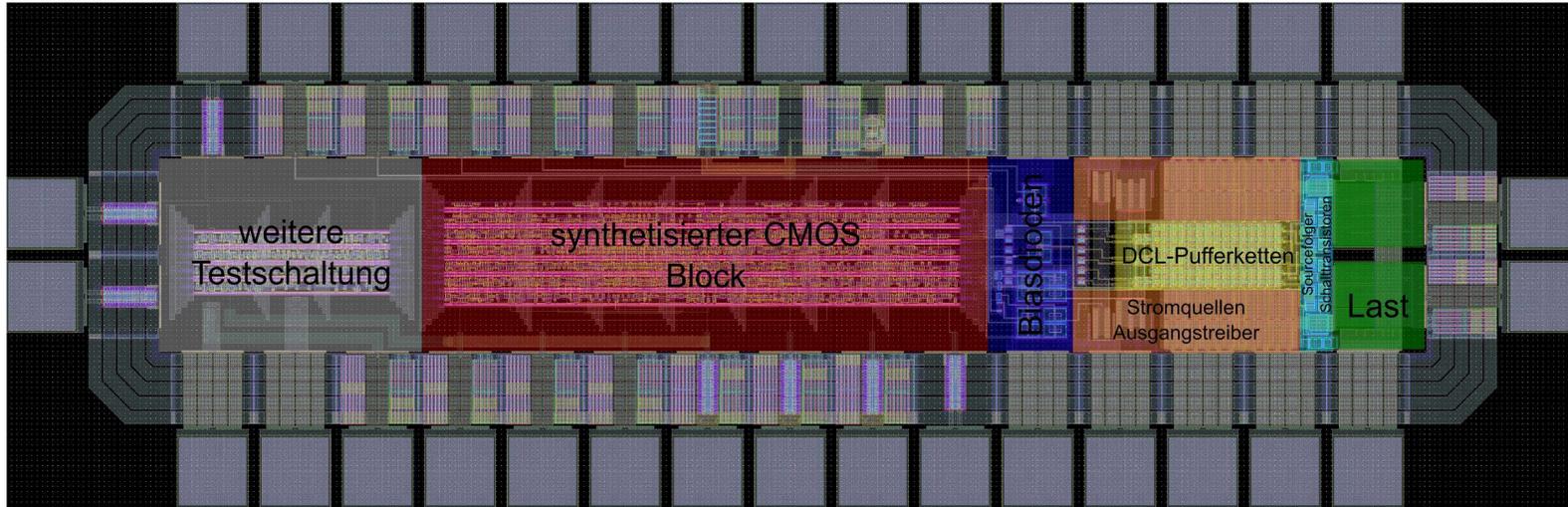


Abbildung 5.21: Layout des Testchips mit farblich hervorgehobenen Komponenten. Damit die tieferen Strukturen sichtbar werden, wurden die obersten Metallagen ausgeblendet. Die Gesamtfläche beträgt $485 \cdot 1525 \mu\text{m}^2$. Für eine ungefähre Größenabschätzung kann die Größe der Pads herangezogen werden, diese beträgt $65 \cdot 65 \mu\text{m}^2$

5 Implementierung eines Leitungstreibers

nungsbudget für die den Stromfluss steuernden Transistoren größer, und diese können dadurch mit einer höheren Drain-Source-Spannung kleiner dimensioniert werden.

6 Inbetriebnahme

Um das Verhalten des Testchips zu charakterisieren, wurde eine Erweiterungsplatine für das am Lehrstuhl entwickelte Uxibo entworfen. Der auf diesem befindliche FPGA steuert die Kommunikation zwischen Computer und den Komponenten auf der Testplatine. Zu diesem Zweck wird ein entsprechendes Bitfile mit Hilfe des vom Hersteller dafür vorgesehenen Softwarepakets erstellt, welches die genauen logischen Verschaltungen für den FPGA enthält. Die Konfiguration der Komponenten wird dann über die Steuerungssoftware gewählt.

Es existieren zwei Komponenten auf der Erweiterungsplatine, die eine Konfiguration benötigen. Zum einen der Testchip, mit dessen Statusregister die Verzögerung und Invertierung der einzelnen Filterstufen eingestellt wird, zum anderen muss ein auf der Platine befindlicher DAC so konfiguriert werden, dass er die jeweils gewünschten Biasspannungen erzeugt. Somit kann die Größe der einzelnen Filtergewichte über den DAC gesteuert werden.

Das Uxibo selbst ist mit dem PC über eine USB-Schnittstelle verbunden. Ein Chip der Firma FTDI stellt eine einfache, parallele Schnittstelle zu den über USB an das Uxibo geschickten Daten zur Verfügung. Die so übermittelten Daten werden im FPGA zwischengespeichert und unter Berücksichtigung der jeweiligen Protokolle der einzelnen zu konfigurierenden Komponenten an diese weitergeleitet.

6.1 Testumgebung

Auf der entworfenen Erweiterungsplatine, die über Pfostensteckverbinder auf das Uxibo aufgesteckt werden kann, befinden sich neben einem PLCC68-Sockel für den Testchip und einem die Biasströme erzeugenden DAC noch zwei Spannungsregler, die die notwendigen Versorgungsspannungen von 1,8 und 3,3V erzeugen, und noch einige Möglichkeiten, um verschiedene Kabel per SMA- oder SATA-Steckverbindung anzuschließen. In Abbildung 6.1 ist der Aufbau bildlich festgehalten.

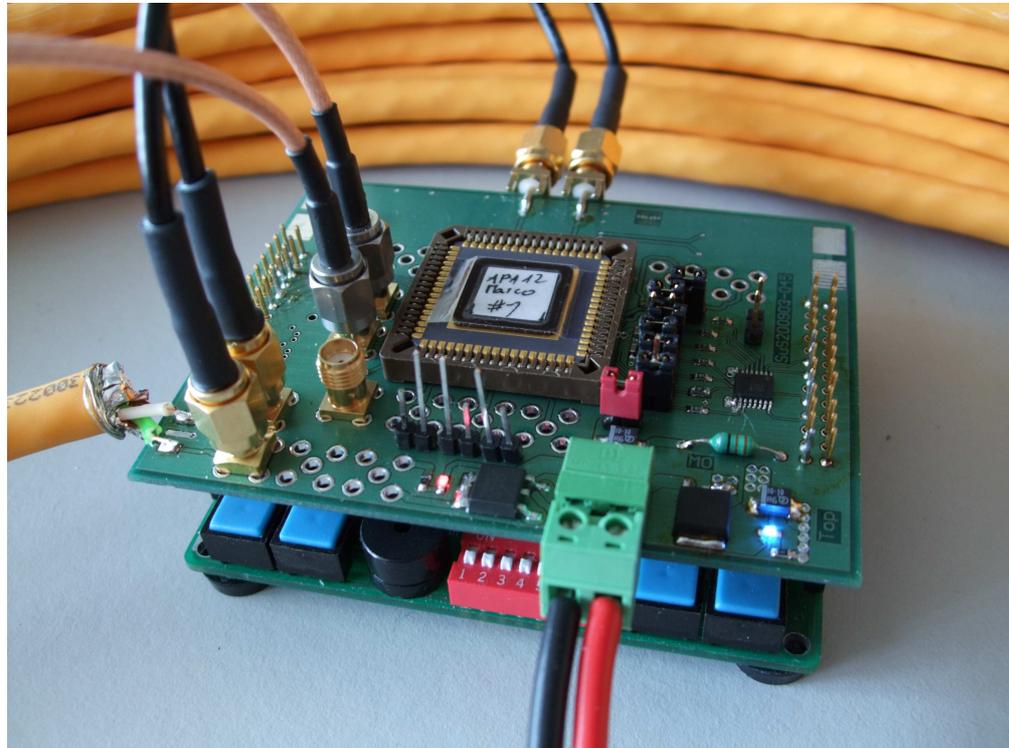


Abbildung 6.1: Testplatine auf ein Uxibo aufgesteckt. Am oberen Ende der Platine befinden sich die differentiellen Ausgänge des Ausgangstreibers. Diese sind über zwei kurze SMA-Kabel zurück auf die Platine geführt, um von dort aus in die 42 m lange Teststrecke eingespeist zu werden, die im Hintergrund teilweise zu erkennen ist. Rechts vom PLCC68-Gehäuse befindet sich der DAC zur Erzeugung der Biasspannungen. Am vorderen Ende sind die Spannungsregler zur Erzeugung der nötigen Versorgungsspannungen sichtbar. Links vom PLCC68-Gehäuse werden über die SMA-Kabel mit silberfarbenen Steckern die zwei extern erzeugten Taktsignale eingespeist

Erzeugung der Biasströme

Die zur Einstellung der Arbeitspunkte der Stromquellen auf dem Testchip notwendigen Biasströme werden von einem auf der Platine befindlichen DAC erzeugt. Da sich beim verwendeten DAC kein bestimmter Strom sondern nur ein Spannungswert wählen lässt, wird die Spannung mit Hilfe eines Widerstandes in einen Strom übersetzt. Die Biaseingänge des Microchips wurden allesamt für die in der Simulation gewählte Biasspannung auf einen Stromfluss von etwa $50 \mu\text{A}$ dimensioniert, sodass die Beschaltung aller Biaseingänge identisch ist. Sie ist in Abbildung 6.2 schematisch dargestellt.

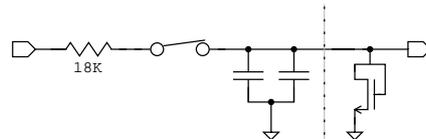


Abbildung 6.2: Erzeugung der Biasspannungen. Die Eingangsspannung wird vom DAC erzeugt, so dass sich über den Widerstand ein Stromfluss einstellt. Über eine Kurzschlussbrücke und Abblockkondensatoren wird mit diesem Strom dann innerhalb des Testchips über einen diode-connected Transistor mit passender Dimensionierung die Biasspannung zur Einstellung des Arbeitspunktes der jeweiligen Stromquelle erzeugt

Beim verwendeten DAC handelt es sich um einen 8-fach DAC mit einer Auflösung von 10 bit pro Kanal. Die Architektur des DACs besteht aus einer mit Schaltern versehenen Widerstandskette, die in Abbildung 6.3 abgebildet ist.

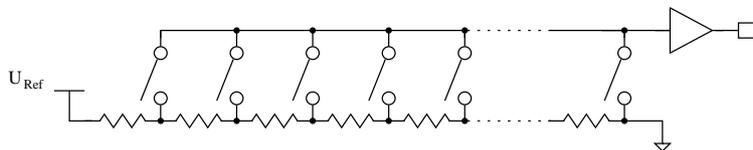


Abbildung 6.3: DAC-Kanal bestehend aus Widerstandskette, Schaltern und einem Ausgangsverstärker

Durch An- und Abschalten verschiedener Schalter an den unterschiedlichen Abgriffen der Widerstandskette kann die Ausgangsspannung eingestellt werden. Durch diese Architektur ist sichergestellt, dass die Änderung der Ausgangsspannung monoton erfolgt.

Der DAC kann mit verschiedenen Versorgungs- und Referenzspannungen betrieben werden. Erstere wurde so gewählt, dass die digitalen Konfigurationseingänge des DACs kompatibel mit den Ausgangsspannungspegeln des FPGAs sind, letztere wurde aus der Versorgungsspannung des Microchips abgeleitet, so dass die analogen Ausgänge des DACs maximal eine für die integrierte Schaltung kompatible Ausgangsspannung erzeugen können.

6 Inbetriebnahme

Die Konfiguration des DAC-internen Registers erfolgt über ein SPI-kompatibles Protokoll, welches pro DAC-Kanal ein 16-Bit langes Datenwort erfordert. Durch die obersten vier Bits wird neben einer Kommandofunktion die Adresse des gerade zu konfigurierenden Kanals festgelegt. Die nachfolgenden 12 Bits beinhalten dann den Wert des DAC-Kanals, wobei die untersten zwei Bits bei dem auf der Testplatine eingebauten Modell nicht berücksichtigt werden.

Konfigurationsregister des Testchips

Das Protokoll zum Beschreiben der Register des Testchips ist deutlich einfacher gehalten. Das Interface besteht aus drei Pins: einem Takteingang, einem Load-Signal und einem seriellen Dateneingang. Bei jeder positiven Taktflanke des Konfigurationstaktes wird der Wert des Dateneingangs in ein Schieberegister übernommen, so dass nach 10 Taktzyklen alle Konfigurationsbits gesetzt sind. Mit einer steigenden Flanke des Load-Signals wird der Inhalt dieses Registers als Konfiguration übernommen.

Die Zuordnung der Registerwerte ist in Abbildung 6.4 dargestellt.

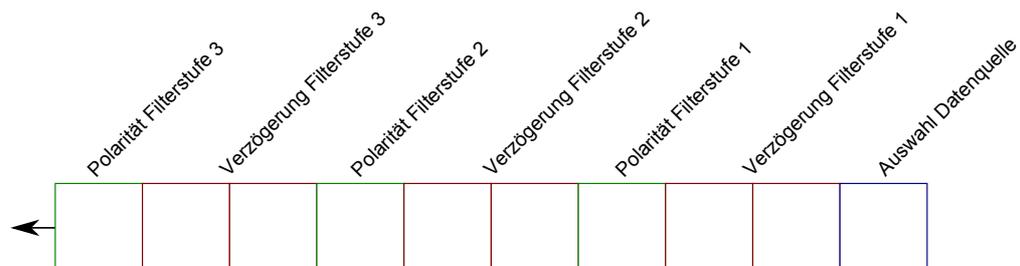


Abbildung 6.4: Belegung des Konfigurationsregisters des Testchips. Das LSB wählt zwischen den beiden Datenquellen, die folgenden Einträge konfigurieren die Polarität und Anzahl der Takte, um die die einzelnen Filterstufen verzögert werden. Der Pfeil gibt die Richtung an, mit der das Konfigurationswort eingeschoben werden müssen

So kann über die Konfiguration einerseits die Datenquelle zwischen dem Binärzähler mit nachgeschaltetem Aurora-Protokollencodier und dem LFSR gewählt werden, und die Verzögerung und Polarität der einzelnen Filterstufen eingestellt werden.

Takterzeugung

Die Testschaltung verfügt über keine Möglichkeit, die beiden zum Betrieb erforderlichen, phasensynchronen Takte für CMOS-Logik und Serialisierer intern zu erzeugen. Daher wurden die Takteingänge auf der Platine möglichst dicht am Gehäuse des Testchips mit

SMA-Buchsen verbunden, damit über einen Pulsgenerator die erforderlichen Takte eingespeist werden können. Über die Konfiguration des Pulsgenerators wird ein Taktsignalmuster für den Takt des Serialisierers und ein weiteres Muster erzeugt, welches seinen Wert bei jedem 20. Pegelwechsel des schnellen Taktes ändert, was dann als Taktsignal für den übrigen CMOS-Teil verwendet wird. Durch eine interne Kalibrierung des Pulsgenerators und die Verwendung von Kabeln identischer Länge wird die Phasengleichheit beider Taktsignale sichergestellt.

Steuerungssoftware

Um ein komfortables Benutzerinterface zur Einstellung der Registerwerte des Testchips und der Biasspannungen zu erhalten, wurde eine Steuerungssoftware erstellt, die mit dem FPGA auf der Erweiterungsplatine kommuniziert. Im Wesentlichen können über Regler die einzelnen DAC-Werte ausgewählt, und über weitere Steuerelemente die Registerbelegung des Testchips gewählt werden. Ein Screenshot ist in 6.5 abgebildet.

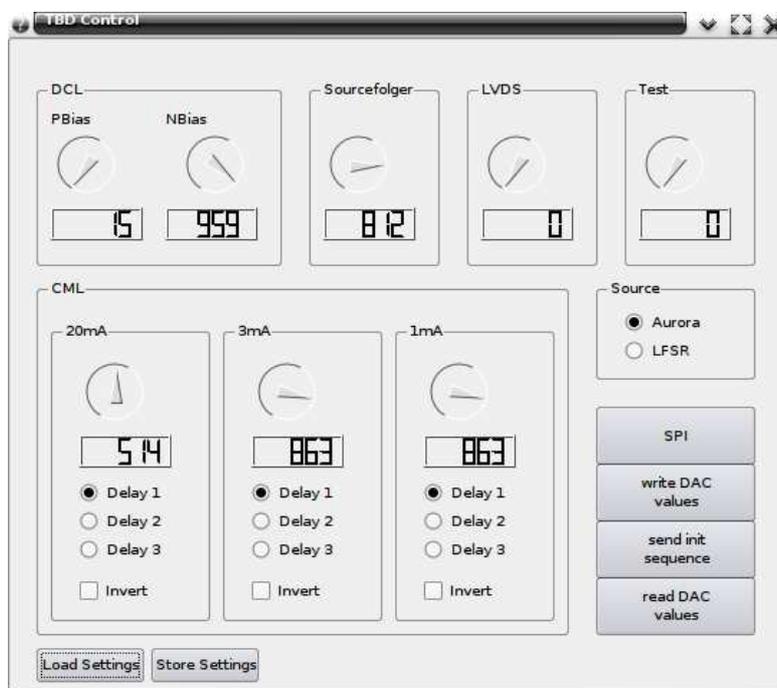


Abbildung 6.5: Screenshot der Benutzeroberfläche des zur Steuerung erstellten Programms

Durch Drücken der Schaltflächen am rechten Rand werden die zuvor ausgewählten Werte auf den FPGA geschrieben und von dort aus an DAC und Testchip weiterübermittelt.

6.2 Messungen

Widerstandsmessungen

Mit einem Multimeter wurde in einem allerersten Test der Widerstand zwischen V_{DD} und V_{GND} ausgemessen. Er liegt bei ungefähr $42\text{ k}\Omega$. Obwohl chipintern *sehr* großzügig dimensionierte Versorgungsspannungsleitungen gewählt wurden, stellen sich zwischen unterschiedlichen Versorgungsspannungspins der gleichen Netze je nach Entfernung Widerstandswerte zwischen 1 und $2,8\ \Omega$ ein.

Danach wurde die Größe der Sourceterminierung ausgemessen. Die beiden differentiellen Ausgänge weisen einen Widerstand von $95\ \Omega$ gegeneinander, und jeweils etwa $48\ \Omega$ gegen V_{DD} auf. Dies liegt recht nah an den erwarteten $100\ \Omega$ respektive $50\ \Omega$, und innerhalb der vom Hersteller angegebenen Toleranzen für diesen Widerstandstyp. Wird auf eine perfekte Quellterminierung oder genau definierte Signalpegel besonderen Wert gelegt, so sollte also dieser Terminierungswiderstand entweder Extern vorgesehen werden, oder aber etwas zu groß dimensioniert und über einen parallel geschalteten Transistor, der im linearen Bereich betrieben wird, abstimmbare gestaltet werden.

Biaseinstellung

Nachdem die Probleme mit den kalten Lötstellen am PLCC68-Sockel behoben worden waren wurde überprüft, ob mit dem DAC alle Biasspannungen aus der Simulation erreicht werden können. Bei der Biasspannung der DCL-Last war dies nicht der Fall, da diese im Gegensatz zu den übrigen Biasspannungen über einen diode-connected PMOS-Transistor erzeugt wird, der ein Potential gegen die positive Versorgungsspannung erzeugt. Schon ohne äußere Beschaltung stellte sich am entsprechenden Pin eine höhere Spannung als der in der Simulation gefundene Wert ein. Weil der DAC nicht als Stromsenke wirkt, wurde die Beschaltung dieses Pins um einen Widerstand gegen Masse ergänzt. In Abbildung 6.6 ist die korrigierte Beschaltung abgebildet.

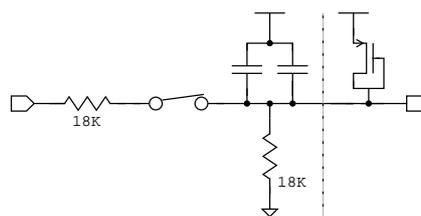


Abbildung 6.6: Biaserzeugung der DCL-Last. Da der diode-connected PMOS-Transistor im Testchip schon ohne äußere Beschaltung eine Spannung oberhalb des gewünschten Pegels erzeugt, wird über einen zusätzlich eingefügten Widerstand diese auf ein tieferes Niveau gebracht

Die Biasspannung der Sourcefolger wurde zwar erreicht, jedoch war der Bereich, in der die Spannung über den DAC eingestellt werden konnte, recht klein. Deswegen wurde ein zweiter $18\text{ k}\Omega$ -Widerstand parallel zum schon vorhandenen aufgelötet, sodass nun ein Widerstand von $9\text{ k}\Omega$ zwischen DAC und Biasdiode vorhanden ist.

Um die Biasspannungen für die drei Stromquellen der Ausgangstreiberstufe zu finden, werden die differentiellen Signalausgänge kurzgeschlossen, so dass der Gesamtstrom der einzelnen Stufen gemessen werden kann. Bei der Messung werden die Biasspannungen der nicht betrachteten Filterstufen jeweils auf Masse gelegt. Es ergeben sich die in Abbildung 6.7 gezeigten Kennlinien.

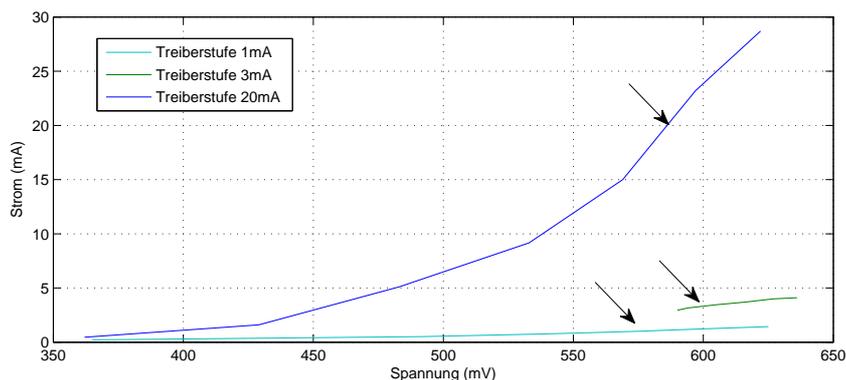


Abbildung 6.7: Kennlinien der Stromquellen der einzelnen CML-Treiberstufen

Die Größe der Biasdioden wurden während der Designphase zwar so gewählt, dass überall sich die gleiche Spannung hätte ergeben müssen, jedoch ist zumindest die Stromquelle, die für 20 mA ausgelegt ist, so groß, dass auch geringe Abweichungen von den Entwurfsgrößen in einer relativ großen Kennlinienänderung resultiert. Die gewählten Biasspannungen sind in absteigender Reihenfolge der Treiberstärken 580 mV , 594 mV und 574 mV .

Die Biasspannungen für die übrigen Komponenten werden auf die Simulationswerte eingestellt. In Tabelle 6.1 sind die Spannungen und dafür notwendigen DAC-Einstellungen aufgelistet.

Nach Anlegen der Biasspannungen an den Testchip stellen sich an den Ausgangssignalpins unterschiedliche Spannungspegel mit den erwarteten Pegeln von etwa $0,9$ und $1,5\text{ V}$ ein.

Signalpegel und Flankensteilheit

Mit aktiviertem Taktgenerator stellt sich bei angelegten Biasspannungen ein differentielles Signal mit jeweils abwechselnden Pegeln ein. Zunächst werden bei einem langsamen Takt von 100 MHz die Pegel der einzelnen Filterstufen verifiziert.

6 Inbetriebnahme

	Spannung (mV)	DAC Einstellung
CML 20mA	580	695
CML 3mA	594	745
CML 1mA	574	664
DCL N	1029	959
DCL P	519	15
Sourcefolger	1004	812

Tabelle 6.1: Biasspannungen und zugehörige DAC-Einstellungen

Werden alle Filterstufen mit der gleichen Verzögerung und Polarität angesteuert, arbeiten alle Treiberstufen parallel, und es stellt sich eine größtmögliche Spannungsdifferenz zwischen den differentiellen Ausgangspins ein. Sie entspricht, wie in Abbildung 6.8 zu sehen, zumindest bei direkter Abnahme am Gehäuse den erwarteten 1,2 V.

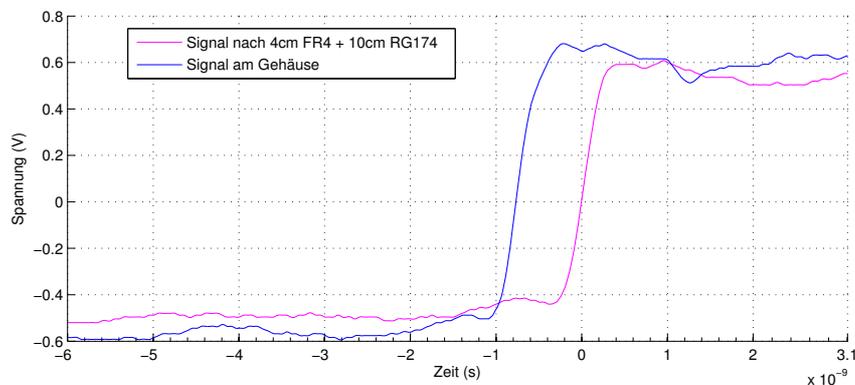


Abbildung 6.8: Differenzielles Signal zwischen den Ausgangspins. Das Ausgangssignal wurde einmal direkt am Gehäuse mit einer differentiellen Probe abgenommen, und das andere Mal über wenige Zentimeter Microstrip auf FR-4 und RG174 Koaxialkabel geführt. Die Anstiegszeit der Flanken beträgt ungefähr 380 ps

Interessant ist auch die Flankensteilheit der Signale, welche nach Bonddrähten, Gehäuse, Sockel, Leiterbahn, Stecker, Buchse und 10 cm Koaxialkabel Anstiegszeiten zwischen 380 und 420 ps aufweisen. Die Anstiegszeit des direkt am Gehäuse abgenommenen Signals ist bei höherem absoluten Pegel etwa identisch. Die Differenz zur Simulation, in der die Anstiegszeiten < 150 ps betragen, rührt höchstwahrscheinlich vom verwendeten Gehäuse, Länge der Bonds und Sockel her. Ferner befindet sich dieses Signal in einem Bereich, in der die Grenze der Oszilloskopbandbreite erreicht werden. Allerdings werden die Flanken des Taktgenerators, der mit Anstiegszeiten von < 110 ps spezifiziert ist, etwas steiler als das differentielle Ausgangssignal des Testchips abgebildet, und bewegen sich bei vergleichbarem Spannungshub bei gemessenen 220 ps.

Werden die Filterstufen mit 3 und 1 mA nominellen Signalanteil um ein und zwei Takte verzögert und invertiert, ergibt sich ein charakteristisches, in Abbildung 6.9 gezeigtes Ausgangssignal.

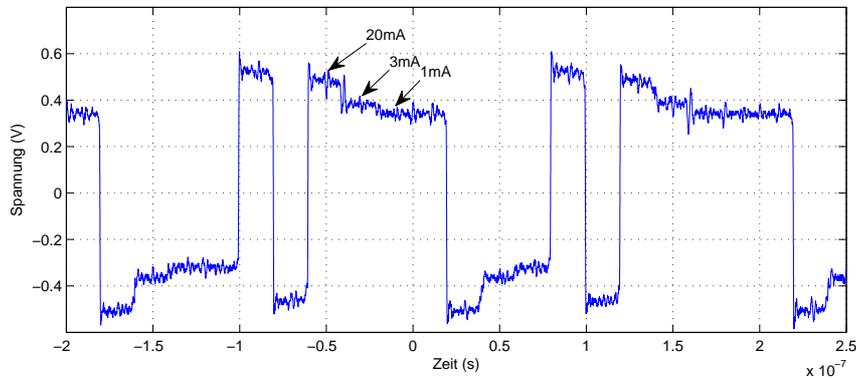


Abbildung 6.9: Differenzielles Ausgangssignal bei einer Taktfrequenz von 100 MHz und aktivierten Filterstufen. Im Symbolabstand sind die erwarteten datenabhängigen Ausgangsspannungspegel zu erkennen

Durch die Filterwirkung ergeben sich datenabhängig die erwarteten Ausgangssignalpegel. Bei aufeinanderfolgenden, gleichen Datensymbolen wird der Signalpegel mit zunehmender Länge der Symbolfolge reduziert.

Experimentell wurde die maximale Schaltfrequenz des ansteuernden CMOS-Teils zu 750 MHz bestimmt. Da bei der sich ergebenden Datenrate von 750 Mbit/s kein dreistufiges Filter erforderlich ist, werden die Filterstufen für 3 und 1 mA in ihrer Wirkung kombiniert, so dass sie wie eine Filterstufe mit einem Gewicht von 4 mA wirken. Der entsprechende Ausgangsspannungsverlauf ist in Abbildung 6.10 aufgezeichnet.

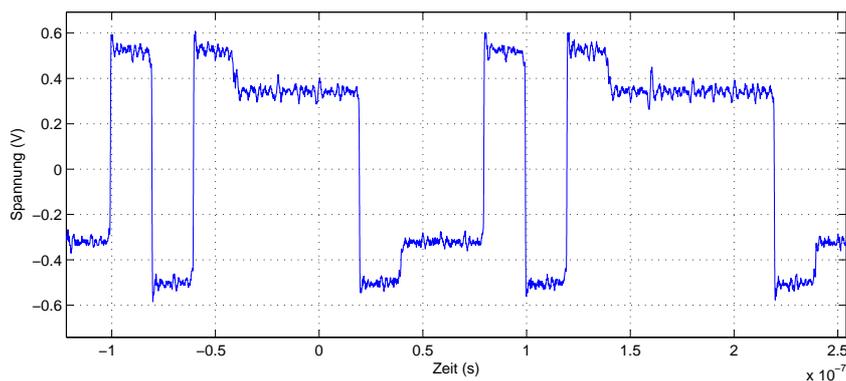


Abbildung 6.10: Differenzielles Ausgangsspannungssignal bei einer Taktfrequenz von 100 MHz und zwei kombinierten Filterstufen

6 Inbetriebnahme

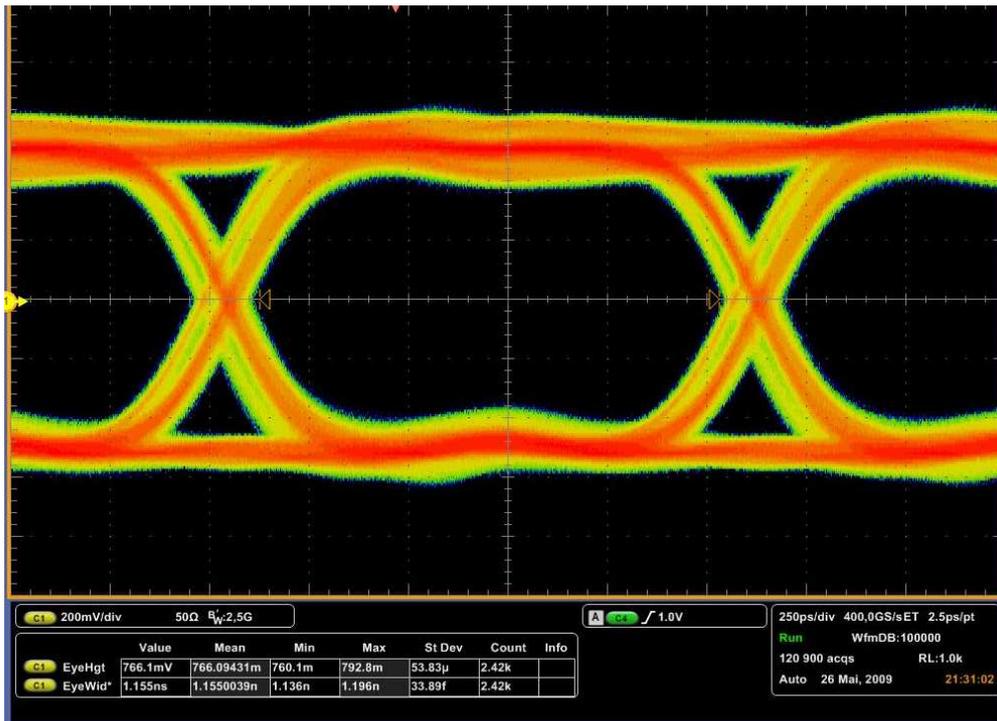
Bei größtmöglicher Taktrate ergeben sich am Sender mit und ohne aktivierter Signalverzerrung die Augendiagramme 6.11.

Im Anschluss wird ein 42 m langes Stück des Testkabels über die auf der Platine dafür vorgesehenen Verbindungspunkte mit den Treibern verbunden. Konsistent mit den Simulationsergebnissen sind die Filtergewichte für diese Länge des Testkabels zu schwach dimensioniert, sodass die Biasspannungen für die 3 und 1 mA starken Filterstufen etwas erhöht und die Biasspannung der 20 mA-Filterstufe etwas verringert werden müssen, um die Leitungscharakteristik möglichst gut auszugleichen. In den Augendiagrammen 6.12 sind die sich ergebenden Ausgangssignale jeweils für aktivierte und abgeschaltete Signalverzerrung durch den FIR-Filter aufgezeichnet.

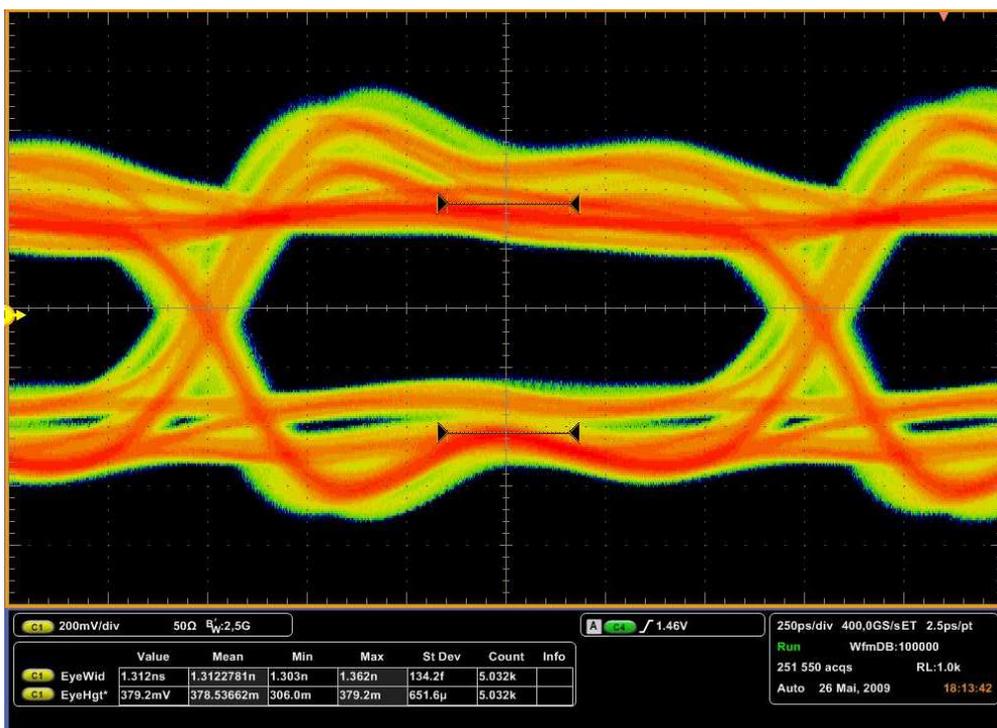
Eine weitere Spannungserhöhung der Filterstufen resultiert in einer kleineren Öffnung des Augendiagramms.

Stromverbrauch

Nach Messung der Öffnung der Augendiagramme sollte der Stromverbrauch des Testchips gemessen werden. Auf der Platine ist zu diesem Zweck eine Kurzschlussbrücke vorgesehen, mit der die Versorgungsspannung aufgetrennt und ein Ampèremeter in den Versorgungspfad eingeschleift werden kann. Zur Messung des Stromverbrauchs wurde ein Keithley SourceMeter auf eine Spannungsbegrenzung nahe 0V eingestellt. Leider kam es beim Anstecken des Messgerätes in den Signalpfad wohl durch eine elektrostatische Entladung zu einer irreparablen Beschädigung des Testchips und des auf der Platine befindlichen DACs. Es wurde zwar versucht, die beschädigten Komponenten auszutauschen, jedoch konnte in der Kürze der noch zur Verfügung stehenden Zeit keine Kommunikation mehr mit dem DAC erreicht werden.



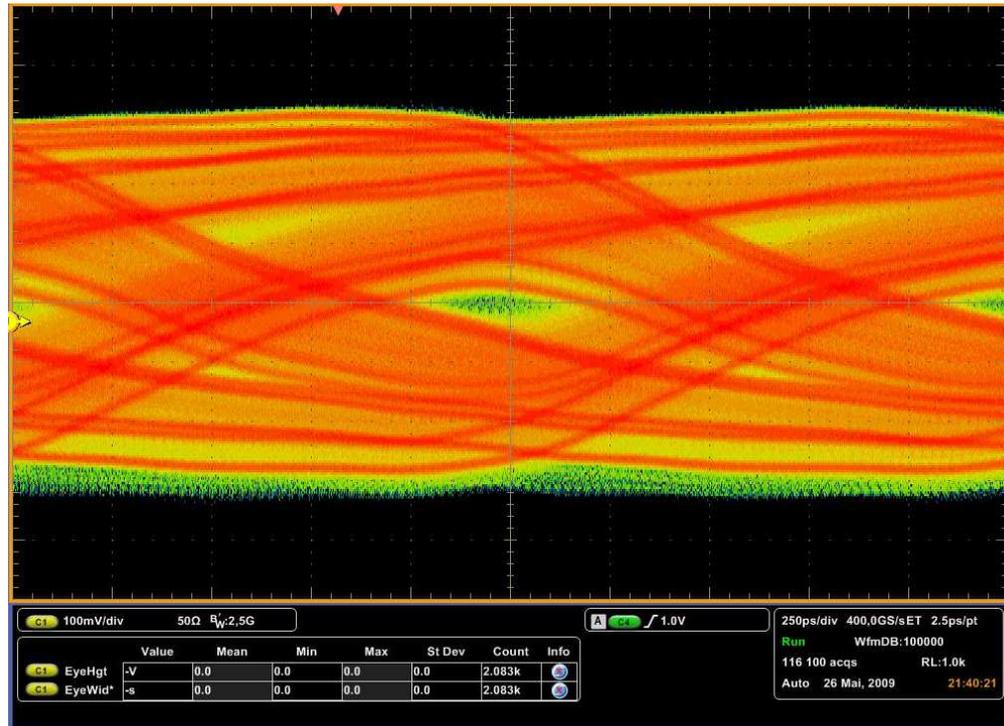
(a) Ohne Signalvorverzerrung



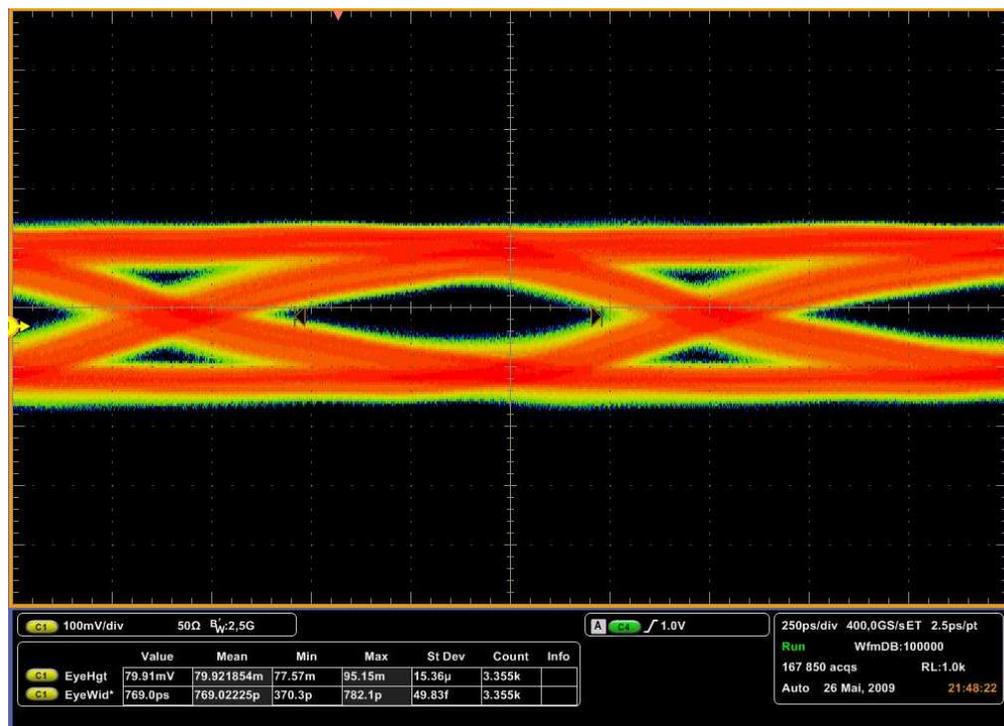
(b) Mit Signalvorverzerrung

Abbildung 6.11: Augendiagramme bei einer Datenrate von 750 Mbit/s ohne längeres Verbindungsnetzwerk direkt am Sender abgenommen. Die Amplitude des Signals ohne Vorverzerrung beträgt etwa 1,2V. Bei aktivierter Signalvorverzerrung ist die Öffnung des Augendiagramms durch die Filterwirkung entsprechend kleiner

6 Inbetriebnahme



(a) Ohne Signalverzerrung



(b) Mit Signalverzerrung

Abbildung 6.12: Augendiagramme bei 750 Mbit/s am Ende des 42 m langen Kabels abgenommen. Im Vergleich zu den Abbildungen 6.11 sind die Amplituden um Faktor 2 skaliert. Die Augenöffnung bei aktiver Signalverzerrung beträgt etwas weniger als 80 mV, was einem differentiellen Signal von etwa 160 mV entspricht

6.3 Fazit und nächste Schritte

Nachdem die Grundfunktionalität der Treiberstufe verifiziert worden ist, muss in einem nächsten Schritt analysiert werden, ob der Datenstrom mit Hilfe eines FPGAs fehlerfrei rekonstruierbar ist. Zu diesem Zweck wurde wie erwähnt eine entsprechende Schaltung integriert, die einen dem FPGA bekannten Datenstrom liefert. Ferner kann der ebenfalls integrierte Aurora-Protokollencoder verifiziert werden.

Um eine höhere Datenrate als die mit diesem Testchip erreichbare über eine ähnlich lange Strecke übertragen zu können, muss ferner die initiale Flankensteilheit des Signals erhöht werden. Hier sollten zuallererst die Auswirkungen von anderen Gehäusen bzw. Montierungen untersucht werden.

Auch wenn die Öffnung des Augendiagramms nicht ausreicht, um über die getestete Strecke direkt mit einem Eingangstreiber eines FPGAs kommunizieren zu können, kann an den Messergebnissen ganz deutlich das Potential einer einfachen Signalverzerrung beobachtet werden. Sie ist unumgänglich, wenn mit möglichst klein dimensionierten Verbindungskabeln eine möglichst weite Strecke überbrückt werden soll. Bei einer besser spezifizierten Übertragungsstrecke werden die Kanalparameter bekannt sein, und die Filtergewichte können in der Entwurfsphase auf die zu erwartenden Einsatzanforderungen abgestimmt werden. Sollten diese ergeben, dass die geforderten Datenraten nicht über diese Strecke oder Kabeldimensionen mit Hilfe einer Signalverzerrung realisierbar sind, und keine Repeater eingesetzt werden sollen, muss die Bandbreite des Übertragungssignals in einen weniger dämpfungsbehafteten Bereich verschoben werden. Eine Möglichkeit dazu ist die Benutzung von 4-PAM oder 8-PAM. Dazu muss dann allerdings zusätzlich ein passender Empfänger entworfen werden, der das Signal wieder in einen für einen FPGA verständliches Datenformat wandelt. Dieser könnte dann auch etwas sensibler als der im FPGA eingebaute ausgelegt werden.

Alles in Allem zeigt diese Arbeit, dass eine Datenübertragung mit hoher Datenrate auch über längere Strecken mit leitungsgebundenen Verbindungsnetzwerken realisierbar sind.

6 *Inbetriebnahme*

A Herleitung der Telegraphengleichung

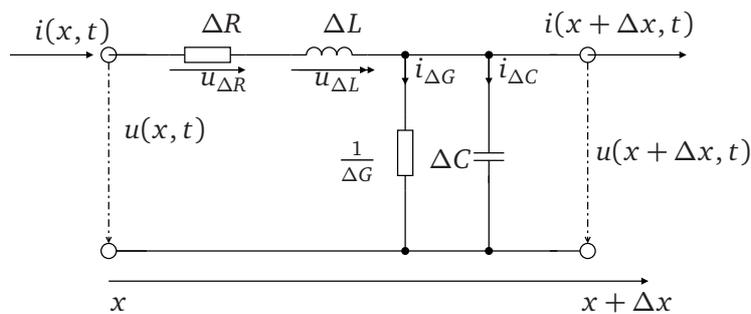


Abbildung A.1: Ersatzschaltbild für ein infinitesimal kurzes Leitungsstück

Mit den Kirchhoffschen Regeln gelten für ein infinitesimal kurzes Leitungsstück folgende Beziehungen:

$$\begin{aligned} i(x, t) &= i_{\Delta G} + i_{\Delta C} + i(x + \Delta x, t) \\ u(x, t) &= u_{\Delta R} + u_{\Delta L} + u(x + \Delta x, t) \end{aligned}$$

oder mit Bauteilen ausgedrückt:

$$\begin{aligned} i(x, t) &= \Delta G u(x + \Delta x, t) + \Delta C \frac{\partial u(x + \Delta x, t)}{\partial t} + i(x + \Delta x, t) \\ u(x, t) &= \Delta R i(x, t) + \Delta L \frac{\partial i(x, t)}{\partial t} + u(x + \Delta x, t) \end{aligned}$$

Nach Bildung des Differenzenquotienten

$$\begin{aligned} \frac{i(x, t) - i(x + \Delta x, t)}{\Delta x} &= \frac{\Delta G}{\Delta x} u(x + \Delta x, t) + \frac{\Delta C}{\Delta x} \frac{\partial u(x + \Delta x, t)}{\partial t} \\ \frac{u(x, t) - u(x + \Delta x, t)}{\Delta x} &= \frac{\Delta R}{\Delta x} i(x, t) + \frac{\Delta L}{\Delta x} \frac{\partial i(x, t)}{\partial t} \end{aligned}$$

ergibt sich nach Grenzübergang $\Delta x \rightarrow 0$

A Herleitung der Telegraphengleichung

$$\begin{aligned} -\frac{\partial i(x,t)}{\partial x} &= G' u(x,t) + C' \frac{\partial u(x,t)}{\partial t} \\ -\frac{\partial u(x,t)}{\partial x} &= R' i(x,t) + L' \frac{\partial i(x,t)}{\partial t}. \end{aligned}$$

Hier sind bei den mit Strichen versehenen Zeichen jeweils die entsprechenden, infinitesimal kleinen Leitungsbeläge der jeweiligen Größen notiert. Die Gleichungen (A.1) (A.2) werden als *eindimensionale Telegraphengleichungen* bezeichnet. Durch Differenzierung und Einsetzen gelangt man zu einer weiteren geschlossenen Form der Telegraphengleichung:

$$\frac{\partial^2 u(x,t)}{\partial x^2} = R' G' u(x,t) + (R' C' + L' G') \frac{\partial u(x,t)}{\partial t} + L' C' \frac{\partial^2 u(x,t)}{\partial t^2}$$

Lösung der Telegraphengleichung im Bildbereich

Mit Hilfe der Laplacetransformation sind die Telegraphengleichungen (A.1) und (A.2) allgemein lösbar. Mit $I(x,s) := \mathcal{L}\{i(x,t)\}$ und $U(x,s) := \mathcal{L}\{u(x,t)\}$ folgt:

$$-\frac{\partial}{\partial x} I(x,s) = (G' + sC') U(x,s) - C' u(x,0) \quad (\text{A.3})$$

und

$$-\frac{\partial}{\partial x} U(x,s) = (R' + sL') I(x,s) - L' i(x,0) \quad (\text{A.4})$$

Differenzieren von (A.4) und Einsetzen von (A.3) ergibt

$$\frac{\partial^2}{\partial x^2} U(x,s) - (R' + sL') (G' + sC') U(x,s) = L' \frac{\partial i(x,0)}{\partial x} - (R' + sL') C' u(x,0).$$

Dies ist eine gewöhnliche lineare Differentialgleichung in x . Die Terme, die von $i(x,0)$ und $u(x,0)$ abhängen, sind Einschwingterme, die durch den verlustbehafteten Charakter des Leiters nach endlicher Zeit abgeklungen sind. Zur Vereinfachung wird angenommen, dass sie zum Zeitpunkt $t = 0$ abgeklungen, d.h. identisch verschwunden sind. Die Lösung der nun homogenen Differentialgleichung lautet dann:

$$U(x,s) = U^{(+)}(s) e^{-\gamma x} + U^{(-)}(s) e^{\gamma x} \quad (\text{A.5})$$

mit $\gamma = \sqrt{(R' + sL')(G' + sC')}$. Daraus folgt mit (A.4):

$$I(x, s) = \sqrt{\frac{G' + sC'}{R' + sL'}} \left(U^{(+)}(s) e^{-\gamma x} - U^{(-)}(s) e^{\gamma x} \right)$$

Wellenwiderstand

Falls sich genau eine Welle in positiver x-Richtung ausbreitet, ist das Verhältnis von Spannung und Strom genau

$$Z_0 = \sqrt{\frac{R' + sL'}{G' + sC'}}$$

oder auch

$$Z_0 = \sqrt{\frac{R' + j\omega L'}{G' + j\omega C'}}$$

Für die sich dann in negativer x-Richtung ausbreitende Welle gilt bis auf das Vorzeichen das gleiche Verhältnis. Daher nennt man Z_0 entsprechend den *komplexen Wellenwiderstand*.

Bei immer höheren Frequenzen ω spielen R' und G' eine immer kleinere Rolle, und können bei typischen Anwendungen ab etwa 10 bis 50 MHz vernachlässigt werden. Der Wellenwiderstand vereinfacht sich dann zu

$$Z_0 = \sqrt{\frac{L'}{C'}}$$

Phasen-, Dämpfungs- und Ausbreitungskoeffizient

Das zuvor eingeführte γ nennt man den komplexen Ausbreitungskoeffizienten. Man kann ihn in einer Form $\alpha + i\beta$ schreiben, wobei dann α Dämpfungskoeffizient und β Phasenkoeffizient genannt wird. Weil

$$G' \ll |sC'| \text{ und } R' \ll |sL'|$$

kann mit der Näherung $\sqrt{1 + \epsilon} \approx 1 + \epsilon/2$ und $v_0 = 1/\sqrt{L'C'}$ angegeben werden:

A Herleitung der Telegraphengleichung

$$\gamma \approx s\sqrt{L'C'} + \frac{L'G' + C'R'}{2\sqrt{L'C'}} = s\sqrt{L'C'} + \frac{R'}{2Z_0} + \frac{G'Z_0}{2} = \frac{s}{v_0} + \alpha \quad (\text{A.6})$$

Rücktransformation in den Zeitbereich

Mit diesen Ergebnissen können die Lösungen der Differentialgleichung (A.5) weiter vereinfacht werden:

$$U(x, s) \approx U^{(+)}(s) e^{-\frac{s}{v_0}x} e^{-\alpha x} + U^{(-)}(s) e^{\frac{s}{v_0}x} e^{\alpha x}$$

und

$$I(x, s) \approx \sqrt{\frac{C'}{L'}} \left(U^{(+)}(s) e^{-\frac{s}{v_0}x} e^{-\alpha x} - U^{(-)}(s) e^{\frac{s}{v_0}x} e^{\alpha x} \right)$$

Für $t > 0$, $Z_0 \approx \sqrt{\frac{L'}{C'}}$ kann man dann rücktransformieren:

$$\begin{aligned} u(x, t) &\approx u^{(+)}\left(t - \frac{x}{v_0}\right) e^{-\alpha x} + u^{(-)}\left(t + \frac{x}{v_0}\right) e^{\alpha x} \\ i(x, t) &\approx \frac{u^{(+)}\left(t - \frac{x}{v_0}\right)}{Z_0} e^{-\alpha x} - \frac{u^{(-)}\left(t + \frac{x}{v_0}\right)}{Z_0} e^{\alpha x} \end{aligned}$$

B Modellerstellung mit Gnuplot und Simulation mit Matlab

Für die Modellerstellung wurde bei der in 4.2 vorgestellten Methode eine Dämpfungsfunktion beschrieben. Mit Hilfe dieser Funktion und den häufig in den Datenblättern zu Kabeln angegebenen Informationen zu Dämpfung, Ausbreitungsgeschwindigkeit und Gleichstromwiderstand können die fehlenden Modellparameter über einen Fit mit der Dämpfungsfunktion gewonnen werden. Im Folgenden ein Beispiel anhand der Datenblattwerte zu dem Kabel, welches für die meisten Simulationen benutzt wurde, und auch als Teststrecke für den Microchip diente.

B.1 Fit mit Gnuplot

Gnuplot bietet die Möglichkeit, einen Satz von Parametern nach der Methode der kleinsten Quadrate über eine frei programmierbare Funktion mit einem Wertesatz zu fitten. Die Dämpfungswerte des Kabels werden in einer separaten Datei B.2 abgelegt, die übrigen Parameter müssen innerhalb des Gnuplot-Skripts B.1 eingetragen werden.

Die Ausgaben von Gnuplot sind einmal eine grafische Kontrolle der Fitfunktion mit den Werten aus dem Datenblatt überlagert, um visuell entscheiden zu können, ob das Ergebnis in etwa den spezifizierten Werten entspricht, und auf der Textkonsole die Ausgaben B.3 mit den gefundenen Parametergrößen, die am besten die diskreten Dämpfungswerte approximieren. In B.1 ist die Ausgabe von Gnuplot abgebildet.

Sowohl die aus dem Datenblatt entnommenen Werte für R_{DC} , v_0 , Z_0 als auch die gewählte cut-off Frequenz ω_0 und die durch den Fitvorgang gefundenen Werte werden dann in eine Matlab-Funktion zusammengeführt, die dann komfortabel aufgerufen werden kann.

B Modellerstellung mit Gnuplot und Simulation mit Matlab

```
#axes
set xlabel "Frequenz ( $\omega$ )"
set ylabel "Dämpfung ( $\text{SI}\{\}\{\}\{\}\text{deci}\{\}\text{bel}\{\}\text{per } 100\{\}\text{meter}\{\}\}$ )"

#imaginary unit
i=sqrt(-1)

#lengthy fitfunction... needs to reside in one row
complete(x)=-20*log10(abs(exp(-1*sqrt((sqrt(Rdc**2+(R0*sqrt(x/w0
    )*(1+i)**2)+i*x*Z0/v0)*i*x/Z0/v0*(i*x/w0)**(-2*delta/pi))))))

#cutoff frequency
w0=500e6*2*pi;

#values from datasheet
Z0=100
c=3e8
v0=0.79*c
Rdc=0.11
l=100

#initial values to be refined by the fitting process
R0=1.1
delta=0.003

fit complete(x) "drakacat7+" u ($1*2e6*pi):2 via R0,delta

#plot the damping values vs the fitted function
plot complete(x) title "Funktion", "drakacat7+" u ($1*2e6*pi):2
title "Diskrete Dämpfungswerte"

pause -1 "Hit return to continue"

set output "cat7plus.eps"
set terminal epslatex color
replot

set out
```

Listing B.1: Quellcode des zur Parametergewinnung benutzten Gnuplot-Skripts

```
#Frequency in MHz      Attenuation in dB/100m
20      7.3
31.2    9.1
62.5    12.8
100     16.3
125     18.2
155.5   20.3
175     21.5
200     23.0
250     25.6
300     28.3
600     40.2
900     49.4
1000    52.1
1200    57.1
1500    64.1
```

Listing B.2: Dämpfungswerte aus dem Datenblatt

<u>Final set of parameters</u>		<u>Asymptotic Standard Error</u>	
R0	= 8.36678	+/- 0.01677	(0.2004%)
delta	= 7.11692e-05	+/- 9.221e-06	(12.96%)

correlation matrix of the fit parameters:

	R0	delta
R0	1.000	
delta	-0.956	1.000

Listing B.3: Parameter nach Fitvorgang

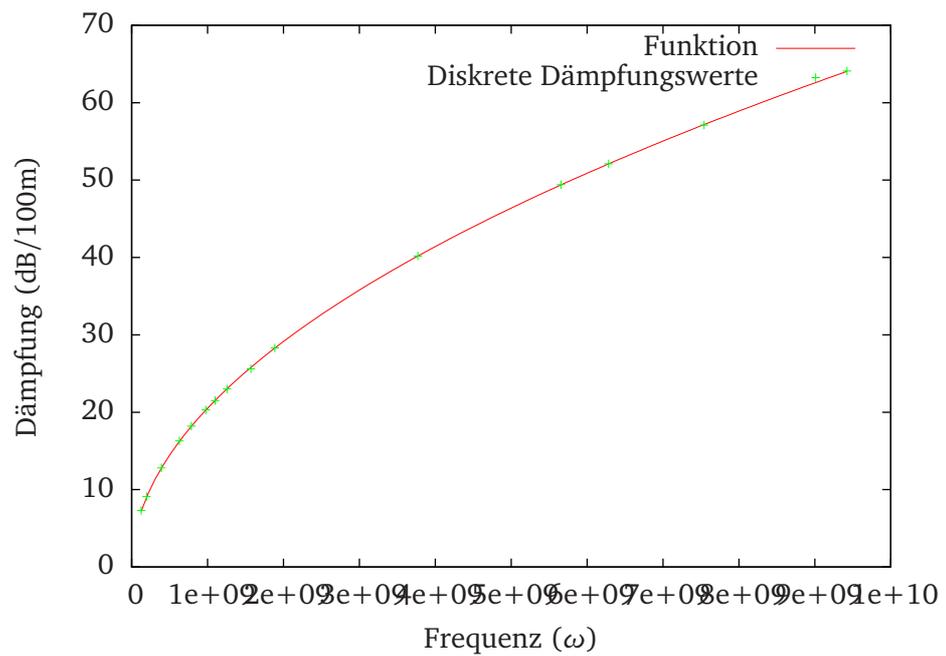


Abbildung B.1: Grafische Ausgabe des Gnuplot-Skripts. Der Graph der über die Fitfunktion gefundenen Dämpfungsfunktion ist mit den spezifizierten Datenblattwerten überlagert. Dieser Plot entspricht Abbildung 4.6

B.2 Weiterverarbeitung mit Matlab

Die wie im letzten Abschnitt beschrieben gewonnenen Werte werden zu einer kabelspezifischen Dämpfungsfunktion in einer separaten Datei B.4 eingetragen.

```

function [ ret ] = damp_cat7plus( w, FreqSymbol, l )
%DAMP_CAT7PLUS ( Frequency Vector in (Hz), fft of signal, length
)
% beware of zeros in w-vector

%calculated values from gnuplot-fit
Rdc=0.11;
R0=8.36678;
f0=500e6;
Z0=100;
v0=0.79*3e8;
phi0=7.11692e-5;

%equations from book
Rac=R0.*sqrt(w./(2*pi*f0)).*(1+i);

R=sqrt(Rdc.^2.+Rac.^2);

L0=Z0/v0;
C0=1/(Z0*v0);

C=C0.*((i.*w./(2*pi*f0)).^(-2.*phi0./pi));

gamma=sqrt((i.*w.*L0 + R).*(i.*w.*C));

%transfer function
H=exp(-l.*gamma);

%multiply in frequency domain
ret=H.*FreqSymbol;

end

```

Listing B.4: Quellcode der Matlab-Funktion, die das Kabelmodell beinhaltet

In weiteren Matlab-Skripten finden dann die Simulationen statt, die diese Funktion aufrufen. Im Folgenden ist der kommentierte Quellcode eines Simulationsgrundgerüsts aufgeführt, mit dessen Hilfe die Augendiagramme bei Signalisierung mit Signalvorverzerrung simuliert werden können.

B Modellerstellung mit Gnuplot und Simulation mit Matlab

```
%Length of Signal to be filtered. Contains a single symbol in the  
middle  
%NEEDS to be long enough to catch the falling edge of impulse  
answer  
PSymLength=30000; %*Tsample s  
  
symbolLength=1250; %1.25 ns -> 800MBit/s  
risetime=150; %150ps  
Tsample=1e-12;  
cableLength=15 %m  
  
vlow=0;  
vhigh=1.2; %signal amplitude  
  
%create rect pulse /---\  
PulseLength=symbolLength+risetime;  
symbolP = ones(1,PulseLength) .* vhigh;  
symbolP(1:risetime)=linspace(vlow,vhigh,risetime);  
symbolP(PulseLength-risetime+1:PulseLength)=linspace(vhigh,vlow,  
risetime);  
  
%fill with zeros _____/---\_____  
PSymbol=zeros(1,PSymLength);  
PSymbol(PSymLength/2-PulseLength/2+1:PSymLength/2+PulseLength/2)=  
symbolP;  
  
%fft & filter  
FreqSymbolP=fft(PSymbol);  
  
%band limiting to 10GHz  
%1 point in image is 1/(PSymLength/2*2ps) Hz  
freqstep=1/(PSymLength/2*2*Tsample);  
range=10e9/freqstep;  
  
%first half of frequency vector w=[0 ... half of sampling frequency  
]  
%note: zero actually gives an infinite value in the damping  
function, so be  
%it a small number, prevent crashing of ifft  
w=1e-99:freqstep:1/(Tsample*2);  
  
%second half of frequency vector  
w(length(w):2*length(w)-1)=-1.*fliplr(w);  
  
%angular frequency  
w=w(1:end-1).*2*pi;  
  
%window for cutting out relevant frequencies  
win=hamming(2*range); %double length for the negative frequencies
```

```

as well

%embed into lengthy vector
cut=zeros(1,PSymLength);
cut(PSymLength/2 - length(win)/2+1:PSymLength/2 + length(win)/2 )=
win;

% cut out relevant frequencies
FreqSymbolP = FreqSymbolP .* fftshift(cut);

%now filter remaining frequencies with cable transfer function
FreqSymbolP=damp_cat7plus(w,FreqSymbolP, cableLength);

%back to time domain
filteredSymbolP=real( ifft (FreqSymbolP));

%now the FIR-pulse
FIR=[1 -0.3 -0.15] %filter weights

%calculate total filtering amplitude
sumWeights=sum(abs(FIR.*vhigh));

%create FIR-pulse from available amplitude
filterSymbol=distribute( FIR./sumWeights .*vhigh, symbolLength);

pulse_single=conv(PSymbol,filterSymbol); %FIR-like Symbol

%trim to original symbol length
pulse_single=pulse_single(1:PSymLength);
PulseSingle=fft(pulse_single); %to frequency domain

%damp the Spectrum with channel transfer function
PulseSingle=damp_cat7plus(w,PulseSingle, cableLength);

%limit the effects to the chosen window
PulseSingle= PulseSingle .* fftshift(cut);

%back to time domain
chRespEmph=real( ifft (PulseSingle));

%sync damped FIR-Symbol to 0
filtShiftSymbol=chRespEmph'; %circshift wants a row vector
filtShiftMax=max(chRespEmph);
filtShiftMaxPos=find( filtShiftSymbol==filtShiftMax ,1, 'first ');
if (filtShiftMaxPos > 2*symbolLength)
    filtShiftMin=min( filtShiftSymbol( filtShiftMaxPos -2*symbolLength
    : filtShiftMaxPos));
else
    filtShiftSymbol=circshift( filtShiftSymbol, -PSymLength/2);

```

B Modellerstellung mit Gnuplot und Simulation mit Matlab

```
    filtShiftMaxPos=find ( filtShiftSymbol==filtShiftMax ,1 , ' first ' );
    filtShiftMin=min( filtShiftSymbol ( filtShiftMaxPos -2*symbolLength
        : filtShiftMaxPos));
end
filtShiftSymbol=circshift ( filtShiftSymbol , -find ( filtShiftSymbol==
    filtShiftMin ,1 , ' last '))';

%start at 0 for smooth transitions between symbols
filtShiftEmph=filtShiftSymbol-filtShiftSymbol(1);

%sync FIR-Symbol to 0
shiftEmph = circshift ( pulse_single ' , -find ( pulse_single (1:end/2)
    ==0, 1, ' last '))';

%sync rect pulse to 0
shiftRect=circshift ( PSymbol' , - find ( PSymbol (1: length ( PSymbol)/2)
    == 0, 1, ' last '));

%sync damped rect pulse to 0 --> minimum always > 0
filtShiftRect=circshift ( filteredSymbolP' , - find ( filteredSymbolP==min
    ( filteredSymbolP)))-min( filteredSymbolP);

%calculate time vectors
filtShiftEmph_t=0:Tsample:( length ( filtShiftEmph)-1)*Tsample;
shiftEmph_t=0:Tsample:( length ( shiftEmph)-1)*Tsample;

filtShiftRect_t=0:Tsample:( length ( filtShiftRect)-1)*Tsample;
shiftRect_t=0:Tsample:( length ( shiftRect)-1)*Tsample;

%visualize to determine FIR-weights
figure (2); clf; hold on;

plot ( shiftRect_t , shiftRect , 'g');
plot ( shiftEmph_t , shiftEmph , 'b');
plot ( filtShiftRect_t , filtShiftRect , 'g');
plot ( filtShiftEmph_t , filtShiftEmph , 'r');

legend ( 'Erregung ohne Filter' , 'Erregung mit Filter' , 'Antwort ohne
    Filter' , 'Antwort mit Filter' );
xlabel ( 'Zeit (s)' )
ylabel ( 'Spannung (V)' )

%create a data vector from lfsr-function
longSymbolStream=distribute ( lfsr (1000) , symbolLength);

%eye-diagram objects
y=commscope.eyediagram ( 'SamplingFrequency' ,1/Tsample , ...
    'OperationMode' , 'Real Signal' , ...
    'SamplesPerSymbol' , symbolLength , ...
```

```

    'PlotType', '2d line', ...
    'amplituderesolution', 0.002, ...
    'Numberofstoredtraces', 5000, ...
    'MaximumAmplitude', 1.2, ...
    'SymbolsPerTrace', 1, ...
    'PlotTimeOffset', 130e-12, ...
    'MinimumAmplitude', -0.20);
%assume similar amplitudes for both signals
z=y.copy;

%for shortening simulation time: cut irrelevant parts of convoluted
  signal
%consider values less than half a percent (0.1%) of initial step as
  irrelevant
filtShiftEmph=filtShiftEmph(1:find(filtShiftEmph> 0.005*max(
  filtShiftEmph), 1, 'last'));
filtShiftRect=filtShiftRect(1:find(filtShiftRect> 0.001*max(
  filtShiftRect), 1, 'last'));

%plot for visual control
figure(3); clf; hold on;
plot (filtShiftEmph);
plot(filtShiftRect, 'g');

%convolve to get time domain answer
timeSignal=conv(longSymbolStream, filtShiftEmph);
timeSignalUnfiltered=conv(longSymbolStream, filtShiftRect);

%update the eye diagrams
y.update(timeSignal);
z.update(timeSignalUnfiltered);

```

Listing B.5: Quellcode einer Simulationsumgebung zur Beurteilung der Signalqualität bei wählbarer Signalverzerrung

C Simulationsergebnisse

Augenöffnungen für unterschiedliche Verbindungsnetzwerke

Mit den in 4.5 angesprochenen Einschränkungen die Simulationsergebnisse in tabellarischer Form.

Länge m	30 AWG	28 AWG	26 AWG	25 AWG	24 AWG	22 AWG
9	220					
10	180					
11	150	200				
12	120	180				
13	90	150	240			
14		130	205			
15		110	170	220		
16		80	150	200	250	350
17		80	130	180	220	320
18		60	100	160	200	320
19		40	80	140	180	300
20		30		120	160	275
21				80	150	230
22					130	220
23					110	200
24					80	160
25						130
26						100
27						80

Tabelle C.1: Augenöffnung in mV bei unterschiedlichen Kabellängen bei Übertragungsraten von 2,5 Gbit/s

Symboldauer (ps)	30 AWG		28 AWG		26 AWG		25 AWG		24 AWG		22 AWG	
	RAW	FIR										
1250	180	340	280	400	400	450	480	550	580	500	610	620
1000	90	250	200	340	310	410	360	450	500	500	580	610
800		180	100	280	230	380	270	400	420	500	490	580
600		150	10	210	110	300	180	360	300	420	400	570
500		120		160		240	40	300	220	340	350	440
400		60		100		200		220	170	290	260	350
300				40		125		110		180	170	250

Tabelle C.2: Vertikale Augenöffnung in mV bei unterschiedlichen Übertragungsraten und Kabellängen von 15 m

D Umrechnungstabelle American Wire Gauge

AWG	Durchmesser (mm)	Fläche (mm ²)
14	1.628	2.08000
15	1.450	1.65000
16	1.291	1.31000
17	1.150	1.04000
18	1.024	.82300
19	0.912	.65300
20	0.812	.51800
21	0.723	.41000
22	0.644	.32600
23	0.573	.25800
24	0.511	.20500
25	0.455	.16200
26	0.405	.12900
27	0.361	.10200
28	0.321	.08100
29	0.286	.06420
30	0.255	.05090
31	0.227	.04040
32	0.202	.03200
33	0.180	.02540
34	0.160	.02010
35	0.143	.01600
36	0.127	.01270
37	0.113	.01000
38	0.101	.00797
39	0.090	.00632
40	0.080	.00501

Tabelle D.1: Umrechnungstabelle von American Wire Gauge in metrische Werte. Nach [1]

Abkürzungsverzeichnis

AWG	American Wire Gauge
BERT	Bit Error Rate Test
BIST	Built-In Self-Test
CML	Current Mode Logic
DAC	Digital Analog Converter
DCL	Differential Current Logic
DVI	Digital Visual Interface
FIR	Finite Impulse Response
FPGA	Field Programmable Gate Array
IP	Intellectual Property
NRZ	Non-Return to Zero
PCB	Printed Circuit Board, Leiterplatte
PET	Polyethylenterephthalat
PLL	Phase-Locked Loop
PTFE	Polytetrafluorethylen
QAM	Quadrature Amplitude Modulation
TDR	Time-Domain Reflectometer/Reflectometry, Zeitbereichsreflektometrie
TDT	Time-Domain Transmissometry
UART	Universal Asynchronous Receiver/Transmitter, serielle Schnittstelle
USB	Universal Serial Bus
Uxibo	USB Xilinx Board
VCSEL	Vertical Cavity Surface Emitting Laser, Laserdiode

Literaturverzeichnis

- [1] Wikipedia Artikel zu American Wire Gauge.
http://en.wikipedia.org/wiki/American_wire_gauge.
- [2] *HSPICE Signal Integrity User Guide*, 2007.
- [3] *Supplement to Infiniband Architecture Specification Annex A5: Pluggable Interfaces: CATx, Copper and Optical*, 3 2007.
- [4] Amphenol. Datenblätter zu (1, 8, 24) SkewClear Shielded Pairs, 100 Ω , 24 AWG No. 065-0552-996Rev2, 166-2497-998Rev2, 166-2499-992Rev6.
- [5] Belden. Datenblatt zu Belden RG405 unshielded coaxial cable Nr. 1671B.
- [6] Eric Bogatin. *Signal Integrity - Simplified*. Prentice Hall Professional Technical Reference, 2003.
- [7] Weixin Gai, Y. Hidaka, Y. Koyanagi, Jian Hong Jiang, H. Ozone, and T. Horie. A 4-channel 3.125Gb/s/ch CMOS transceiver with 30 dB equalization. pages 138–141, June 2004.
- [8] S. Gondi and B. Razavi. Equalization and Clock and Data Recovery Techniques for 10-Gb/s CMOS Serial-Link Receivers. *Solid-State Circuits, IEEE Journal of*, 42(9):1999–2011, Sept. 2007.
- [9] Intel. *Intel 440BX AGPset: 82443BX Host/Bridge Controller*, 1998.
- [10] Howard W. Johnson and Martin Graham. *High-Speed Signal Propagation: Advanced Black Magic*. Prentice-Hall, 2003.
- [11] National. *LVDS Owner's Manual*, 2008.
- [12] J.H.R. Schrader, E.A.M. Klumperink, J.L. Visschers, and B. Nauta. Pulse-width modulation pre-emphasis applied in a wireline transmitter, achieving 33 dB loss compensation at 5 Gbit/s in 0,13 μm CMOS. *IEEE journal of solid-state circuits*, 41(4):990–999, 2006.
- [13] Ruifeng Sun, Jaejin Park, F. O'Mahony, and C.P. Yue. A low-power, 20-Gb/s continuous-time adaptive passive equalizer. pages 920–923 Vol. 2, May 2005.
- [14] Stoyan Todorov. *Implementierung eines FPGA-Kompatiblen, seriellen Protokolls mit minimalem Hardwareaufwand und Stromverbrauch*, 2008.

- [15] Sitt Tontisirin. *Low Jitter Gb/s CMOS Clock and Data Recovery Circuits for Large Synchronous Networks*. PhD thesis, University of Kaiserslautern, 2007.
- [16] tyco Electronics. Datenblatt zu MABA-007327-CT1A40 Tx Line Balun Transformer.
- [17] Woopoung Kim and Swaminathan, M. and Li, Y.L. Extraction of the frequency-dependent characteristic impedance of transmission lines using TDR measurements. 2000.
- [18] Xilinx. *Aurora Protocol Specification v2.0*, 2007.
- [19] Xilinx. *Virtex-5 FPGA Data Sheet: DC and Switching Characteristics*, 2008.
- [20] Xilinx. *Virtex-5 FPGA RocketIO GTP Transceiver User Guide*, 2008.
- [21] Xilinx. *Virtex-5 FPGA RocketIO Transceiver Signal Integrity Simulation Kit User Guide*, 2008.
- [22] Gernot Zimmer. *Hochfrequenztechnik*. Springer-Verlag, Frankfurt, 2000.

Abbildungsverzeichnis

2.1	Schnittzeichnungen durch verschiedene Leitertypen	6
2.2	Ersatzschaltbild eines infinitesimal kurzen Leiterstücks mit Impedanzkomponenten R' und L' , sowie Admittanzkomponenten C' und G'	7
2.3	Spannungsverteilung Leiterstrecke nach Sprungerregung	8
2.4	Leiterstreckenmodellierung mit verteilten Kapazitäten	9
2.5	Querschnitt Mikrostreifenleitung	10
2.6	Stromverteilung auf einer Mikrostreifenleitung während des Aufladevorgangs	10
2.7	Reflektionen an Störstellen	11
2.8	Übertragungssystem mit unangepasster Senderimpedanz	13
2.9	Aufladevorgang einer offenen Leitung	13
2.10	Leitungsapproximation über verteilte LC -Komponenten	16
2.11	Magnetfeldlinien um stromdurchflossenen Leiter	18
2.12	Magnetfeldlinien und Wirbelströme innerhalb eines Leiters	18
2.13	Ungekoppeltes differentiell-leitungs paar	21
2.14	Gekoppeltes differentiell-leitungs paar	21
2.15	Ersatzschaltbild eines infinitesimal kurzen Stückes eines Dreileitersystems	22
3.1	Abstimmbarer LC -Oszillator	24
3.2	Binäre Taktteilung	24
3.3	Korrektur des Tastverhältnisses eines Taktsignals	25
3.4	Phasenverschobene Takte	25
3.5	Phasenverschobene Abtastung der parallelen Datenströme	26
3.6	Abtastpuls erzeugung	26
3.7	CML-Multiplexer	27
3.8	Differentielles Paar	27
3.9	Schaltverhalten CML-Puffer	29
3.10	Augendiagramm des unbelasteten, terminierten Ausgangstreiber	30
3.11	Idealisierte Ausgangstreiberstufe mit Terminierung	30
3.12	Augendiagramme für Kabellänge von 7 m	35
3.13	Augendiagramme für Kabellänge von 10 m	36
3.14	Augendiagramme für Kabellänge von 13 m	37
4.1	Messtor TDR	40
4.2	Typisches Messergebnis eines TDRs	40
4.3	TDT Messung	41

4.4	Berechnete Kanalimpulsantwort aus TDR-Messung	42
4.5	Ableitung und Bandbegrenzung TDR Messergebnis	42
4.6	Dämpfungsverlauf Testkabel	45
4.7	Oszilloskopaufnahme eines Taktsignals	45
4.8	Spektrum eines Taktsignals	46
4.9	Bandbegrenzung Taktsignal durch analoge und digitale Filterung	46
4.10	Bandbegrenzung Taktsignal	47
4.11	Rechteckpuls und Antwort des Kanals	49
4.12	Kanalerregung mit FIR-gemfiltertem Puls	49
4.13	FIR-Filterung im halben Symbolabstand	50
4.14	Betragspektren unterschiedlicher Symbolformen	50
4.15	Inverse Kanalimpulsantwort	52
4.16	Spektrum der inversen Kanalimpulsantwort	53
4.17	NRZ-kodierter Datenstrom	53
4.18	Signalverzerrungen von Rechteckpulsen durch Kanal	54
4.19	Augendiagramm bei Erregung mit Rechteckpulsen	54
4.20	Augendiagramm bei Erregung mit Rechteckpulsen und 40 m langem Kanal	55
4.21	Verzerrungen von unterschiedlichen Symbolformen für 50 m-Kanallänge	56
4.22	Verlauf des Empfängersignals nach Durchlaufen eines Kanals	57
4.23	Augendiagramme der Empfängersignale mit und ohne Signalvorverzerrung	58
4.24	Impulsantworten bei unterschiedlichen Filtergewichten	60
4.25	Modellverifikation	62
4.26	Dämpfungsverläufe verschiedener Kabel	63
4.27	Erreichbare Datenraten bei Kanallängen von 15 m	64
4.28	Erreichbare Kanallängen bei Übertragungsrate von 2,5 Gbit/s	65
4.29	Querschnitte von Kabeln mit mehreren differentiellen Paaren	68
4.30	Flächenvergleich Koaxialkabel und Zweidrahtleitung	68
4.31	4-PAM Empfangssignal	70
4.32	Pulsweitenmodulation des Sendersignals	71
4.33	Passive Filterschaltung	73
4.34	Gewinn der analogen Filterschaltung	73
4.35	Augendiagramm passives Filter	74
4.36	Augendiagramme der OASE-Treiberstufe mit Signalvorverzerrung	75
4.37	Passive Filterschaltung	76
4.38	Eingangspufferbeschaltung Virtex5 GTP	77
5.1	Topologie des Testchips	80
5.2	Zähler als Datenquelle	81
5.3	Aurora-Encoder	83
5.4	Serialisierer	84
5.5	LFSR mit dem Polynom $x^7 + x^6 + 1$	84
5.6	Musterfolgen LFSR	85
5.7	Emphasis-Control	86

5.8	Verzögerte und invertierte Datenströme zur Ansteuerung der verschiedenen Filterstufen	87
5.9	Differentieller Ausgangsspannungsverlauf mit Deemphasis	89
5.10	CML-Leitungstreiber	89
5.11	Ausgangssignal des CML-Treibers mit Deemphasis	92
5.12	Schaltbild eines DCL-Puffers	92
5.13	DCL-Lasten	93
5.14	Signal DCL-Puffer	94
5.15	Signal DCL-Pufferkette	96
5.16	Terminierungsschema AC-Kopplung	96
5.17	Sourcefolger	97
5.18	Kennlinie Sourcefolger	97
5.19	Bandbreite Sourcefolger	98
5.20	Ausgangssignale der einzelnen Komponenten des Ausgangstreibers	99
5.21	Layout des Testchips	100
5.22	Andere Ausgangstreibertopologie	101
6.1	Foto der Testumgebung	104
6.2	Erzeugung der Biasspannungen	105
6.3	Schaltplan eines DAC-Kanals	105
6.4	Belegung des Konfigurationsregisters des Testchips	106
6.5	Screenshot der Benutzeroberfläche des zur Steuerung erstellten Programms	107
6.6	Biaserzeugung der DCL-Last	108
6.7	Kennlinien der CML-Stromquellen	109
6.8	Flankensteilheit und Pegel an Ausgangspins	110
6.9	Ausgangsspannungsverlauf mit zwei Filterstufen	111
6.10	Ausgangsspannungsverlauf mit einer Filterstufe	111
6.11	Augendiagramme des Sendersignal mit und ohne Signalvorverzerrung . .	113
6.12	Augendiagramme nach Durchlaufen einer 42 m langen Leiterstrecke . . .	114
A.1	Ersatzschaltbild für ein infinitesimal kurzes Leitungsstück	117
B.1	Ausgabe des Gnuplot-Skripts	124

Danksagung

Ich bedanke mich für die mir zuteil gewordene Unterstützung während der Zeit der Diplomarbeit. Ich habe stets die Hilfe bei der Durchführung der einzelnen Projektschritte von allen Kollegen bekommen, die ich benötigte. Eine akkurate Aufzählung aller Einzelbegebenheiten und Unterstützungen, für die ich zum Dank verpflichtet bin, kann ob der schiereren Menge nur inakkurat sein.

Stellvertretend danke ich besonders Christophe und Jochen für ihren nicht selbstverständlichen Einsatz während und besonders gegen Ende der Submissionsphase des Testchips. Ohne ihre Expertise im Umgang mit Verilog, dem Synthesewerkzeug und ihrer Kenntnis der Feinheiten der unterschiedlichen Softwarewerkzeuge wäre die erfolgreiche Submission nicht möglich gewesen.

Herzlichen Dank schulde ich Viacheslav und Christophe für das sorgfältige Korrekturlesen trotz eines sehr knappen Zeitfensters.

Nicht zuletzt bedanke ich mich für den Zuspruch und die kollegiale Atmosphäre, die auch während schwieriger Phasen der Arbeit die nötige moralische Unterstützung sicherstellten.

Eidesstattliche Erklärung

Hiermit erkläre ich, die vorliegende Arbeit selbständig und unter ausschließlicher Verwendung der angegebenen Literatur und Hilfsmittel erstellt zu haben.

Diese Arbeit wurde bisher in gleicher oder ähnlicher Form keiner anderen Prüfungsbehörde vorgelegt und auch nicht veröffentlicht.

Mannheim, den 4. Juni 2009