

## 1 Takteiler in Verilog

Als erste Übung im Umgang mit Verilog implementieren Sie den Takteiler, den Sie bereits vom vergangenen Aufgabenblatt kennen.

- a) Erstellen Sie ein Modul mit einem Takteingang und einem 32-Bit-Zählerausgang (Schreibweise [31:0] in der Port-Deklaration).

Legen Sie eine 32-Bit-Zählervariable vom Typ `reg` an, die in jedem Takt um Eins erhöht wird (Zuweisung innerhalb eines `always`-Blocks mit dem *non blocking* Zuweisungsoperator „<=“).

Um das Modul für die Wiederverwendung geeigneter zu machen, können Sie die Breite der Zählervariable und des Ausgangsports auch mit einem *Parameter* beschreiben, anstatt sie fest vorzugeben:

```
module zaehler
#( parameter breite = 32 ) // mit Angabe des Default-Werts
(
    input clk,
    output ... // hier sollte breite vorkommen
);
...
endmodule
```

Beim Erzeugen einer Instanz kann die Breite dann mit angegeben werden:

```
zaehler #( .breite(5) ) zaehler_instanz
(
    ...
);
```

- b) Erzeugen Sie nun ein Top-Level-Modul, in dem Sie eine Instanz Ihres Zählers anlegen und eines seiner Ausgangsbits an eine LED anschließen. Um die Blinkfrequenz auszuwählen, soll es wieder einen 16:1-Multiplexer geben, der durch vier Schiebeschalter gesteuert wird. Einen Multiplexer können Sie durch Verschachtelung des Bedingungsoperators „(Sel)?A:B“ beschreiben.