
Diode und Transistor

Etwas Physik

- | | | | |
|--------|--------|---|--|
| ▪ Feld | E | zeigt von positiven Ladungen zu negativen Ladungen
(Elektronen fließen entgegen den Feldlinien!) | |
| | E | $= - \text{grad } \Psi = - dV(x) / dx$ | |
| | Ψ | $= - \int E(x') dx'$ | |

- | | | | |
|----------------------|--|--|--|
| ▪ Maxwell-Gleichung: | $\int E(x) dA = Q / \epsilon \epsilon_0$ | | 'das Integral über die austretenden Felder entspricht der eingeschlossenen Ladung' |
|----------------------|--|--|--|

- | | | | |
|---------------------|--|--|--|
| ▪ Gauss'scher Satz: | $\text{div } E = \rho / \epsilon \epsilon_0$ | | = Maxwellgleichung in differentieller Form |
|---------------------|--|--|--|

- | | | | |
|---------------------|---|--|---------------------|
| ▪ Poissongleichung: | $\partial^2 \Psi / \partial x^2 = \rho / \epsilon \epsilon_0$ | | = Gauss'scher Satz! |
|---------------------|---|--|---------------------|

- | | | | |
|---------------------|--------------------------------------|--|--|
| ▪ Laplacegleichung: | $\partial^2 \Psi / \partial x^2 = 0$ | | im leeren Raum. Spezialfall der Poissongleichung |
|---------------------|--------------------------------------|--|--|

- | | | | |
|----------------|------------------------|--|---|
| ▪ Stromdichte: | $j(x) = - \sigma E(x)$ | | ([j] = A/m ² , [E] = V/m, [σ] = A/(Vm) = S/m) |
|----------------|------------------------|--|---|

- | | | | |
|------------------|--------------------|--|---|
| ▪ Leitfähigkeit: | $\sigma = q n \mu$ | | (n = Ladungsträgerdichte, q = Ladung, μ = Mobilität)
([q] = C, [n] = m ⁻³ , [μ] = m ² /Vs) |
|------------------|--------------------|--|---|

- | | | | |
|--------------|------------------|--------------------|-------------------------------------|
| ▪ Widerstand | $\rho[\Omega m]$ | $= E/j = 1/\sigma$ | (R= $\rho l/A$, l=Länge, A=Fläche) |
|--------------|------------------|--------------------|-------------------------------------|

Ein paar Konstanten (f. Silizium)

▪ ρ	7.87	gcm^{-3}	Dichte
▪ E_g	1.12	eV	Bandlücke bei 300K
▪ N_{atome}	5×10^{22}	cm^{-3}	Atomdichte
▪ N_i	1.45×10^{10}	cm^{-3}	Eigenleitungsdichte bei 300K
▪ μ_e	1400	cm^2/Vs	Elektronenbeweglichkeit (Mobilität) bei nicht zu hohen Feldern
▪ μ_h	480	cm^2/Vs	Löcherbeweglichkeit ($v = \mu E$)
▪ q	1.602×10^{-19}	C	Elementarladung
▪ k	1.381×10^{-23}	J/K	Boltzmann-Konstante
▪ $4kT$	1.657×10^{-20}	J	Rauschleistungsdichte bei 300K
▪ U_T	$= kT/q = 25.9$	mV	Temperaturspannung bei 300K
▪ ϵ_0	8.854×10^{-12}	F/m	Suszeptibilität des Vakuums. (Merke: $C = \epsilon_0 A/d$, $1\text{m} \times 1\text{m} \times 1\text{m}$: $\sim 10\text{pF}$)
▪ ϵ_{Si}	11.9		Dielektrizitätskonstante Silizium
▪ ϵ_{SiO_2}	3.90		Dielektrizitätskonstante Silizium-Dioxid
▪ E_{max}	$\sim 3 \times 10^7$	V/m	Durchbruchfeldstärke

Bänder / Dotierung

- Silizium-Kristall
- Entstehung der Bänder, Valenz- und Leitungsband
- Fermiverteilung
- Eigenleitung n_i , Löcherleitung

$$f(E) = \frac{1}{1 + e^{(E-E_F)/kT}}$$

⇒ [Applet](#)
⇒ [Applets](#)
⇒ [Applets](#)
⇒ [Applet](#)

- N-Dotierung (z.B. Phosphor, Arsen, 10^{14-20}cm^{-3}), Lage der Energieniveaus der Donatoren
- P-Dotierung (z.B. Bor), Energieniveaus
- Massenwirkungsgesetz: $n \times p = n_i^2$

⇒ [Applet](#)
⇒ [Applet](#)

- Fermi-Niveaus bei dotierten Halbleitern:

- n-Dotierung ⇒ Verschiebung nach oben zur Leitungsbandkante hin
- p-Dotierung ⇒ Verschiebung nach unten zur Valenzbandkante hin

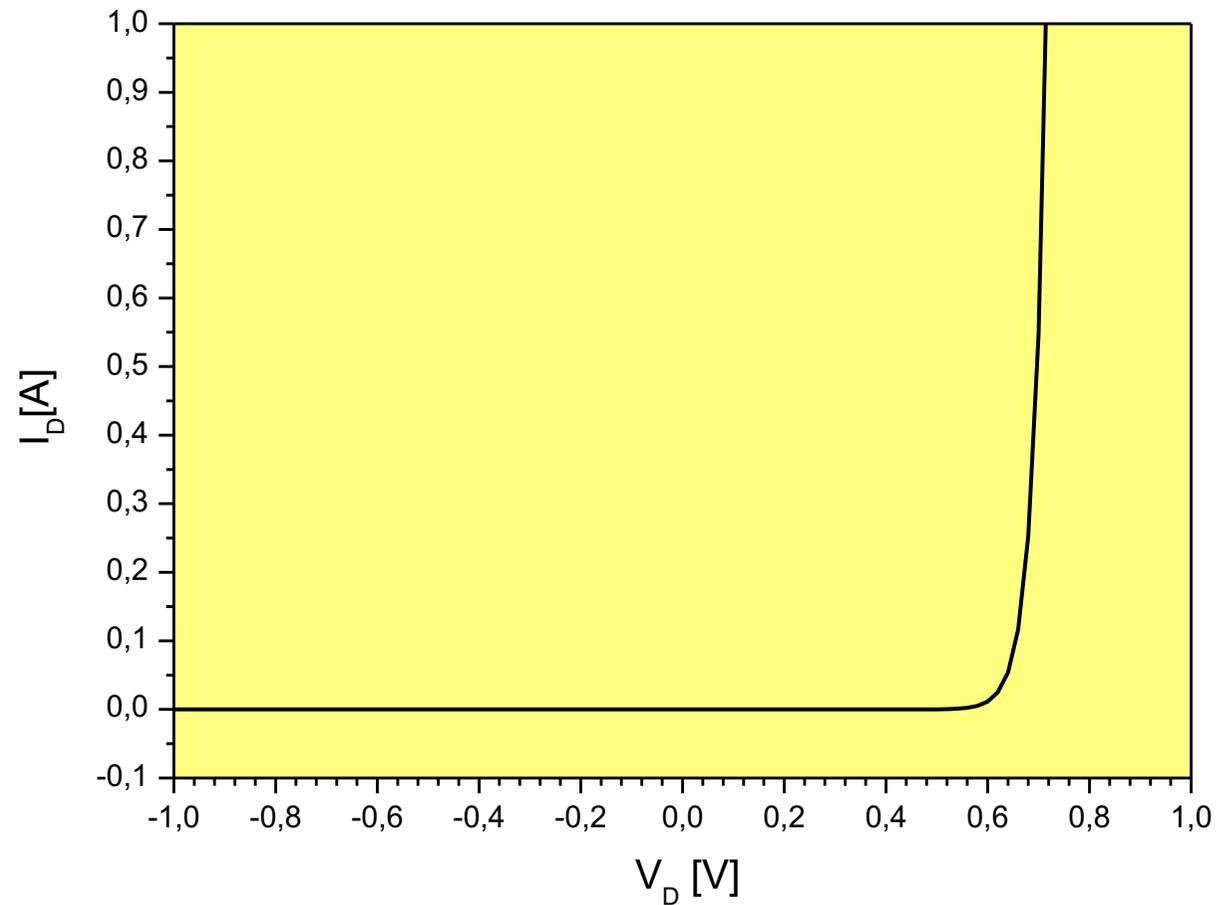
- Die Art der Dotierung wird mit **p** oder **n** markiert, reines ('intrinsisches') Silizium mit **i**.
- Die Stärke der Dotierung wird mit hochgestellten + oder – markiert: n^- , p^{++}

Tipp

- Sehr schöne Applets finden Sie auf der externen Seite:

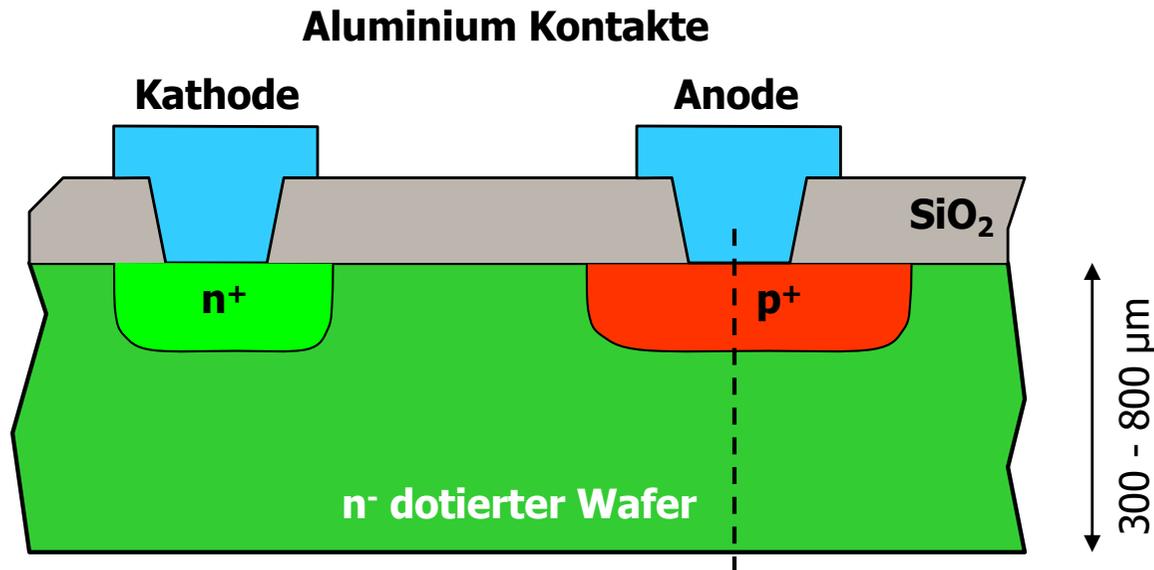
<https://smile.hsu-hh.de/Auswahl.html?1>

Die Diode (p-n-Übergang)

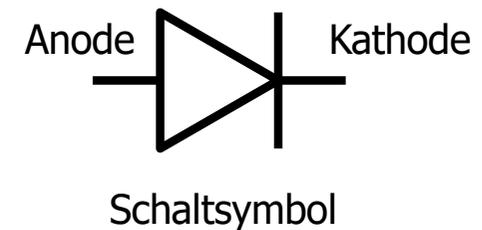
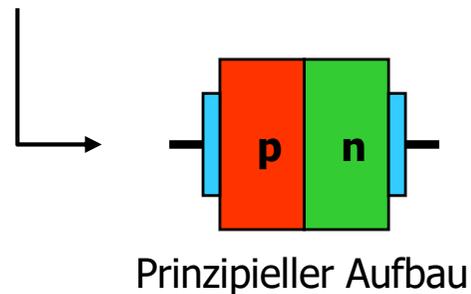


pn-Diode durch Implantation

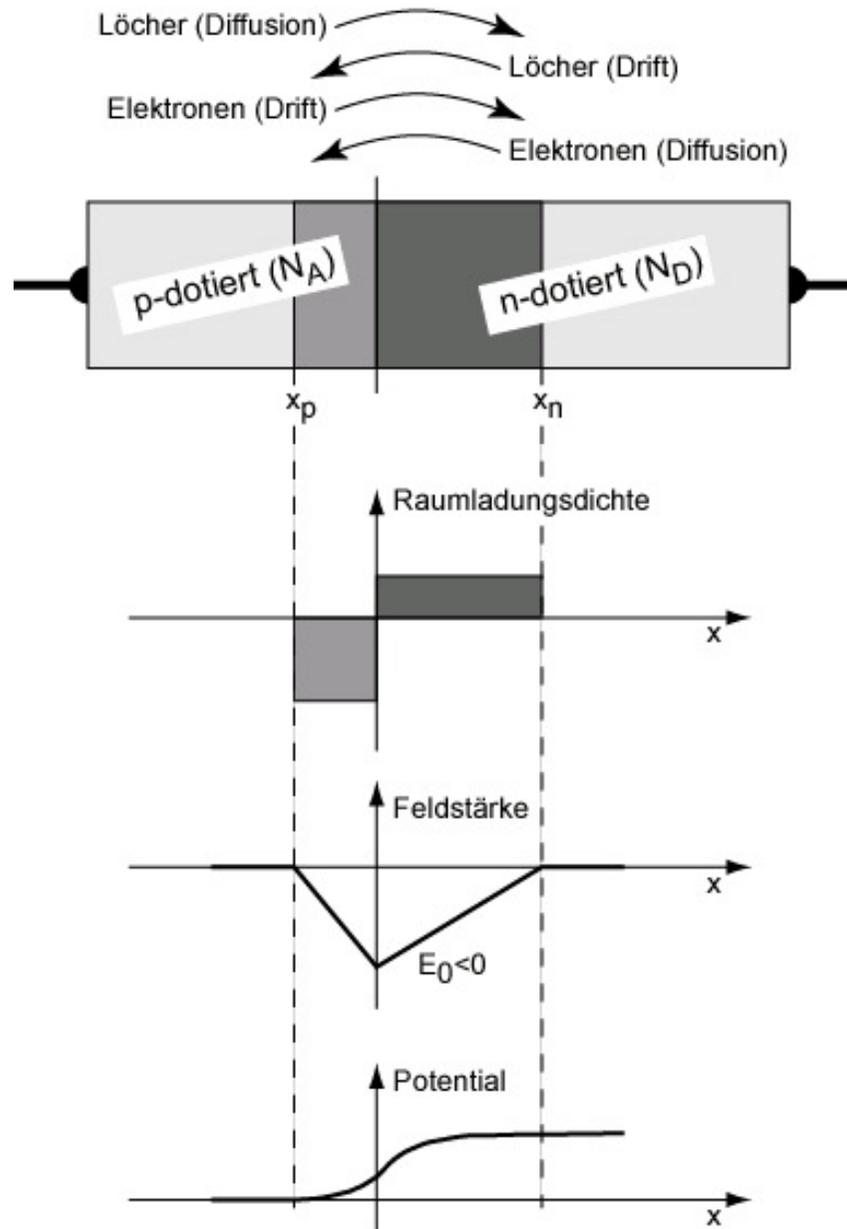
- In eine (z.B.) n- dotierte Si-Scheibe ('Wafer') werden an der Oberfläche stark dotierte Gebiete erzeugt
- JEDER pn-Übergang bildet eine Diode.
- Sie ist meist 'unerwünscht' – ein 'parasitäres' Element (insbesondere Drain, Source und Bulk des MOS)



Querschnitt eines pn-Übergangs auf einem Chip



Ausbildung der Verarmungszone

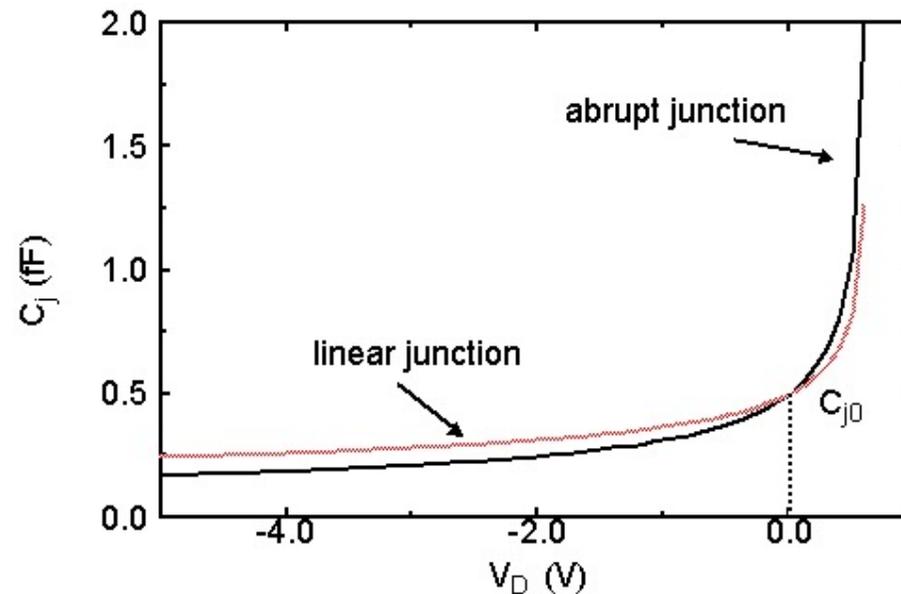


- Wir betrachten einen (idealisierten) 'abrupten' Übergang zwischen n- und p-Bereich
- Aufgrund des Konzentrationsgefälles diffundieren Elektronen aus dem n- in den p-Bereich und Löcher aus dem p- in den n-Bereich. Es entstehen Verarmungszonen ohne bewegliche Ladungsträger.
- Die verbleibenden ortsfesten Atomrümpfe verursachen geladene Raumladungszonen: Positive Raumladung im n-Bereich, negative im p-Bereich
- Die Raumladungszonen verursachen ein elektrisches Feld
- Das Feld muß von einem Potentialunterschied begleitet werden. Das 'eingebaute' Diodenpotential (Built-in-Potential). Es hängt nur von den Dotierungen ab.
- Im Feld driften Elektronen in den n-Bereich und Löcher in den p-Bereich zurück
- Die Dicke der Raumladungszone ergibt sich aus dem Gleichgewicht zwischen Feld- und Diffusionsstrom
- In der Realität nimmt die Raumladungszone am Rand stetig nach Null ab, die Übergangszone ist aber dünn, so daß die Annahme einer kastenförmigen Verteilung gut ist

Der p-n-Übergang

- Aneinanderfügen von p- und n- Bereich
- Berechnung der Diffusionsspannung
- Berechnung Dicke Sperrschicht
- Näherung N_D sehr groß (Beachte Massenwirkungsgesetz: $\ln p + \ln n = \text{const.}!$)
- Berechnung der Kapazität der Sperrschicht, Koeffizient m
- Kennlinie der Diode

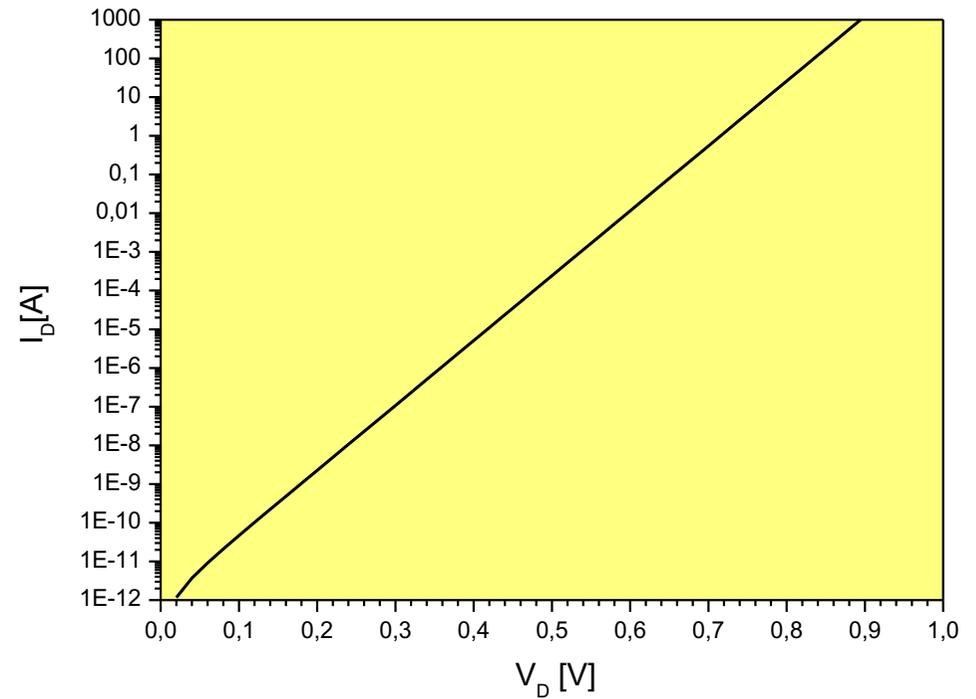
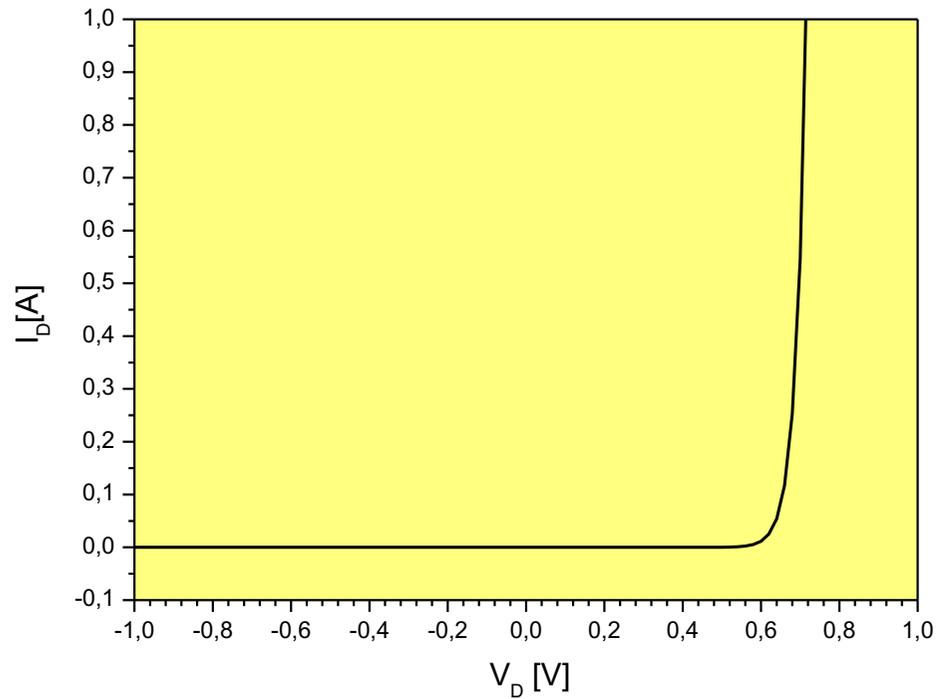
- ⇒ [Applet](#)
- ⇒ Tafel (2 x)
- ⇒ Tafel
- ⇒ [Applet](#)
- ⇒ Tafel
- ⇒ Tafel, [Applet](#)



$$C_j = \frac{C_{j0}}{(1 - V_D / \phi_0)^m}$$

$m = 0.5$: abrupt junction
 $m = 0.33$: linear junction

Diodenstrom Linear und Logarithmisch



$$I_D = I_S (e^{U_D/U_{TH}} - 1)$$

Zusammenfassung

- Die Diode **leitet**, wenn eine **positive Spannung am p-Bereich** anliegt
- Vorwärtsstrom ist $I_D = I_S(e^{V_D/U_T} - 1)$. (V_D ist angelegte Spannung, $U_T = kT/q \sim 26\text{mV}$ bei 300K)
- Der Strom **verzehnfacht** sich etwa alle **60mV**

- Das E-Feld ist **am Übergang am höchsten**

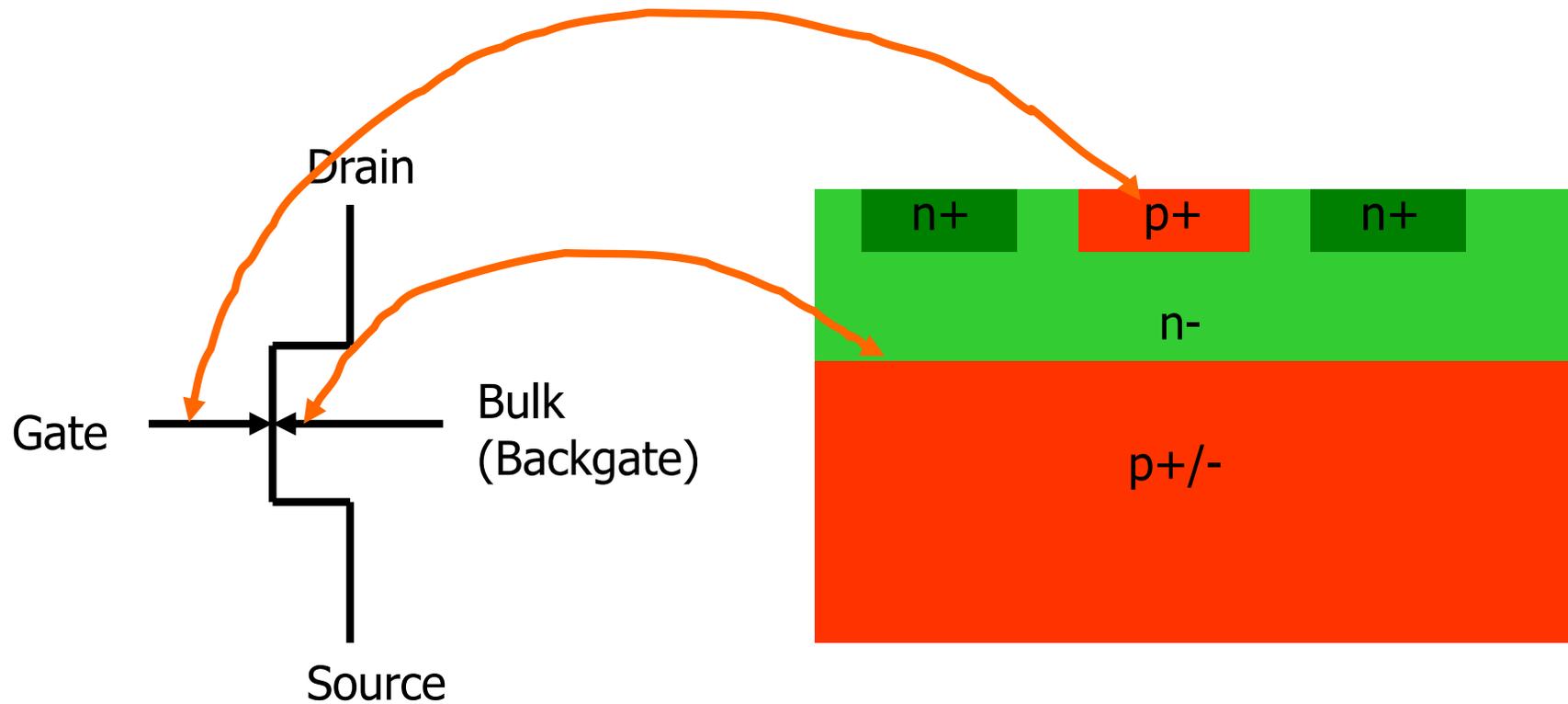
- Die Sperrschicht wächst in den **schwach dotierten** Bereich. Diese ist um so dicker, je schwächer die Dotierung ist. Entsprechend ist die Kapazität kleiner

- Bei einer abrupten Grenzschicht:
 - Die Sperrschicht **wächst** wie die Wurzel aus der Spannung (mit Offset durch die Diffusionsspannung)
 - Die Kapazität **sinkt** mit der Wurzel aus der angelegten Spannung

- Die berechnete Kapazität ist differentiell, d.h. sie gilt nur für eine feste Spannung an der Diode.
Es gilt NICHT: $Q = \frac{1}{2} C U^2$!

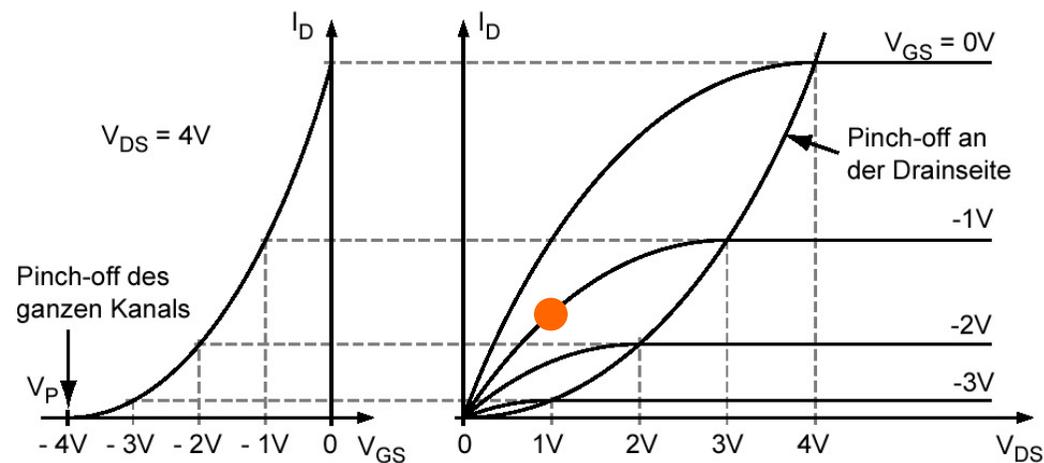
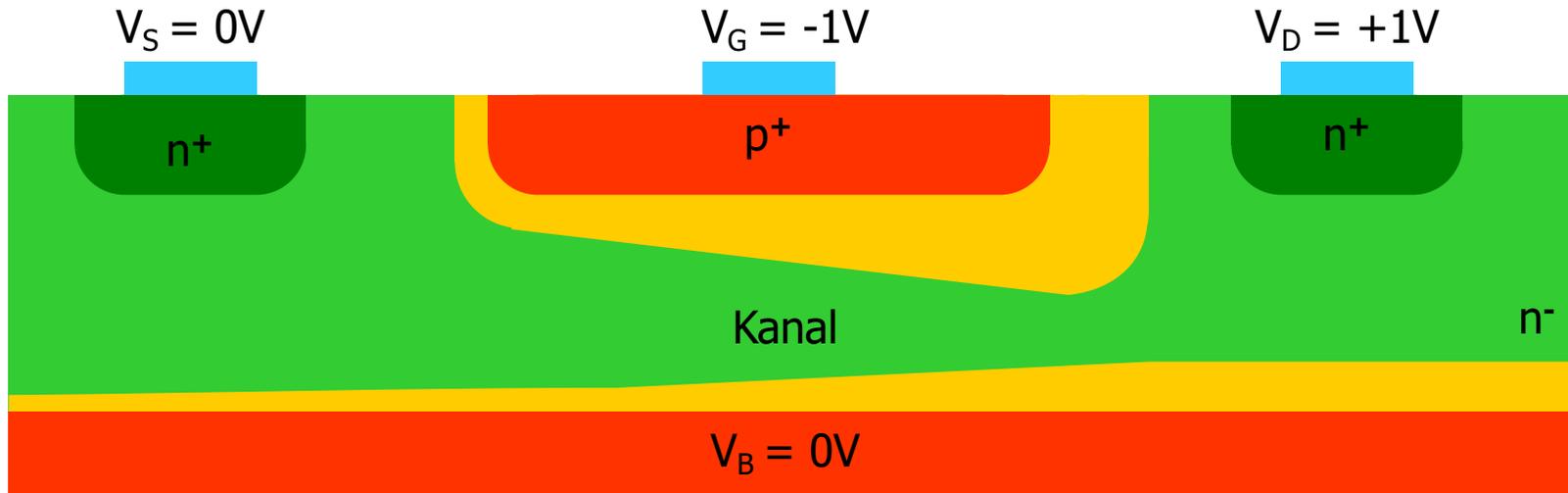
Der JFET

- Siehe auch Skript
- Schaltsymbol (Drain und Source können meist vertauscht werden):



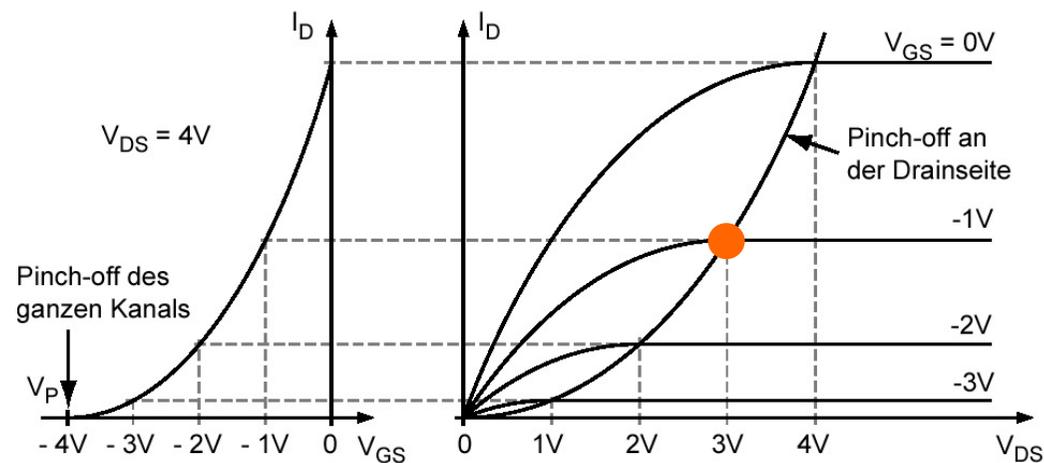
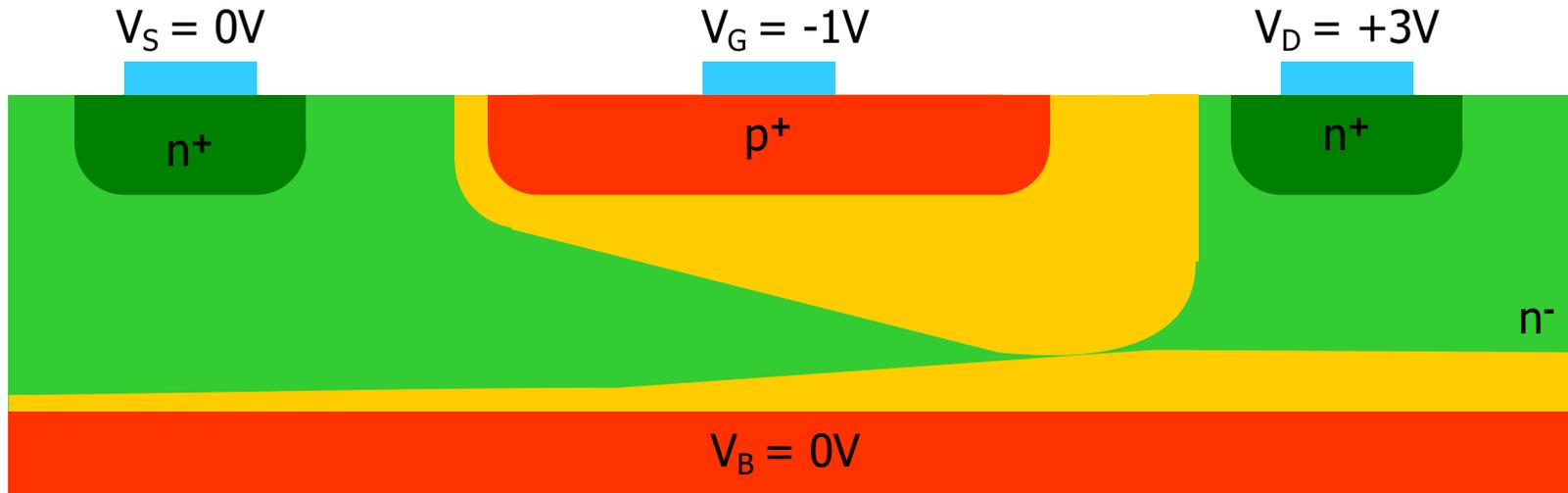
JFET: Kanal, linearer Bereich

- Der Querschnitt des leitenden Kanals wird von beiden Seiten durch Verarmungszonen (Dioden!) reduziert.
- (Bei der Herleitung (s. Skript) wird der Boden (die Kanal-Substrat-Diode) vernachlässigt.)
- Im linearen Bereich ist der Kanal überall 'offen'



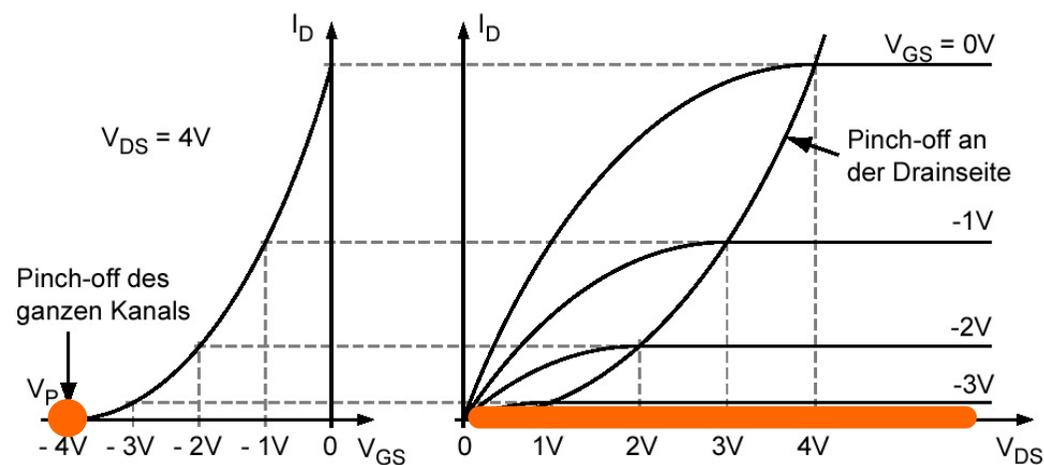
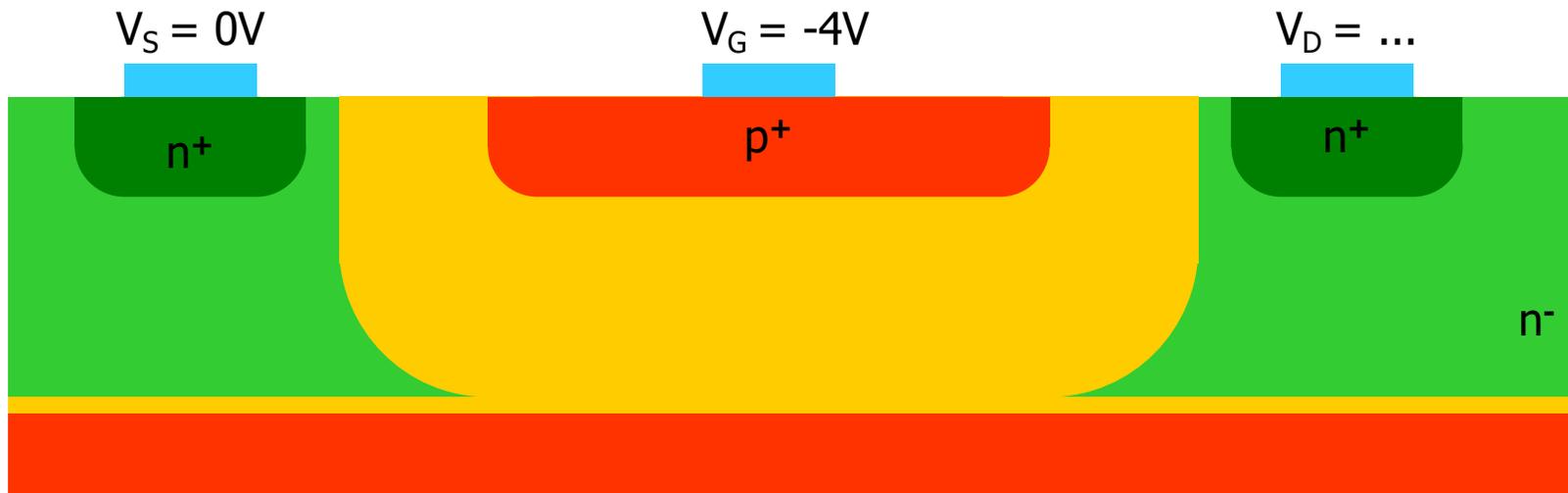
JFET: Sättigung

- Bei genügend hoher Drain-Gate-Spannung füllt die Sperrschicht an der Drain-Seite den gesamten Kanal aus
- Das Potential im Kanal hängt nicht mehr von der Drainspannung ab.
Eine weitere Erhöhung der Drainspannung führt daher nicht zu einem höheren Strom.



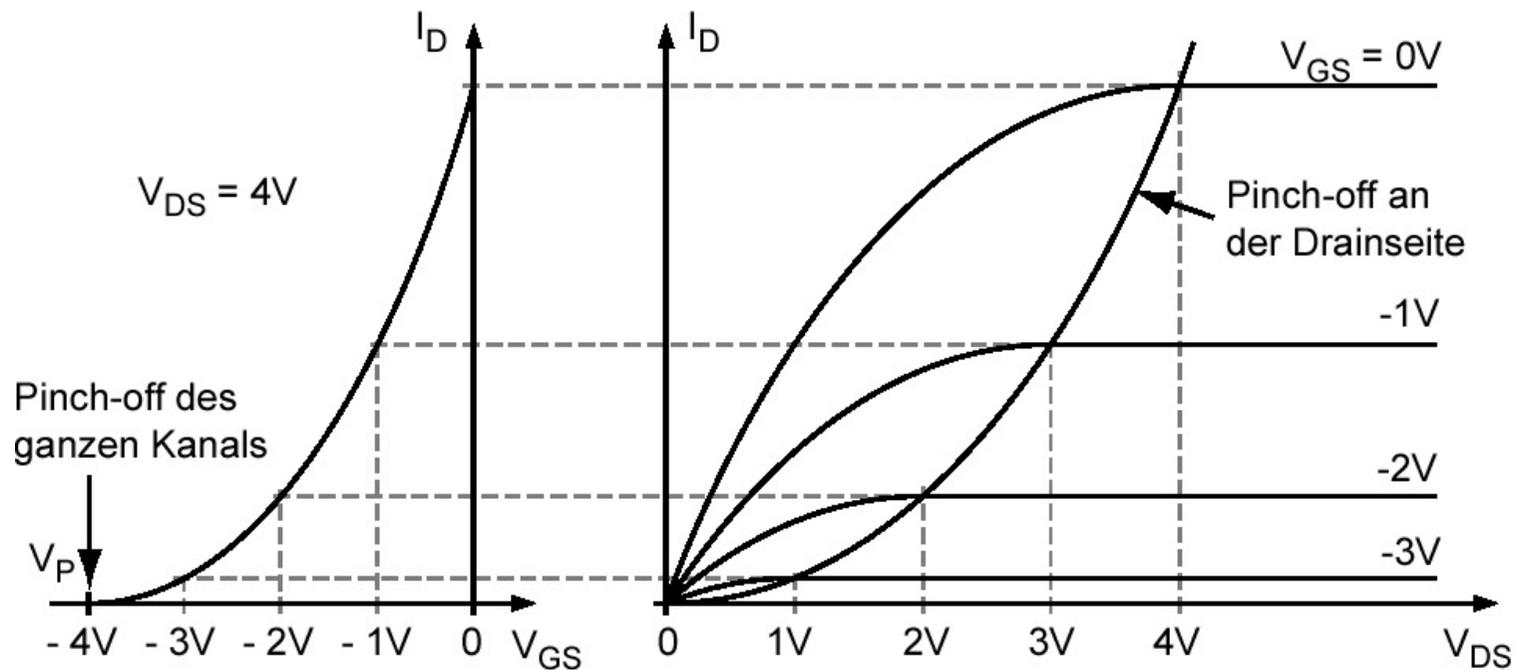
JFET: vollständiger pinch-off

- Bei genügend negativer Gate-Spannung ist die Sperrschicht im gesamten Kanal so dick, daß sich überhaupt kein Kanal ausbilden kann.
- Es fließt kein Strom, unabhängig von der Drain-Spannung.



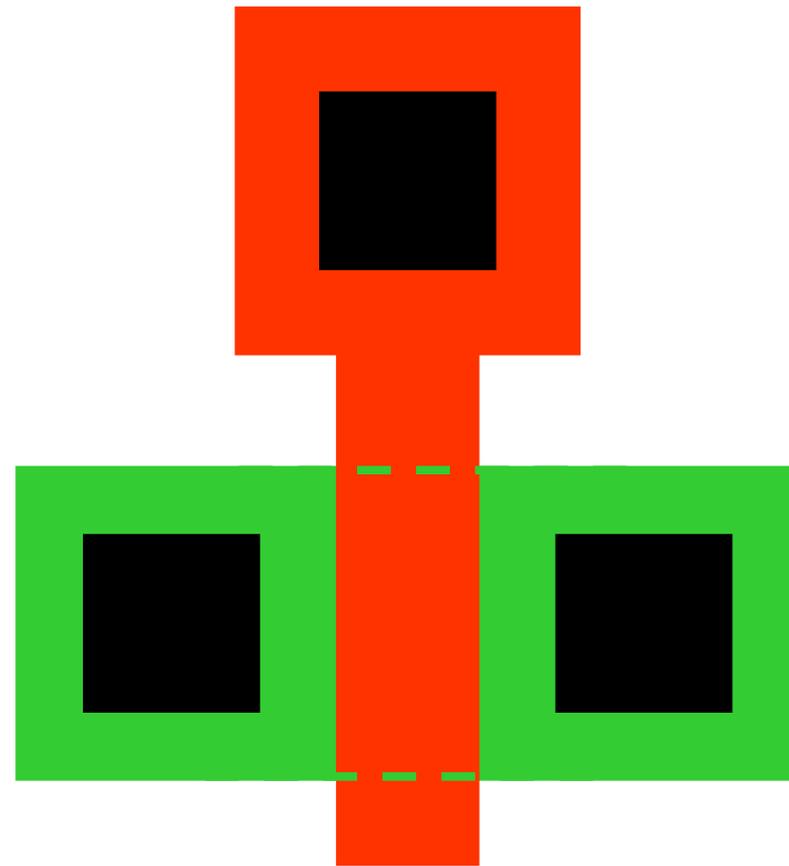
JFET: Kennlinie

$$I_D = \frac{W}{L} I_0 \left[\frac{V_D}{V_p} + \frac{2}{3} \left(\frac{V_G'}{V_p} \right)^{3/2} - \frac{2}{3} \left(\frac{V_D + V_G'}{V_p} \right)^{3/2} \right] \quad V_G' := V_{bi} - V_G$$

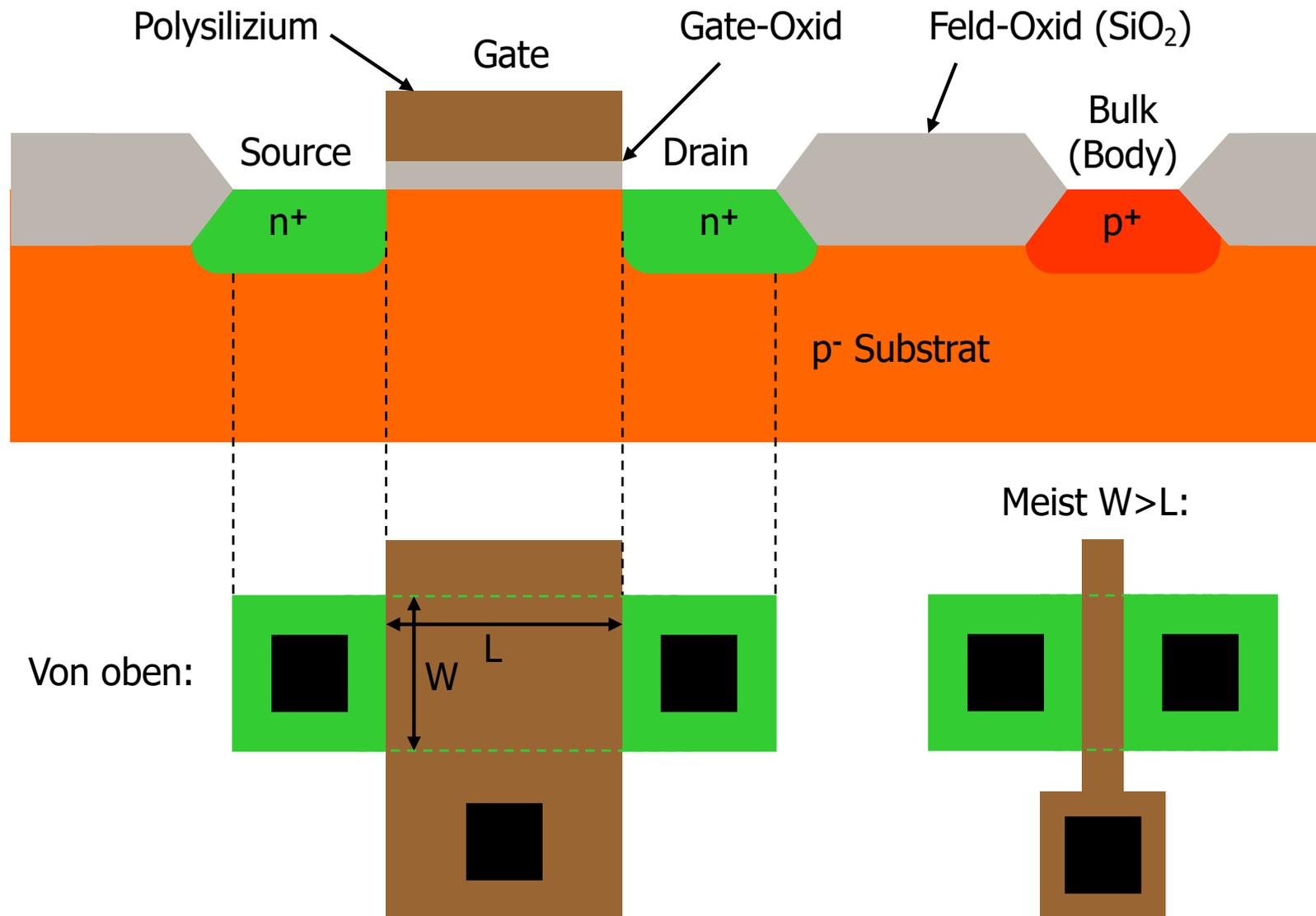


- Bei höheren Drainspannungen wird der Kanal in Wirklichkeit langsam etwas kürzer, L wird also kleiner und der Drainstrom steigt leicht an: Kanallängenmodulation wie später beim MOSFET

Der MOS Transistor



Aufbau eines NMOS Transistors



MOS Struktur: Akkumulation – Verarmung – Inversion

- Wir betrachten eine isolierte Gate-Elektrode auf Silizium (hier p-Silizium!).
- Sehr vereinfachend (siehe auch Script):

Gate **sehr negativ**:

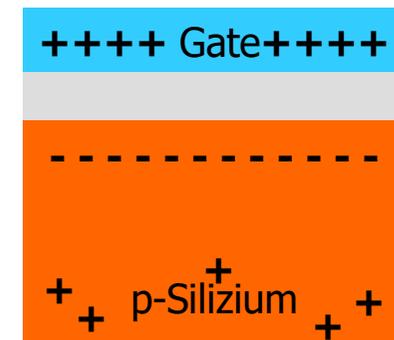
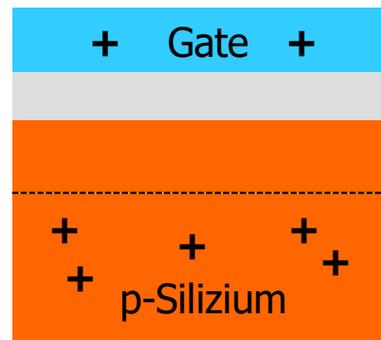
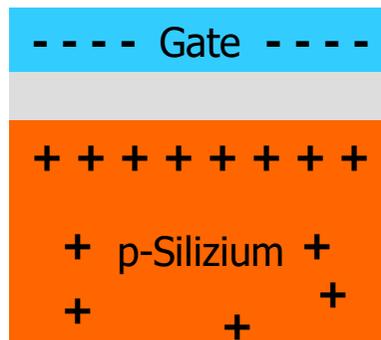
- reichlich vorhandene Löcher werden unter d. Gate gezogen
- ‚**Akkumulation**‘
- ‚Kondensatorplatte‘ direkt unter dem Oxid
- Kapazität ist maximal

Gate **positiver**:

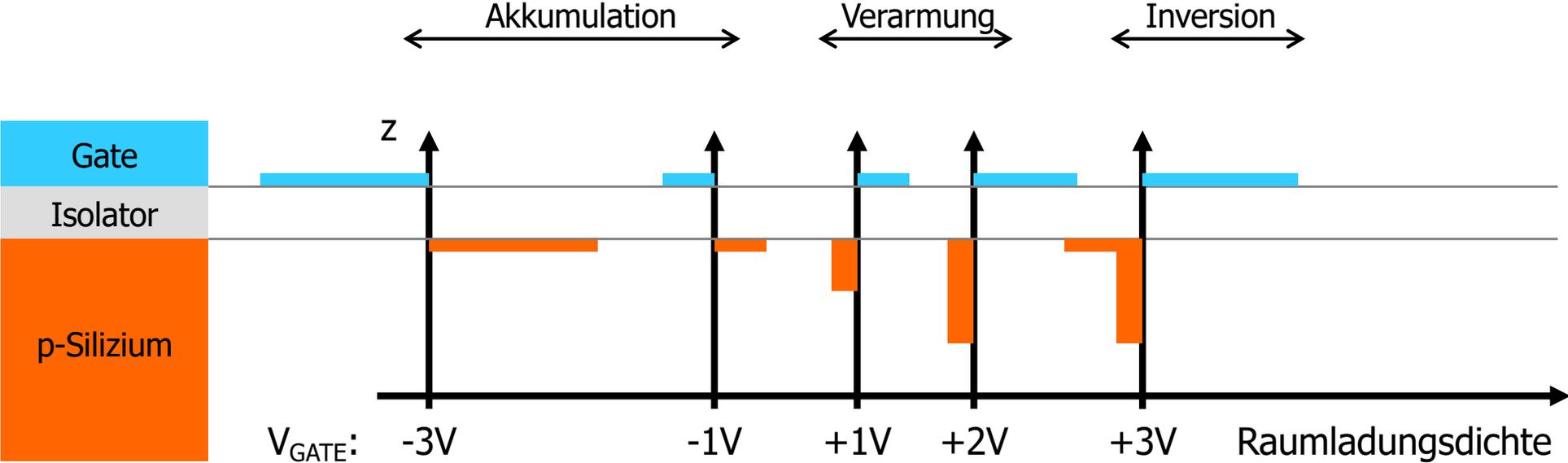
- Löcher werden weggedrückt
- ‚**Verarmung**‘
- ‚Kondensatorplatte‘ weiter im Bulk (Dichte negativer Raumladung durch Dotierung begrenzt)
- Kapazität sinkt

Gate **sehr positiv**:

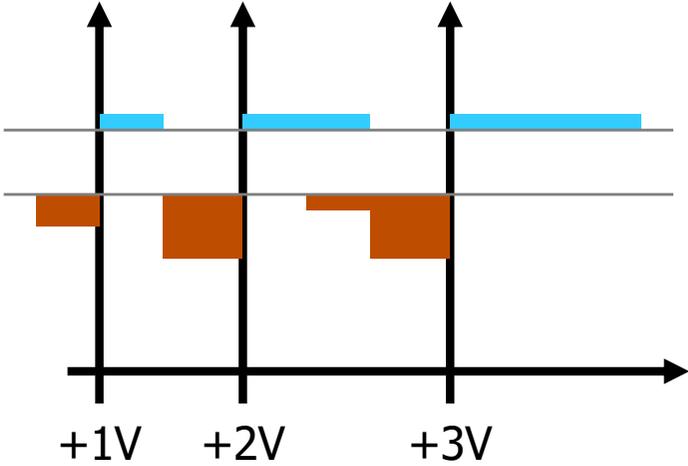
- Elektronen (Minoritätsträger) werden angesaugt
- ‚**Inversion**‘
- ‚Kondensatorplatte‘ wieder direkt unter Oxid
- Kapazität wieder maximal



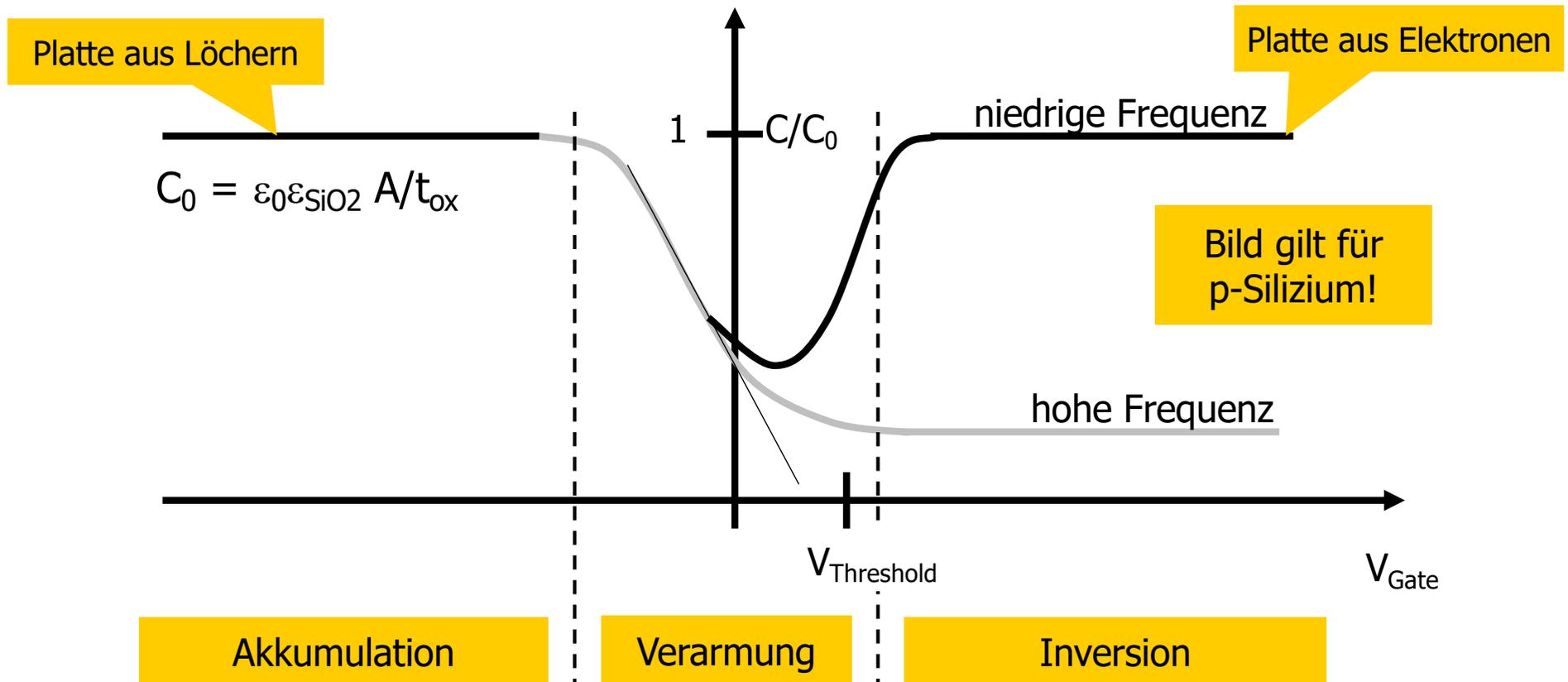
Raumladungsdichte



Bei höherem Bulk doping

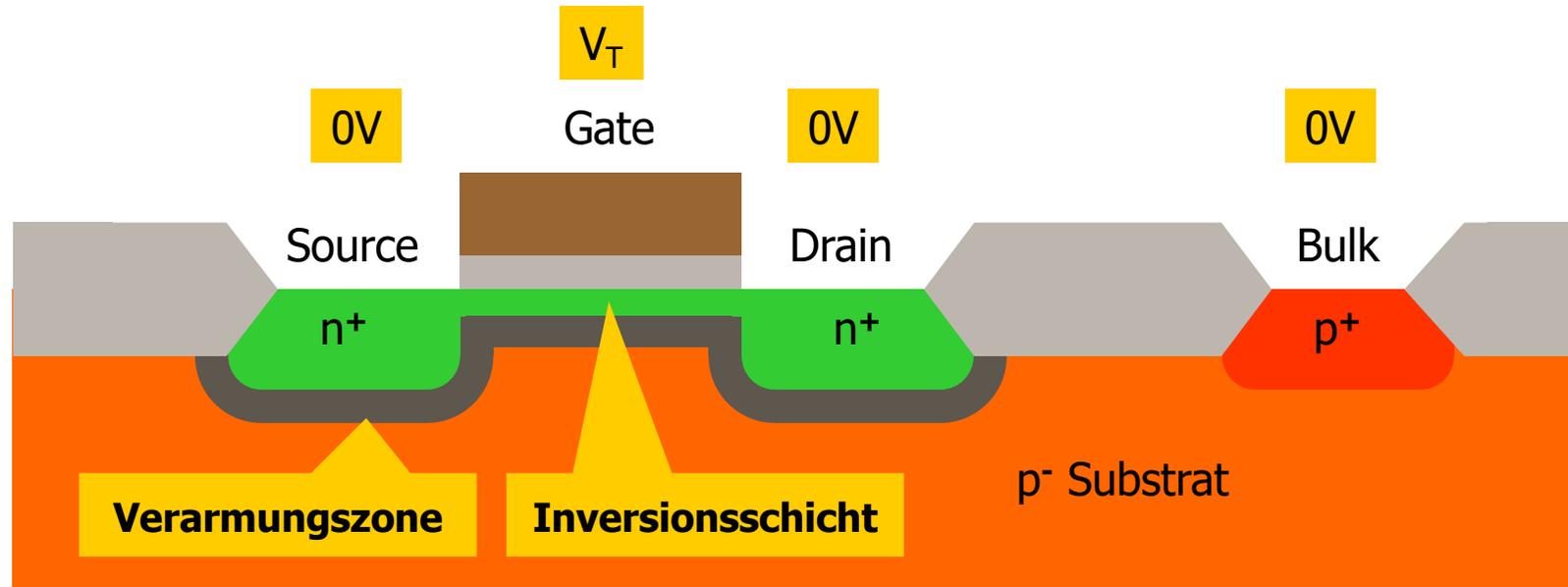


MOS Struktur: Akkumulation – Verarmung - Inversion



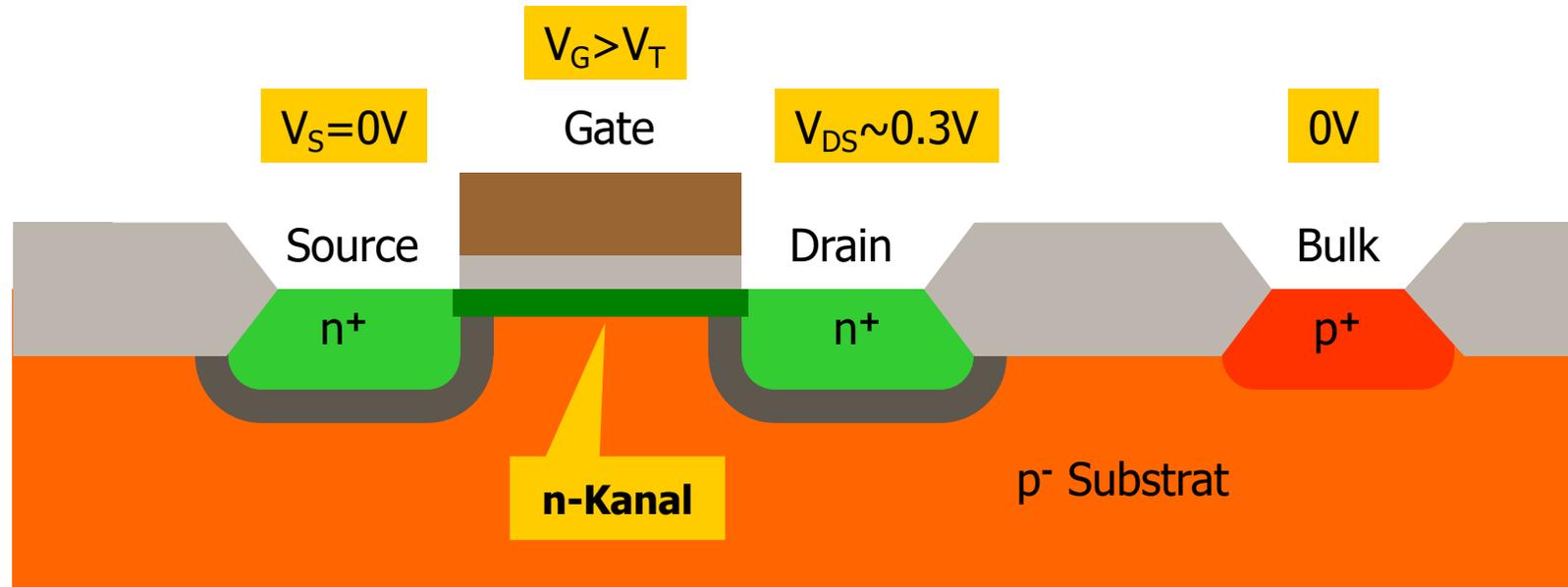
- MOS Struktur im Bänderdiagramm: <https://smile.hsu-hh.de/app32/default1.html?lang=1>
- Bei hohen Messfrequenzen können in Inversion die Elektronen nicht schnell genug angesaugt werden. Die Kapazität bleibt dann klein. (Wenn eine n+ - Gebiet, also ein Elektronenreservoir vorhanden ist, gibt es auch bei hoher Frequenz genügend Elektronen)
- Man definiert die Schwellenspannung (für 'starke' Inversion) oft als die Spannung, bei der die Elektronendichte in der Inversionsschicht so groß ist wie die Löcherdichte im Bulk.

Schwellenspannung



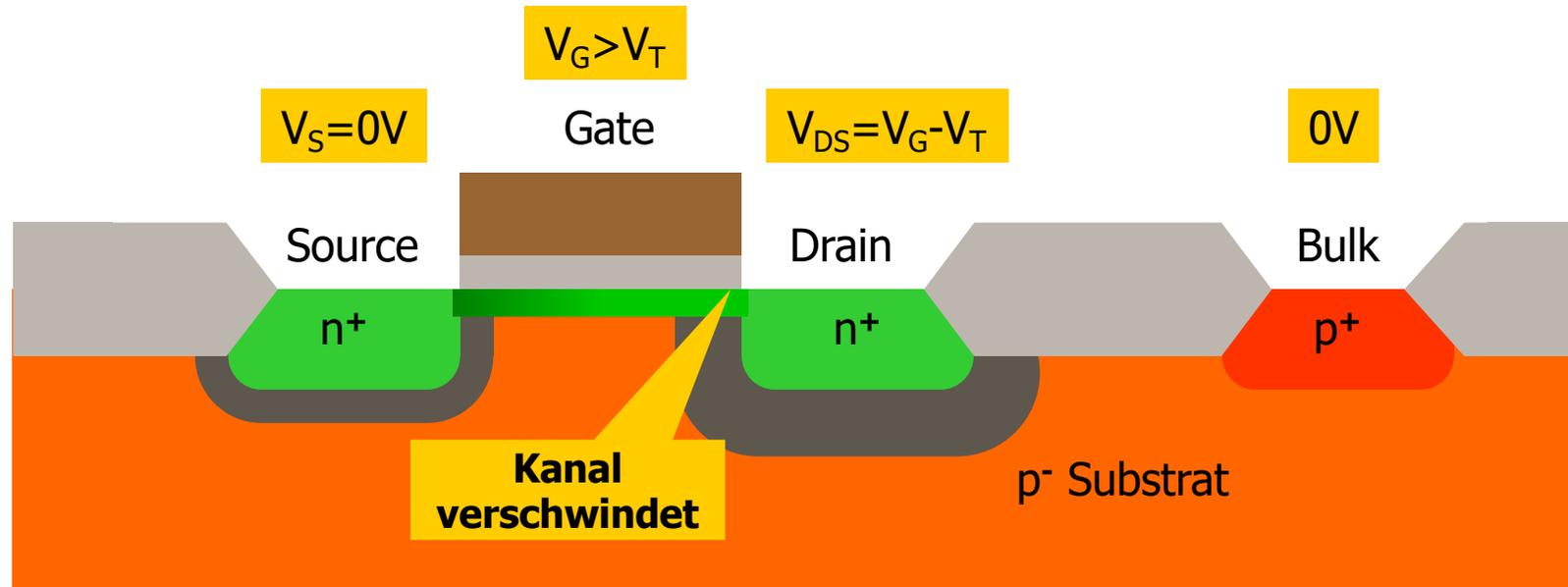
- An den Drain- und Source-Dioden bilden sich **Verarmungszonen** aus
- Bei genügend positivem Gate bildet sich unter dem Gate eine (n-leitende) **Inversionsschicht** aus, durch die Strom von Drain nach Source fließen kann.
- Die **Gate-Source-Spannung** V_{GS} , ab der starke Inversion vorliegt, ist die **Schwellenspannung** V_T
- Sie liegt bei 'Deep-Submicron' - Technologien ($L_{min} < 0.5\mu m$) bei ca. **$V_T \sim 0.5V$**

Linearer Bereich



- Bei kleinen Drain-Source-Spannungen V_{DS} bleibt der **Kanal** erhalten
- Dies ist der Fall solange $V_{DS} < V_{GS} - V_T$
- Der Transistor verhält sich wie ein Widerstand, der bei $V_{GS} < V_T$ unendlich wird: $I_D = a \times V_{DS}$
- Man spricht vom **Linearen Bereich**

Sättigung



- Bei sehr positiver Drain-Spannung verschwindet der Kanal an der Drain-Seite.
- Man spricht von '**pinch-off**' (Abschnüren)
- Diese **Sättigung** tritt ein, wenn $V_{DS} = V_{DSat} = V_{GS} - V_T$
- **Der Strom steigt mit steigendem $V_{DS} > V_{GS} - V_T$ (fast) nicht weiter an**
- Genauer: Da mit steigendem V_{DS} die Länge des Kanals abnimmt, steigt der Strom weiter leicht an. Man spricht von **Kanallängenmodulation**

Strom-Spannungs-Formeln in starker Inversion

- Formeln in 'starker Inversion', d.h. $V_{GS} \gg V_T$

- Linearer Bereich:**

$$I_D = K_N \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{für} \quad V_{DS} < V_{GS} - V_T$$

- Sättigung:**

$$I_D = \frac{K_N}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad \text{für} \quad V_{DS} > V_{GS} - V_T$$

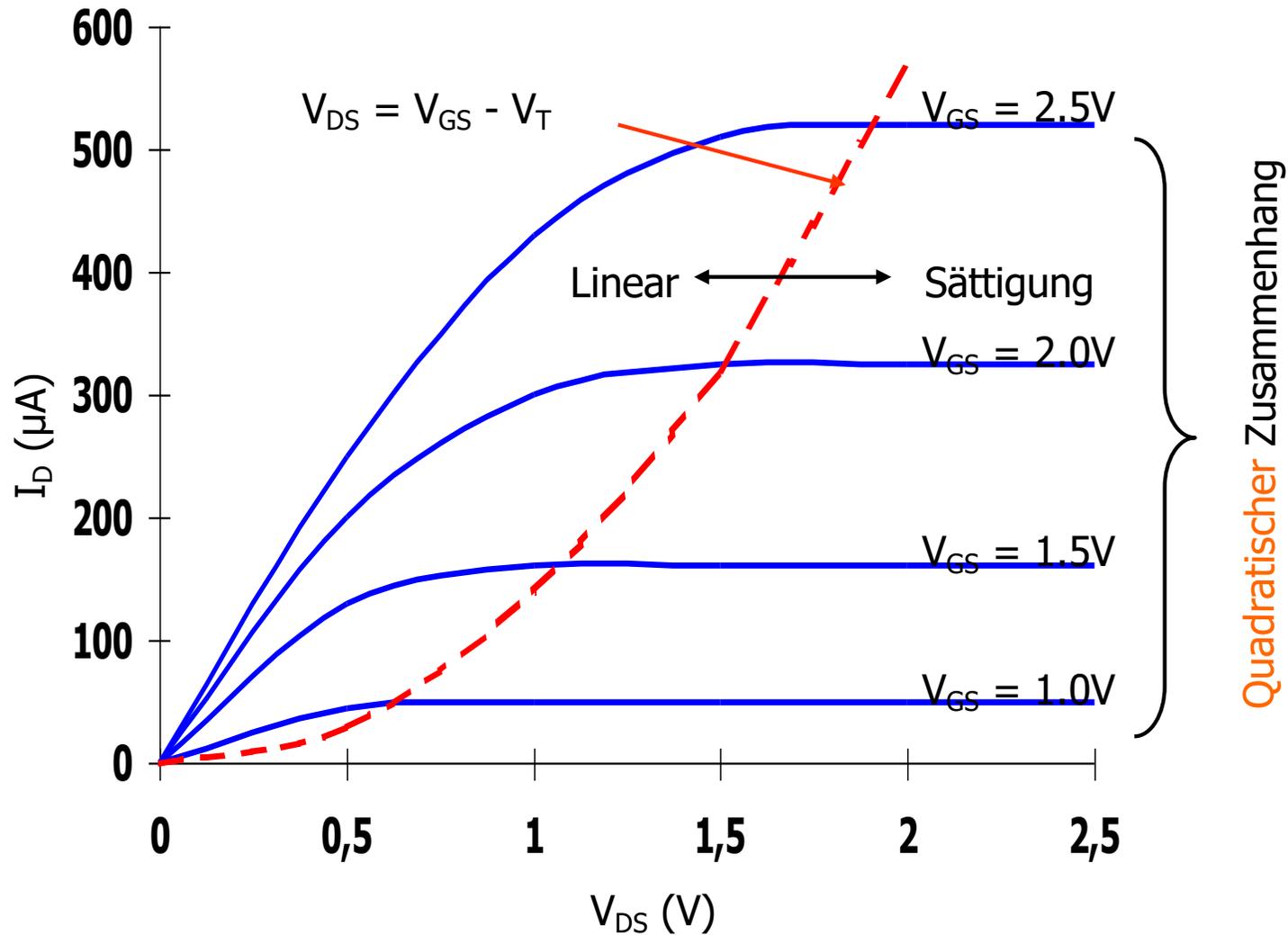
- Mit dem Transkonduktanzparameter

$$K_N = \mu_N C_{OX} = \mu_N \frac{\epsilon_0 \epsilon_{OX}}{t_{OX}} \quad (\text{Oft auch } \beta = K \times W/L)$$

t_{OX} = Oxid-Dicke

- Daneben gibt es auch den Bereich **schwacher Inversion**, '**weak Inversion**' oder **Subthreshold-Bereich**. Dort ist der Drainstrom klein und hängt exponentiell von V_{GS} ab

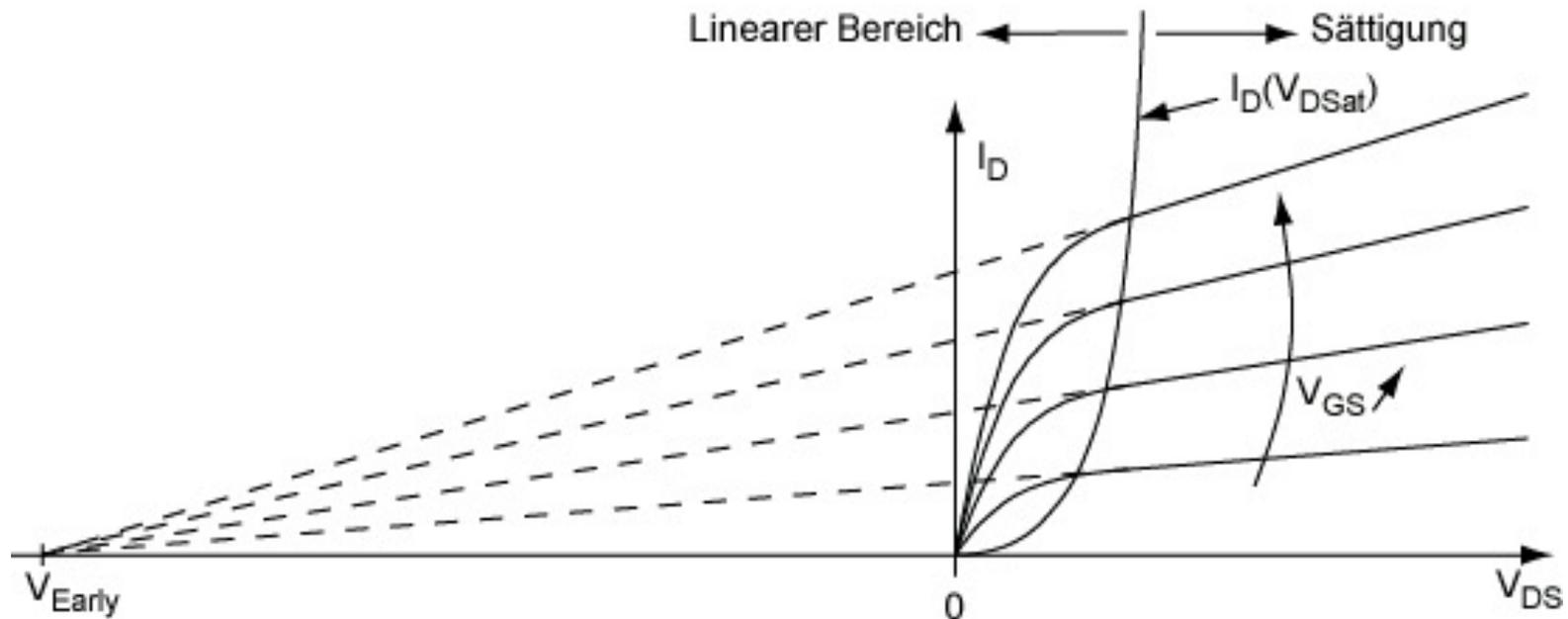
Ausgangskennlinie (I-V Plot) eines NMOS



NMOS, 0.25 μm , $L_d = 10\text{nm}$, $W/L = 1.5$, $V_T = 0.4\text{V}$

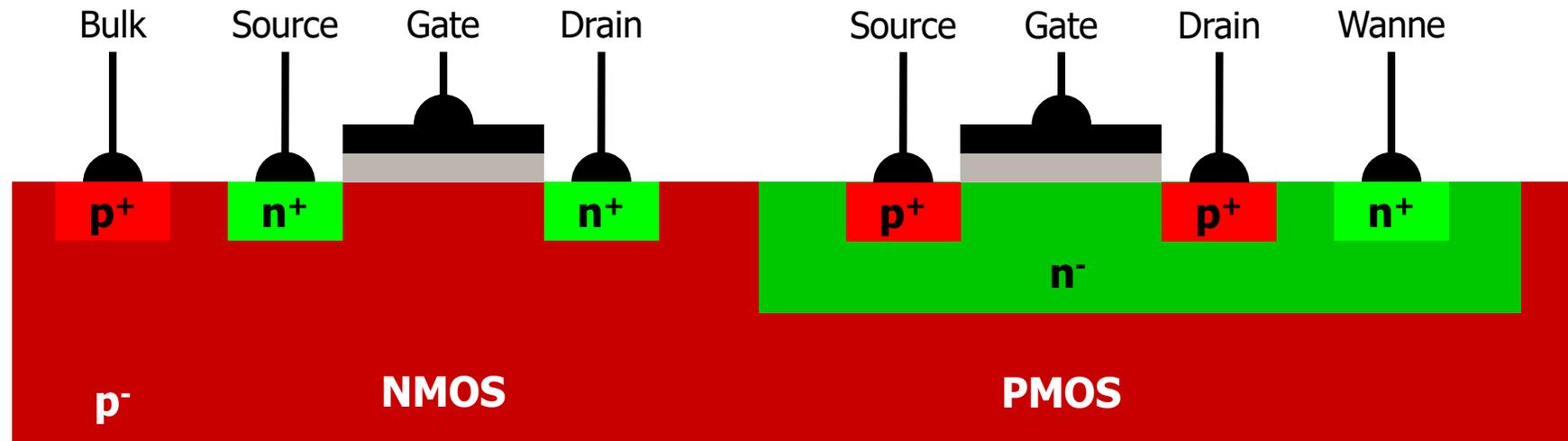
Ausgangswiderstand (Early-Effekt)

- Bei steigender Drainspannung wird die Pinch-Off-Region größer
⇒ der Kanal wird effektiv kürzer (L wird kleiner)
⇒ W/L steigt
⇒ I_D steigt
- Man spricht von Kanallängen-Modulation oder Early-Effekt.
- Einfache Parametrisierung durch Faktor $(1 + \lambda V_{DS})$
- Schnittpunkt mit der x-Achse bei $V_{Early} = 1/\lambda$
- **Je länger der Transistor, desto kleiner der Early-Effekt: $V_{Early} \sim L$ oder $\lambda \sim 1/L$**

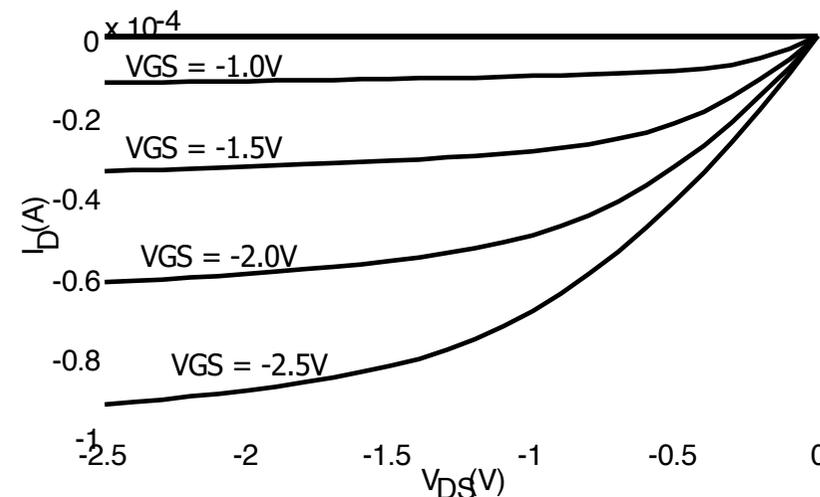


PMOS

- Der **PMOS muss in einem n-Substrat sitzen**.
- Wenn der Wafer (für den NMOS) p-dotiert ist, wird eine n-dotierte **n-Wanne** (engl. 'well') eingebaut



- Die Kennlinien sind genauso wie beim NMOS mit
 - negativen Polaritäten
 - **kleinerem K_p** (kleinere Mobilität der Löcher)

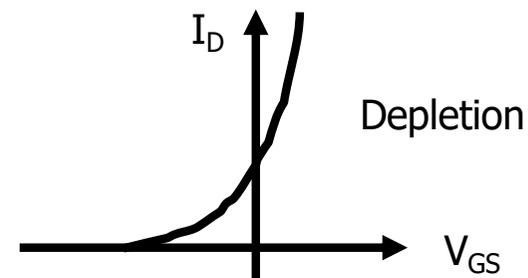
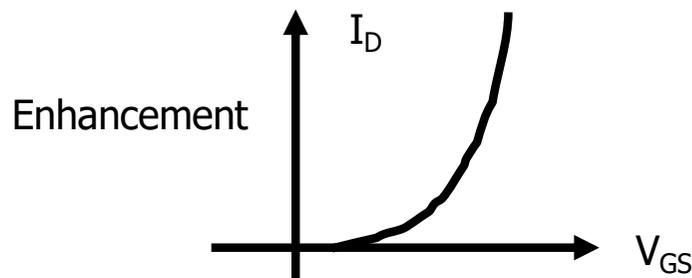


Schwellenspannung

- Die Schwellenspannung (Eintritt starker Inversion) hängt von vielen Faktoren ab:
 - Unterschied in den **Austrittsarbeiten** zwischen Gate und Substrat-Material
 - **Oxid-Dicke**
 - festen **Oberflächenladungen** an der $\text{SiO}_2 - \text{Si}$ - Grenzfläche
 - Stärke der **Dotierung** im Kanal
- Sie kann durch die Technologie eingestellt werden.
- Negative Schwellen (für einen NMOS) und $V_T=0$ '**Zero-VT-Device**' sind möglich
Man spricht von

Enhancement Devices = 'normally off',
wenn der Kanal bei $V_{GS}=0\text{V}$ noch nicht existiert und (beim NMOS)
durch eine positive Gatespannung erst gebildet werden muß.

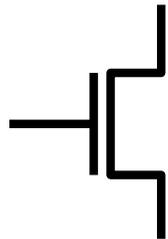
Depletion Devices = 'normally on', wenn der Kanal bei $V_{GS}=0\text{V}$ schon existiert und (beim NMOS)
durch eine negative Spannung erst verdrängt wird.



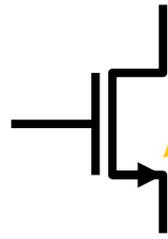
Schaltsymbole

- Es gibt sehr viele verschiedene Varianten von Schaltsymbolen:
 - NMOS/PMOS
 - positive oder negative Schwellenspannung: 'normally off' = **Enhancement MOS**
'normally on' = **Depletion MOS**
 - Darstellung des Substrat-Kontakts
 - Darstellung der Substrat-Dioden
- Beispiele:

Die Source ist beim NMOS der negativere Anschluß.
(Normalerweise sind die Transistoren symmetrisch!)



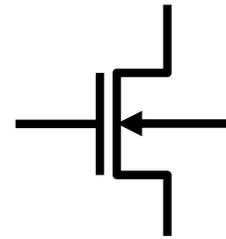
NMOS



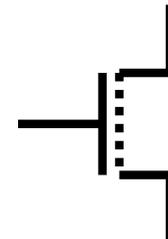
Source Diode
markiert



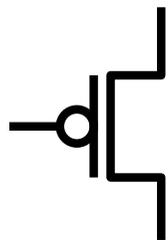
Mit Substrat
Anschluß



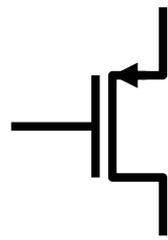
Drain/Source -
Bulk - Dioden



Explizite Darstellung,
daß Kanal erst gebildet werden
muß (positive Schwelle, 'normally
Off', Enhancement-Typ)



PMOS



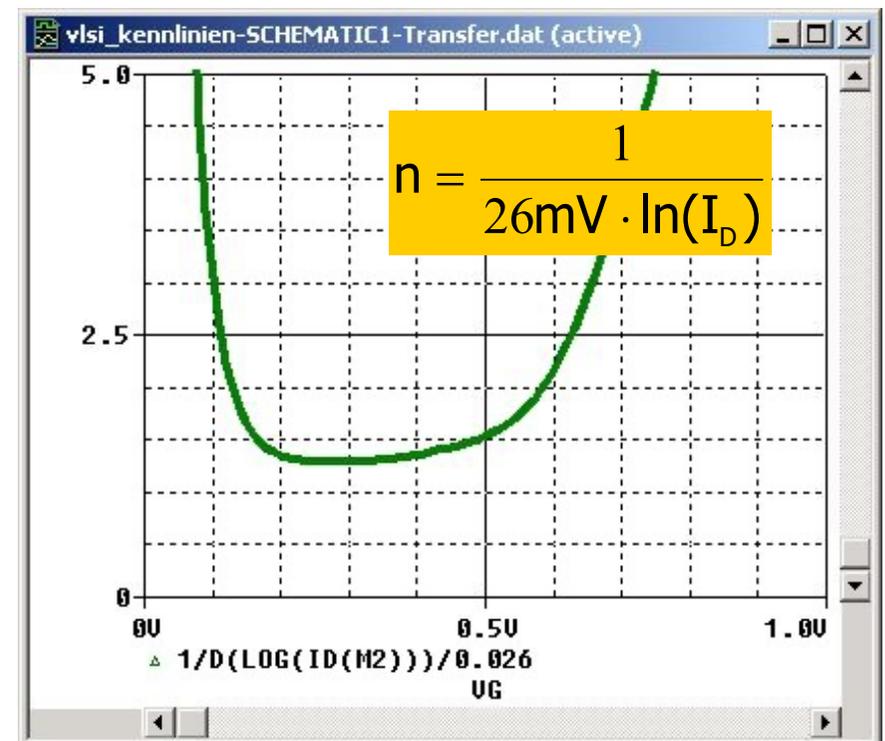
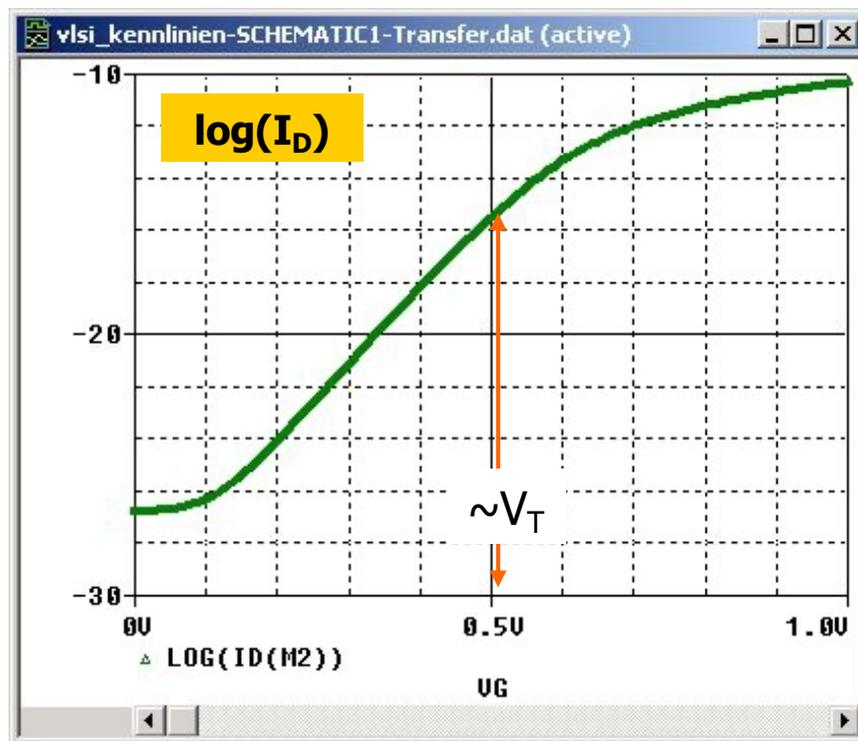
Source Diode
markiert

etc...

Wenn nichts explizit markiert ist, ist
der Bulk meist an Masse (NMOS) bzw. die
positive Versorgung (PMOS) angeschlossen

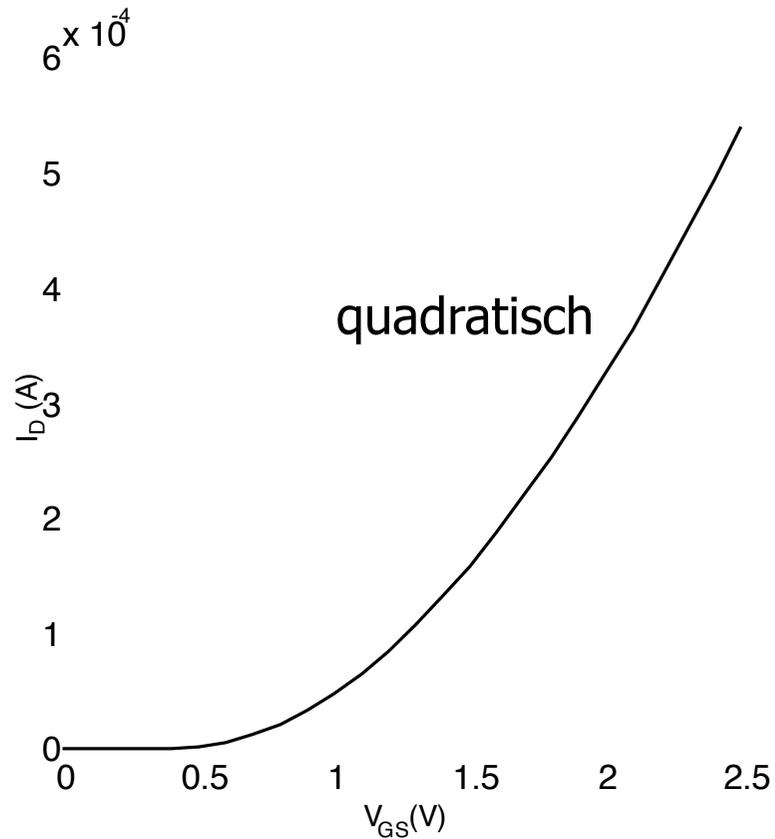
Schwache Inversion (Sub-Threshold-Bereich)

- Unterhalb der Schwellenspannung fließt noch ein kleiner Strom
- Der Kanal ist hier in **schwacher Inversion (weak inversion, w.i.)**
- Der Strom steigt exponentiell mit der V_{GS} : $I_D \sim I_S e^{(V_{GS}/nU_T)}$ mit $n \geq 1$ 'Subthreshold slope factor'
- Typische Steigungen: 60...100mV Gatespannung erhöhen I_D um eine Dekade
- Schwache Inversion etwa, wenn $I_D < 2nK(W/L)U_T^2 \sim 200nA$ (das g_m ist dann in w.i. und s.i. gleich)
- Bei sehr vielen Transistoren mit niedriger Schwellenspannung bewirkt das einen DC-Strom, der einen relativ großen Beitrag zur statischen Verlustleistung macht! Zunehmendes Problem bei modernen Chips mit sehr vielen Transistoren!

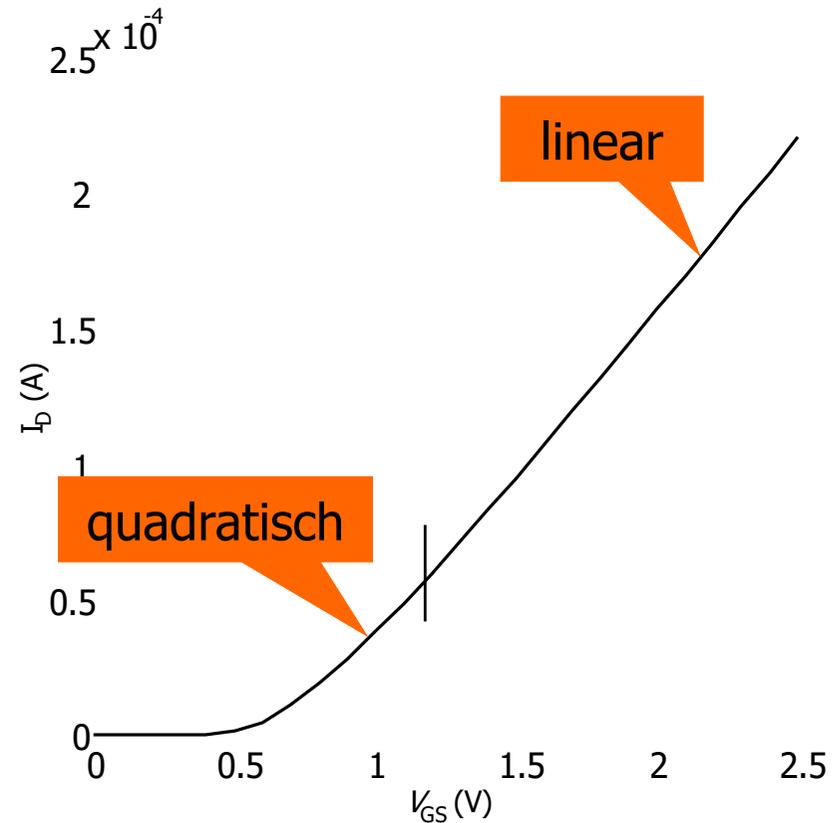


Kurzkanaleffekt, Velocity Saturation

- Übertragungskennlinien (Drainstrom als Funktion der Gatespannung):



Langer Kanal

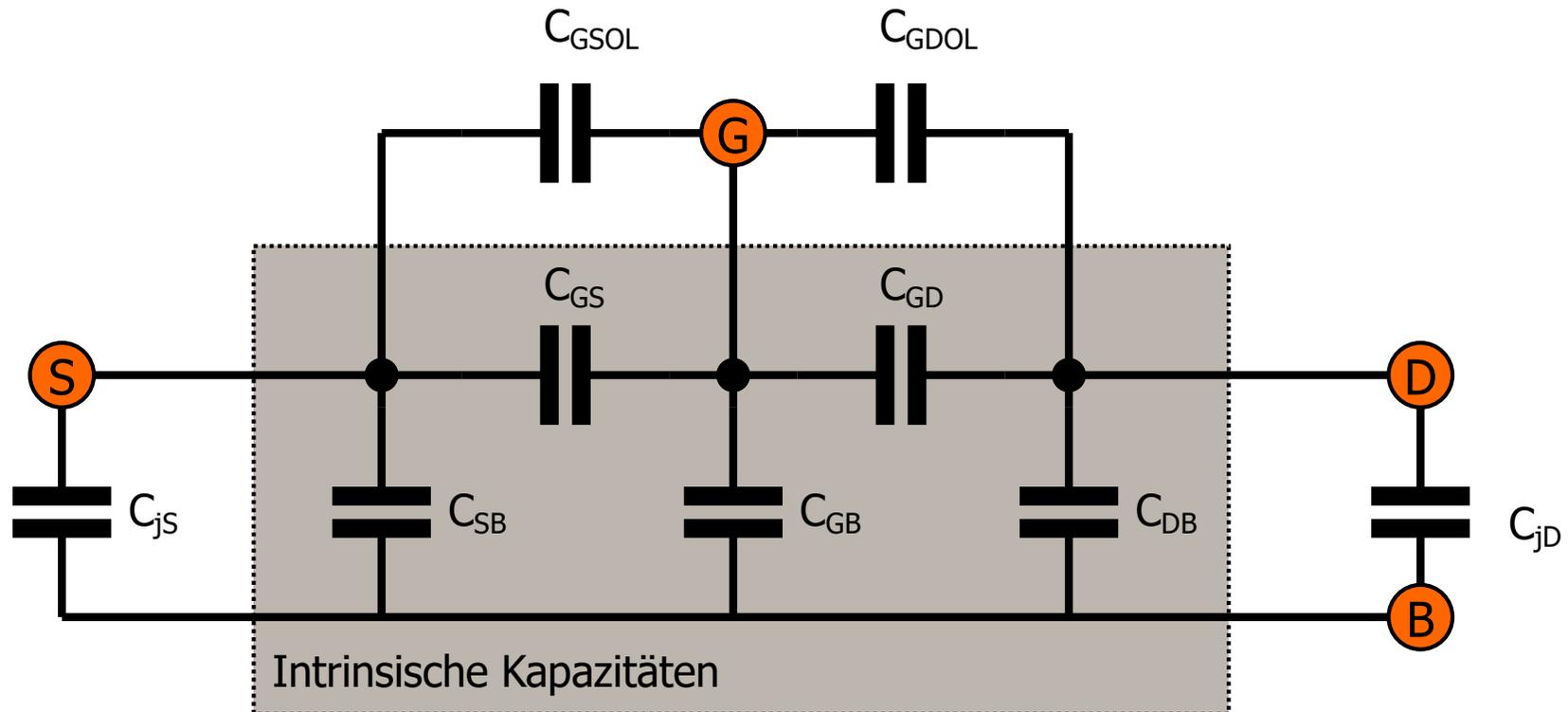


Kurzer Kanal

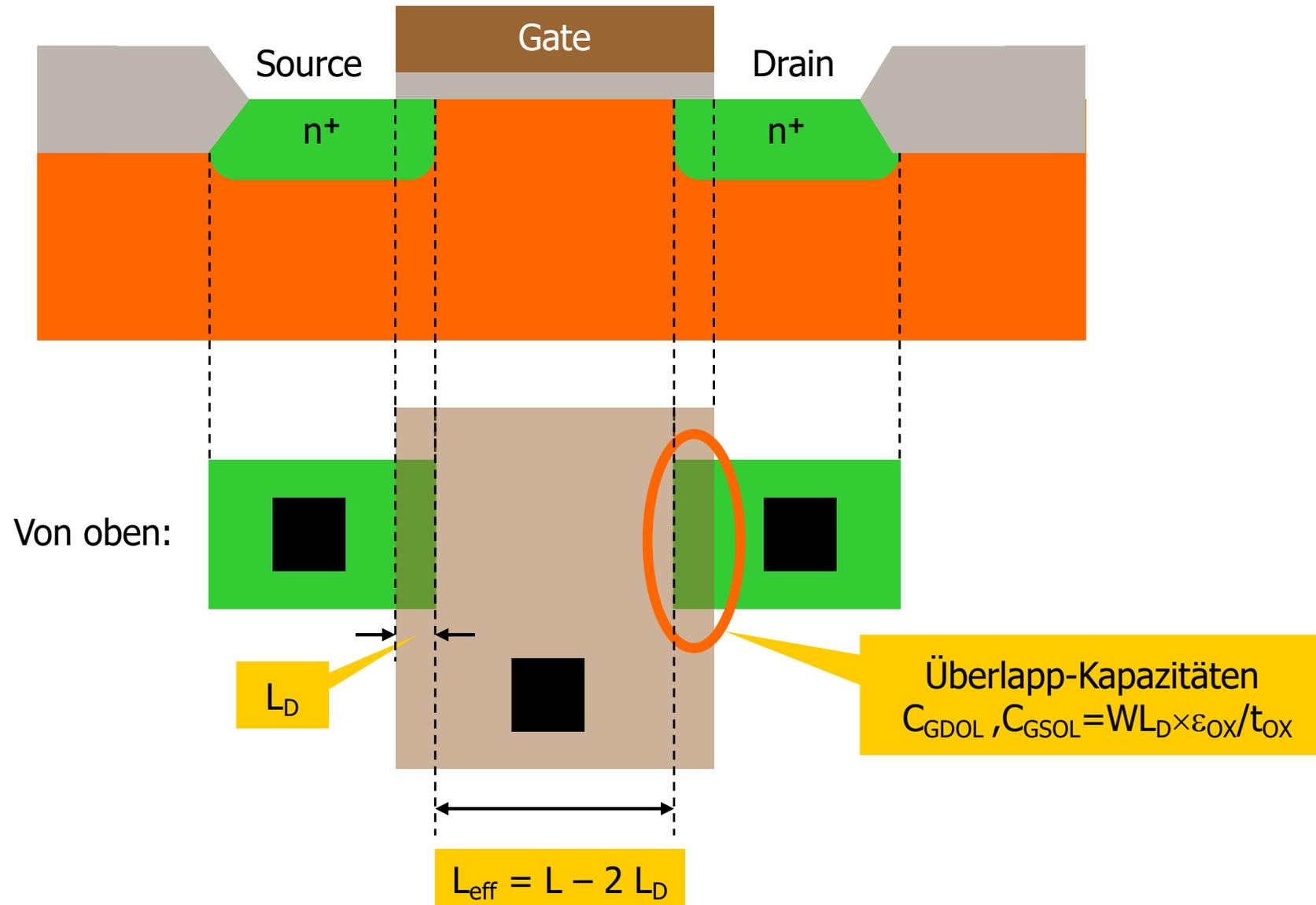
Kleinsignalmodell - Kapazitäten

Man unterscheidet:

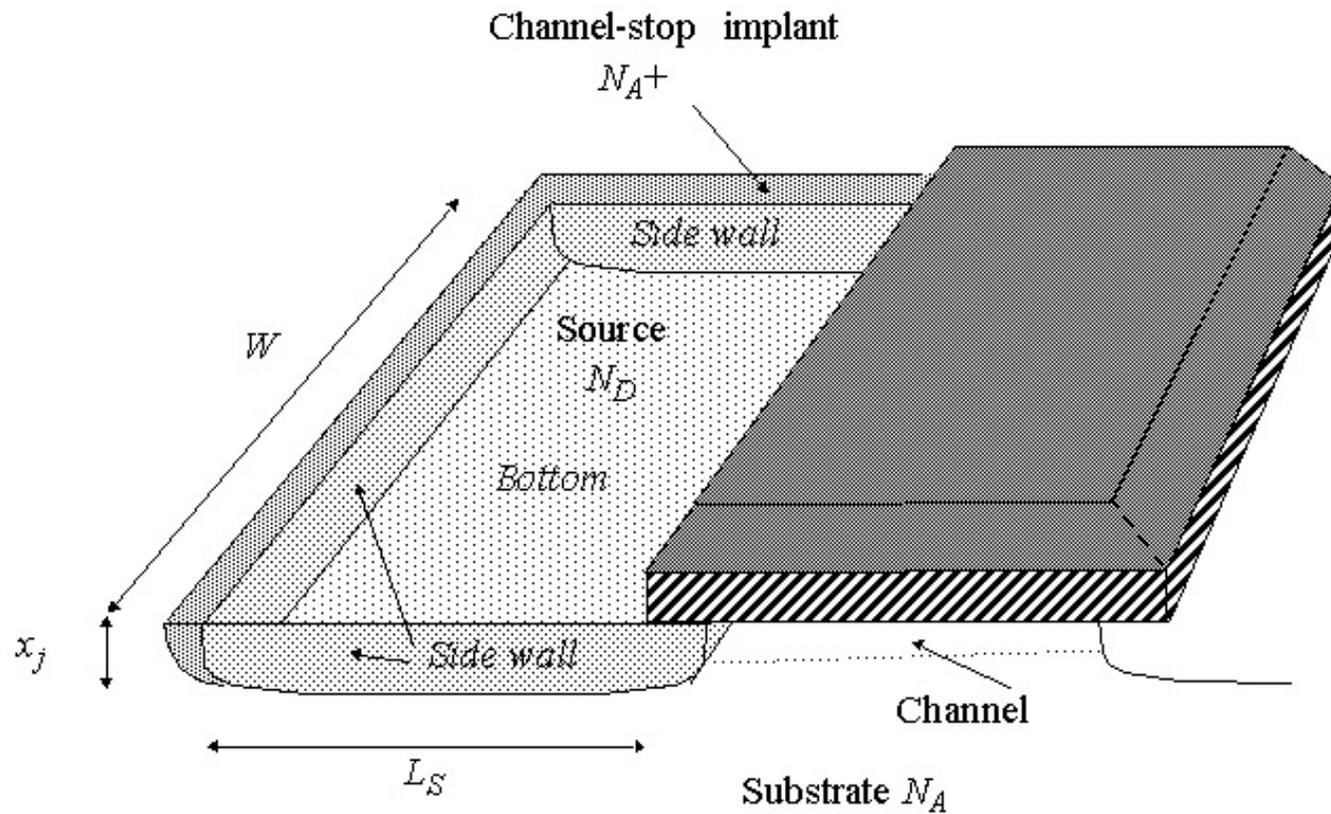
- **intrinsische Kapazitäten** vom Gate zum Kanal und ins Substrat. Sie hängen von der Gate-Spannung und vom Betriebszustand ab (MOS Struktur)
- Die **Sperrschichtkapazitäten** (C_{jS} , C_{jD}) von Drain und Source. Sie hängen von V_{DB} bzw. V_{SB} ab.
- **Überlapp-Kapazitäten** (C_{GSOL} , C_{GDOL}) 'direkt' vom Gate-'Metall' in die Drain/Source-Gebiete



Überlappkapazität



Diffusions Kapazität



$$\begin{aligned}C_{diff} &= C_{bottom} + C_{sw} = C_j \times AREA + C_{jsw} \times PERIMETER \\ &= C_j L_S W + C_{jsw} (2L_S + W)\end{aligned}$$

Zusammenfassung MOS

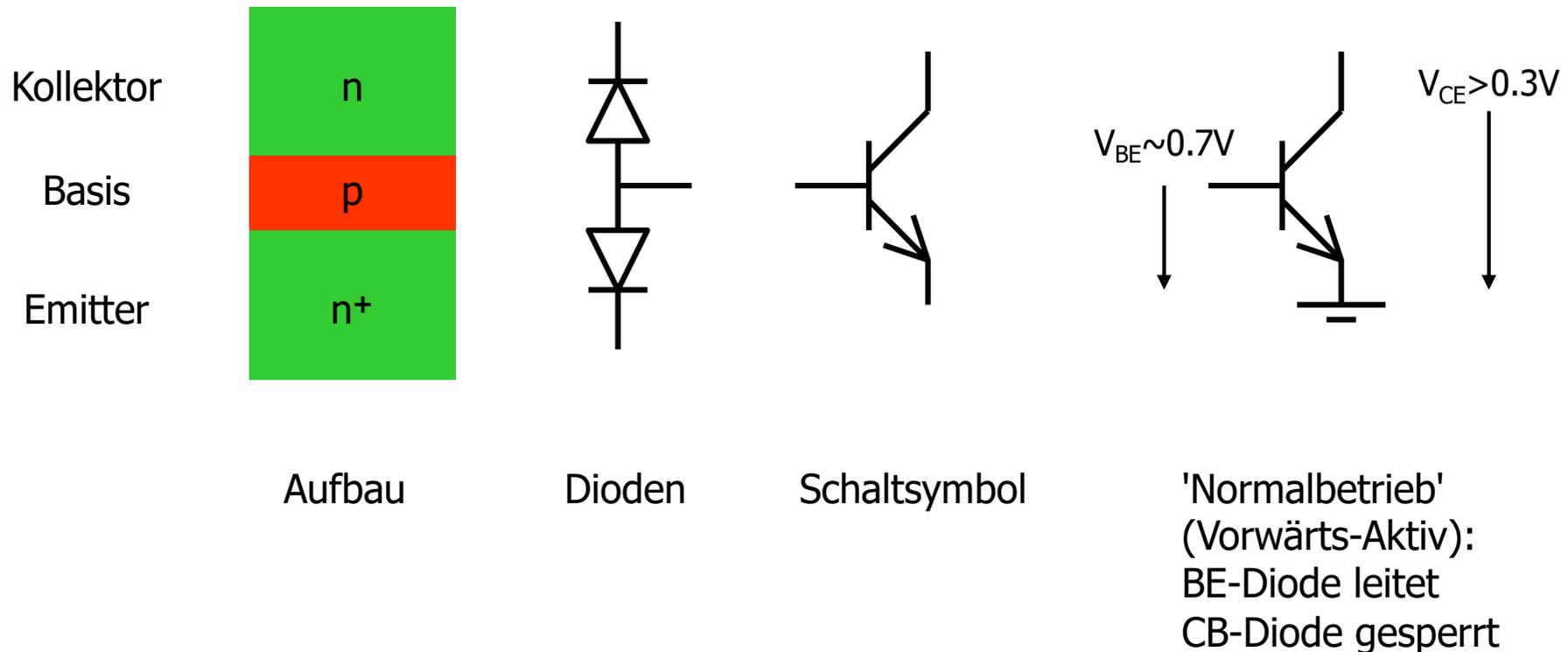
- Transistor leitet, sobald Gatespannung über der Schwellenspannung ist ($V_{GS} > V_T$)
- Bei kleinen Drainspannungen: linearer Bereich ($V_D < V_{DSat} = V_{GS} - V_T$) $\Rightarrow I_D = \dots$
- Bei hohen Drainspannungen: Sättigung $\Rightarrow I_D = \dots$
- Strom steigt quadratisch mit der Gatespannung an (einfachstes Modell)
- In schwacher Inversion (Subthreshold, $V_{GS} < V_T$, $I_D < 200\text{nA}$) fließt ein Strom mit exponentieller Kennlinie

- Durch den Early-Effekt (Kanallängenmodulation) steigt der Drainstrom in Sättigung weiter an.
 - Der Ausgangswiderstand r_{DS} ist nicht unendlich.
 - r_{DS} ist um so höher, je länger der Transistor ist und je kleiner der Strom ist
- Substrateffekt: Schwellenspannung steigt, wenn Substratpotential $<$ Sourcepotential (NMOS)
- Kurzkanaleffekte: Bei sehr kurzen Transistoren steigt der Drainstrom nicht quadratisch, sondern eher linear mit der Gatespannung

- Kapazitäten:
 - Die Flächenkapazität des Gates ist die eines MOS Kondensators – Spannungsabhängig.
Sie teilt sich je nach Betriebszustand auf C_{GD} und C_{GS} auf.
 - Die Gate-Source und Gate-Drain Überlapp-Kapazitäten sind geometrisch bedingt
 - Die Drain- und Source-Bulk Dioden folgen dem bekannten spannungsabhängigen Verhalten.

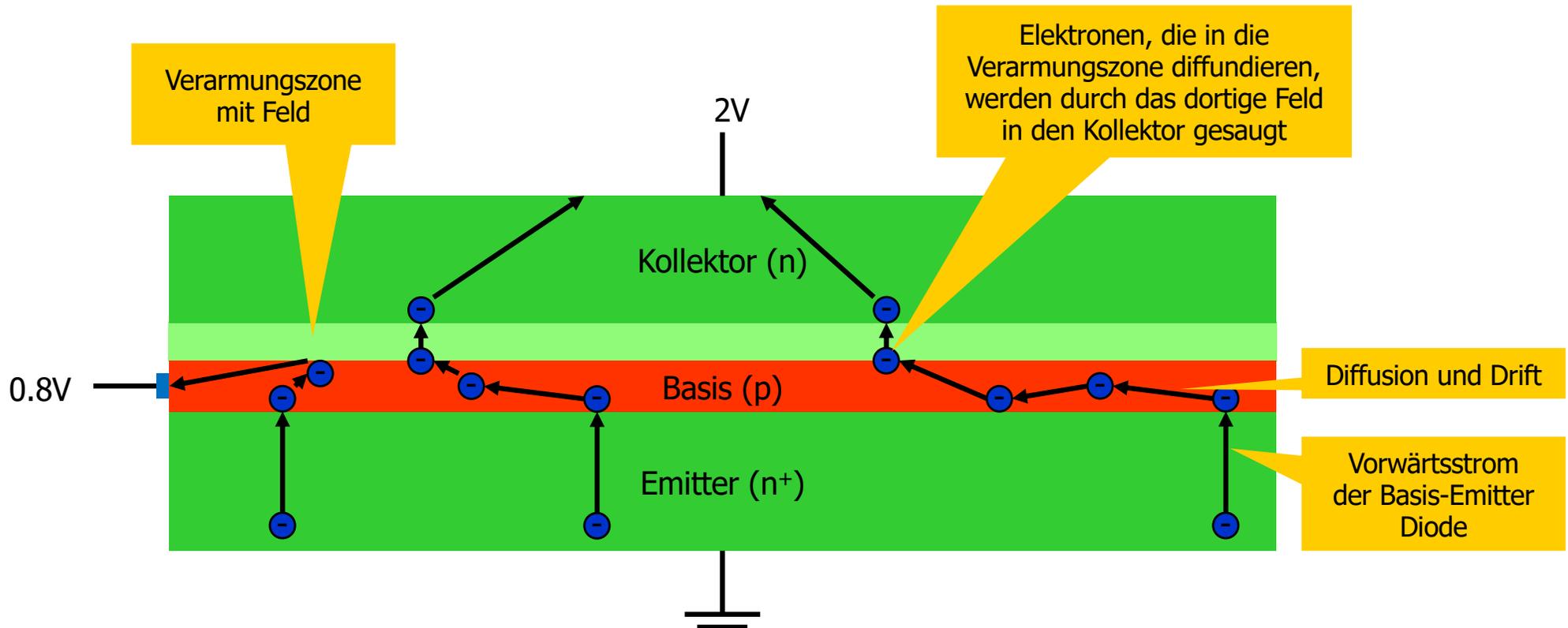
Bipolartransistor

- Nur in wenigen CMOS-Technologien ist zusätzlich ein 'guter' Bipolartransistor verfügbar
 - Man spricht dann von **BiCMOS Technologien**
 - Anwendung: HF-Teil von Handy, Gbit Links, ...
 - In jeder Technologie gibt es jedoch **parasitäre Bipolartransistoren**
- **Aufbau eines npn-Transistors:**



Sehr vereinfachte Funktionsweise

- Die Basis ist sehr dünn, so dass Elektronen aus dem Emitter einen weiten Weg zum Basiskontakt haben
- Sie können ‚unterwegs‘ durch Diffusion in die Basis-Kollektor-Sperrschicht geraten und werden dann durch das dortige Feld in den Kollektor abgesaugt
- Nur ein (konstanter, kleiner) Bruchteil ‚schafft‘ es bis in den Basiskontakt. Diese Elektronen bilden den Basisstrom
- Anschauliches Bild:
Betrunkene Wanderer auf einem Grat, von dem es rechts steil bergab (zum Kollektor) geht.



Funktion (sehr vereinfacht)

- Der Basis-Emitter-Strom besteht aus
 - Elektronen, die vom Emitter zur Basis laufen – Elektronen sind im n-dotierten Emitter Majoritätsträger
 - Löchern, die aus der Basis in den Emitter laufen – Löcher sind in der p-dotierten Basis Majoritätsträger
- Die Elektronen aus dem Emitter sind Minoritätsträger in der Basis. Sie diffundieren aufgrund des Konzentrationsgefälles in Richtung Kollektor.
- Dort herrscht das hohe Feld der gesperrten Kollektor-Basis-Diode. Sobald die Elektronen dieses erreichen werden sie zum Kollektor hin abgesaugt.
- Der Kollektorstrom ist daher sehr gut linear zum Basisstrom. Die Stromverstärkung ist typisch $\beta \sim 100$.
- Die Ausgangskennlinie ist sehr ähnlich wie beim NMOS.

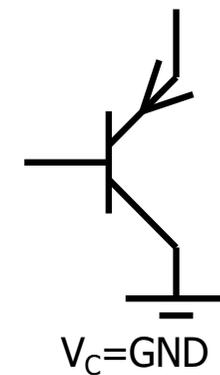
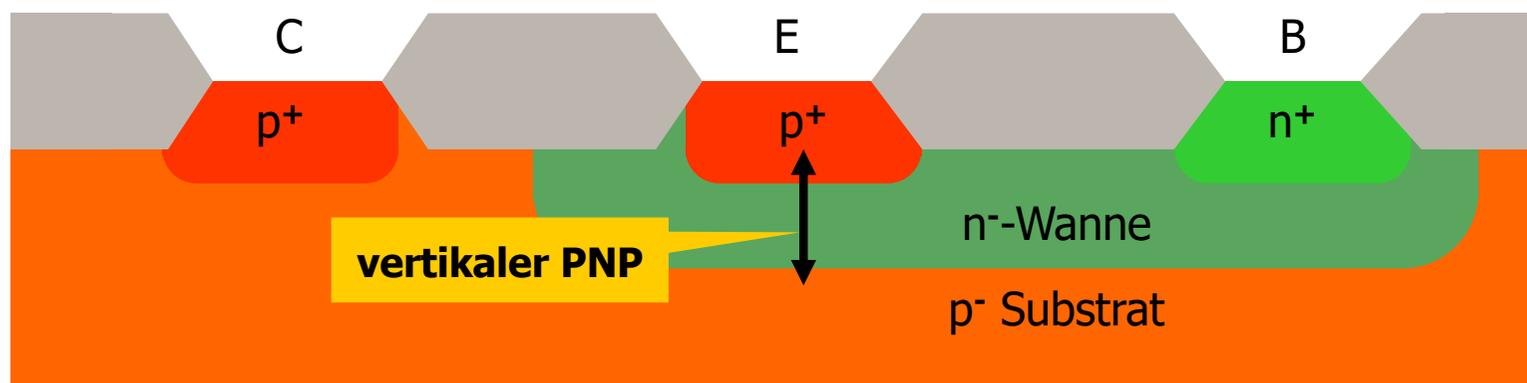
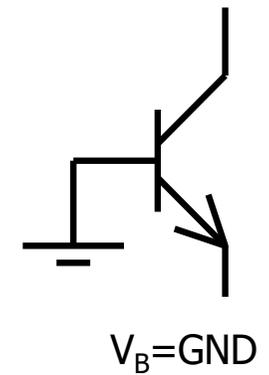
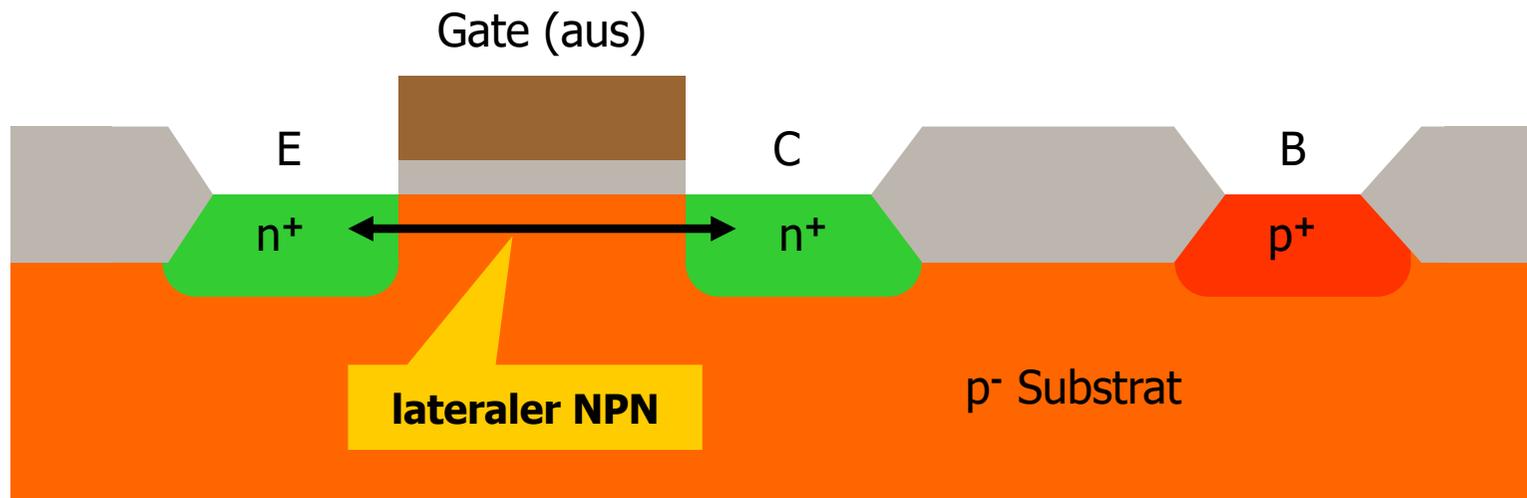
- Gray-Meyer:
'Collector current is produced by minority carrier electrons in the base diffusing in the direction of the concentration gradient and being swept across the collector-base depletion region by the field existing there'

- Näherungsweise Beschreibungen des Bipolar – Transistors: ($U_{TH} = kT/q = 26mV@300K$):

$$I_C = \beta I_B \quad \text{und} \quad I_C = I_S \left(1 + \frac{V_{CE}}{V_A} \right) \exp\left(\frac{V_{BE}}{U_{TH}} \right)$$

- Genauer sind die 'Ebers-Moll' - Gleichungen

Parasitäre Bipolartransistoren in CMOS



Parasitäre Bipolartransistoren in CMOS

